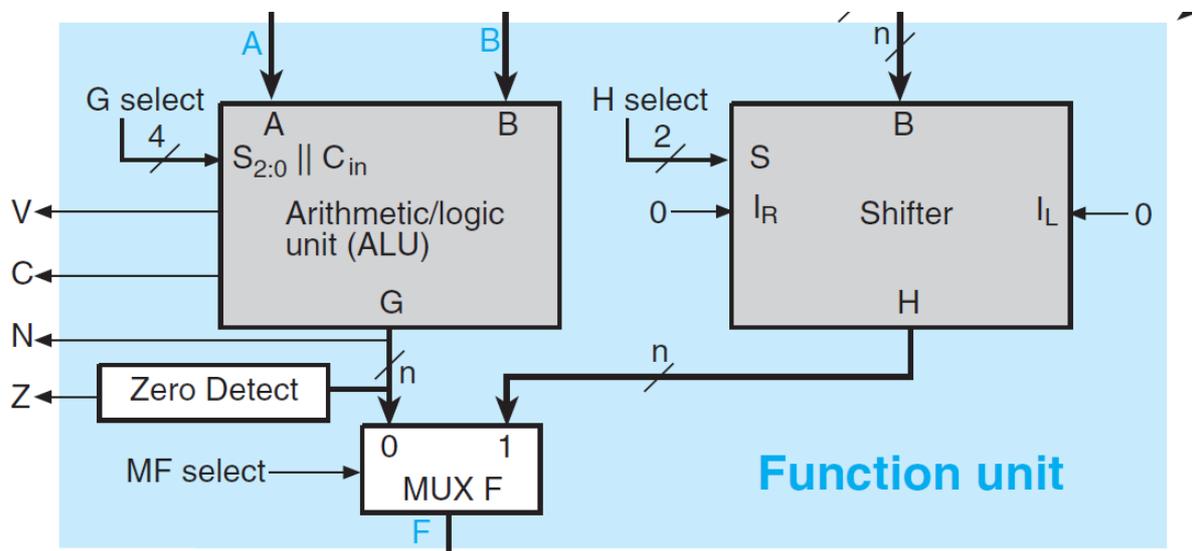


PRÁCTICA 2: DISEÑO RTL EN VERILOG

El objetivo de la segunda práctica es la implementación de la unidad funcional de la máquina vista en clase de teoría y problemas. Para ello, se utilizará el diseño a nivel RTL en Verilog, y primitivas combinatoriales definidas por el usuario para definir los multiplexores de dos líneas a una necesarios.

La unidad funcional está dividida en dos partes: la ALU (Arithmetic-Logic Unit) y un desplazador. Recordando, la unidad funcional tiene el siguiente aspecto:



PREINFORMA A ENTREGAR ANTES DEL COMIENZO DE PRÁCTICAS

1º) Completar la siguiente tabla, según las operaciones vistas en clase de teoría para la ALU.

| G select (S2:0 Cin) | | | | Operación |
|------------------------|----|----|----|-----------|
| G3 | G2 | G1 | G0 | |
| 0 | 0 | 0 | 0 | |
| 0 | 0 | 0 | 1 | |
| 0 | 0 | 1 | 0 | |
| | | | | |

2º) De acuerdo con la anterior tabla, escribir un módulo en Verilog con la descripción RTL de la ALU. Llamarlos *ALU_unit.v*. Suponer lo siguiente:

- A y B son buses de 16 líneas.
- Los bits C (acarreo) y V (desbordamiento) valen 0 en operaciones lógicas y de transferencia.
- El tiempo que tarda en aparecer el resultado a la salida de la ALU, y los bits V, C, y N es de 20 ns desde que se produce un cambio en las entradas de la ALU. Además, hay que sumar otros 2 ns para que Z tome un valor correcto.

3º) Completar la siguiente tabla, según las operaciones vistas en clase de teoría para el desplazador.

| H select | | Operación |
|----------|----|-----------|
| H1 | H0 | |
| 0 | 0 | |
| 0 | 1 | |
| | | |

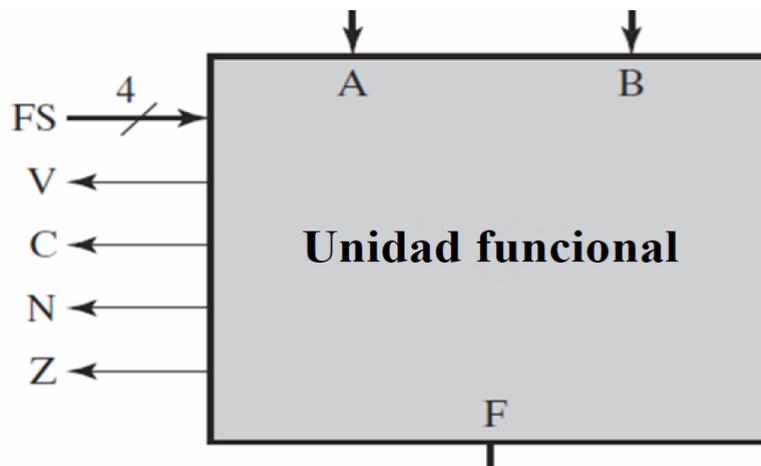
4º) De acuerdo con la anterior tabla, escribir un módulo en Verilog con la descripción RTL del desplazador. Llamarlo *desplazador.v*. Suponer lo siguiente:

- Lógicamente, los buses siguen siendo de 16 bits.
- El retardo del desplazador es de 5 ns.

TRABAJO A REALIZAR EN EL LABORATORIO

Diseñar un módulo en Verilog que implemente la unidad funcional completa, utilizando los dos módulos anteriores como módulos hijos de éste. El MUX F que se muestra en la anterior figura, debe hacerse con una primitiva definida por el usuario, y su retraso es de 2 ns. Llamar a este módulo *unidad_funcional.v*.

La unidad completa tomaría la siguiente forma:



La unidad funcional es de 16 bits. La unidad tiene 4 bits para seleccionar operación (FS3, FS2, FS1, FS0). El cómo se relacionan estos 4 bits con los bits G3, G2, G1 y G0 de la ALU y con los bits H1 y H0 del desplazador es algo que debe conocerse e implementarse dentro de este módulo. Suponer retardo nulo en esta tarea.

Una vez hecha la unidad funcional completa, debe hacerse un test-bench para poder simular el comportamiento y comprobar el correcto funcionamiento, para distintas operaciones.