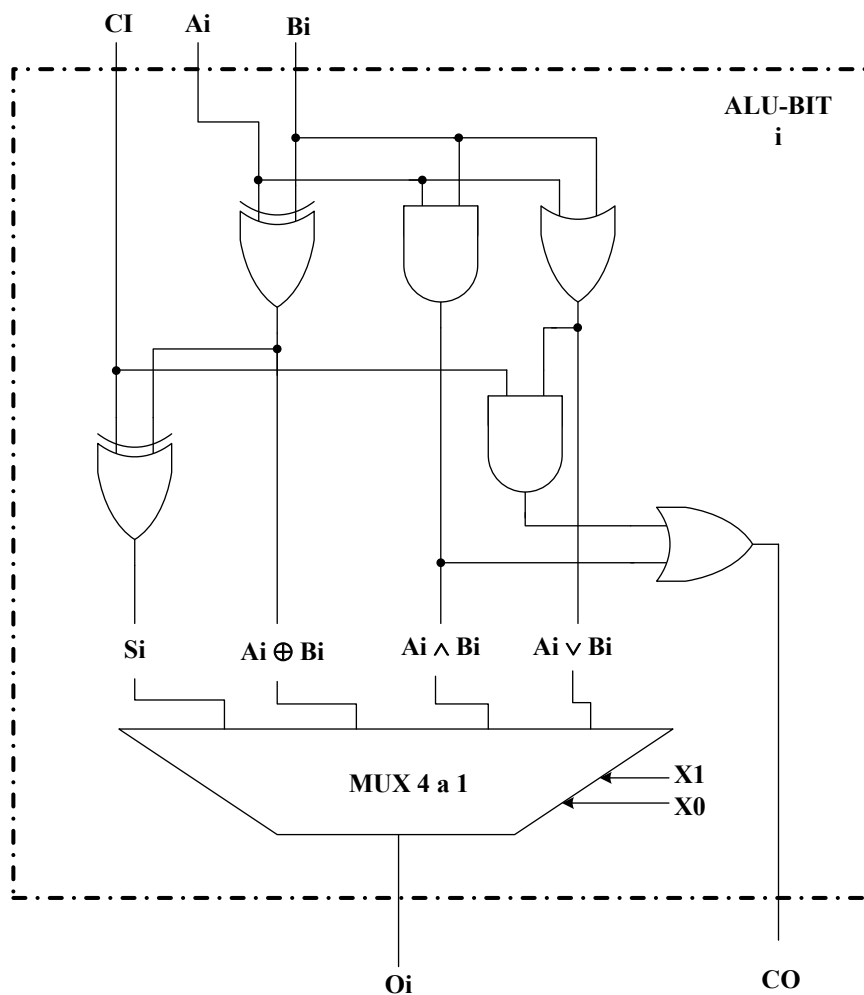


PRÁCTICA 1: DISEÑO ESTRUCTURAL EN VERILOG

El objetivo de esta primera práctica es conocer el diseño estructural utilizando el lenguaje de descripción de hardware *Verilog*. La práctica se describe paso a paso.

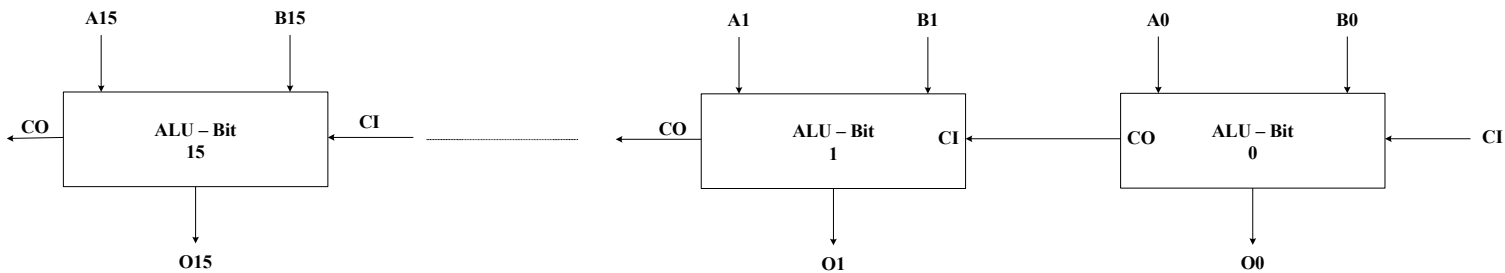
Lo que haremos será diseñar una sencilla ALU (unidad aritmético-lógica) paso a paso. En la siguiente figura podemos ver un esquema de un bit de la ALU. Sería el siguiente:



Vemos cómo tenemos 3 entradas: al bit A_i de la entrada A, el bit B_i de la entrada B y el acarreo de entrada de dicha etapa. Como salidas, tenemos la salida de la ALU O_i y el acarreo de salida de esta etapa.

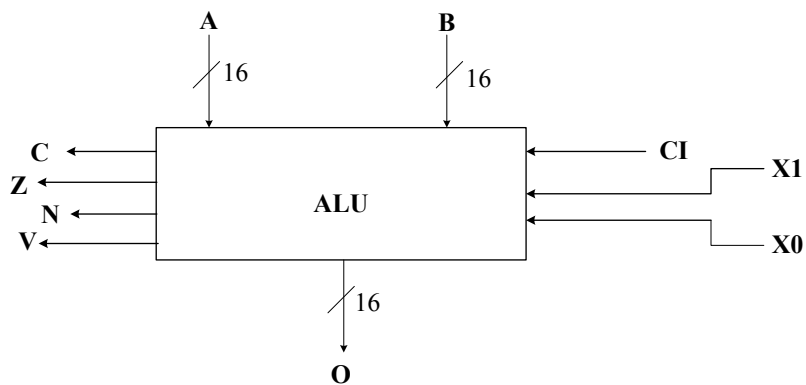
1º) Escribir un módulo en Verilog que contenga la descripción de dicha etapa de la ALU. Suponer que el retardo de todas las puertas lógicas es de 1 ns. El multiplexor ha de estar descrito utilizando puertas lógicas (cuyo retraso también será de 1 ns).

Ahora, queremos implementar un ALU de 16 bits a partir del bloque que se ha diseñado anteriormente. En la siguiente figura se muestra:



2º) Escribir un módulo en Verilog que contenga la descripción de la ALU diseñada. Éste será un módulo padre, cuyos módulos hijos serán los módulos diseñados anteriormente.

Finalmente, añadiremos cuatro bits de status (*flags*), que nos indicarán si el número que aparece en la salida es cero (*flag Z*), el signo (*flag N*), si existe desbordamiento (*flag V*) y si existe acarreo (*flag C*). Para los *flags Z* y *V*, se necesitaría un circuito detector de 0 y detector de desbordamiento. El circuito final es el que se muestra en la siguiente figura:



3º) Modificar el módulo para incluir los *flags*. Suponer que las puertas que se incluyan tienen un retardo de 1 ns.

En el laboratorio, se explicará cómo simular el circuito una vez que esté hecho el código que describe la ALU.

Preguntas a entregar contestadas al comienzo de prácticas:

1º) Completar la tabla que se muestra (suponer que CI = 0):

| X1 | X0 | Función de la ALU |
|----|----|-------------------|
| 0 | 0 | |
| 0 | 1 | |
| 1 | 0 | |
| 1 | 1 | |

2º) ¿Cuál sería la operación que más tiempo llevaría a la ALU realizar? Dar un ejemplo, es decir, valores de X1, X0, A y B. ¿Cuál sería ese tiempo?

3º) ¿Cuál sería el esquema de puertas del MUX 4 a 1?

4º) ¿Cuál sería el esquema de puertas del detector de 0 y del detector de desbordamiento?