

Diseño de Circuitos Integrados Analógicos

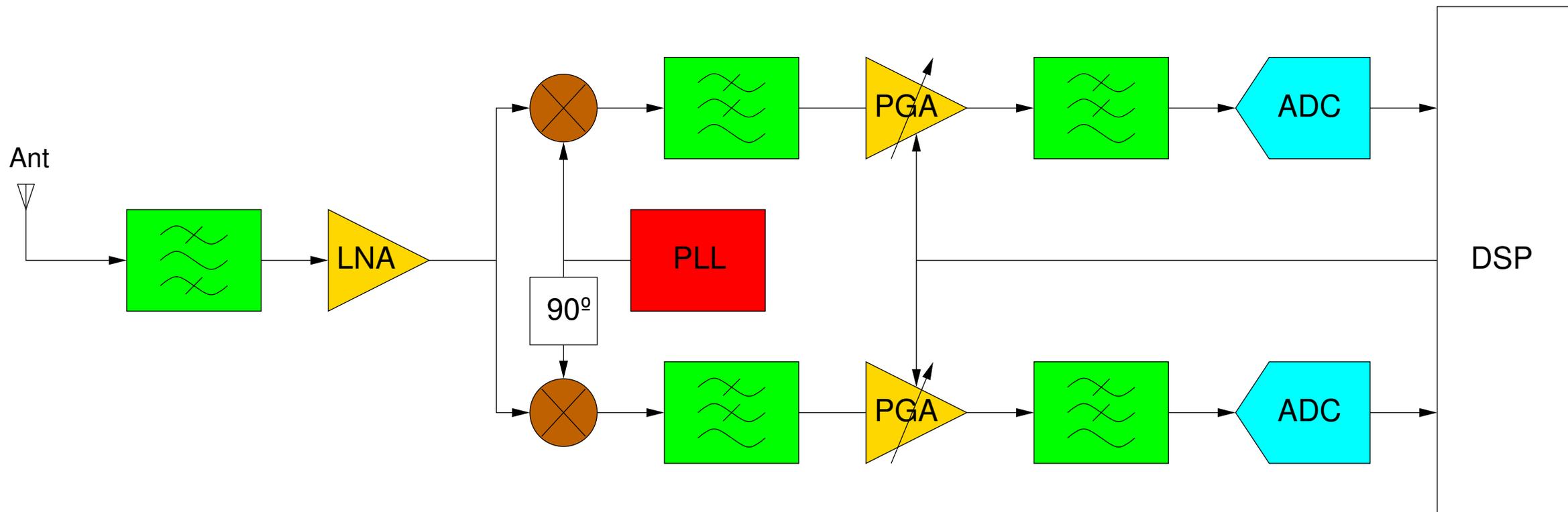
(Full Custom)

Estrategia de diseño TOP-DOWN

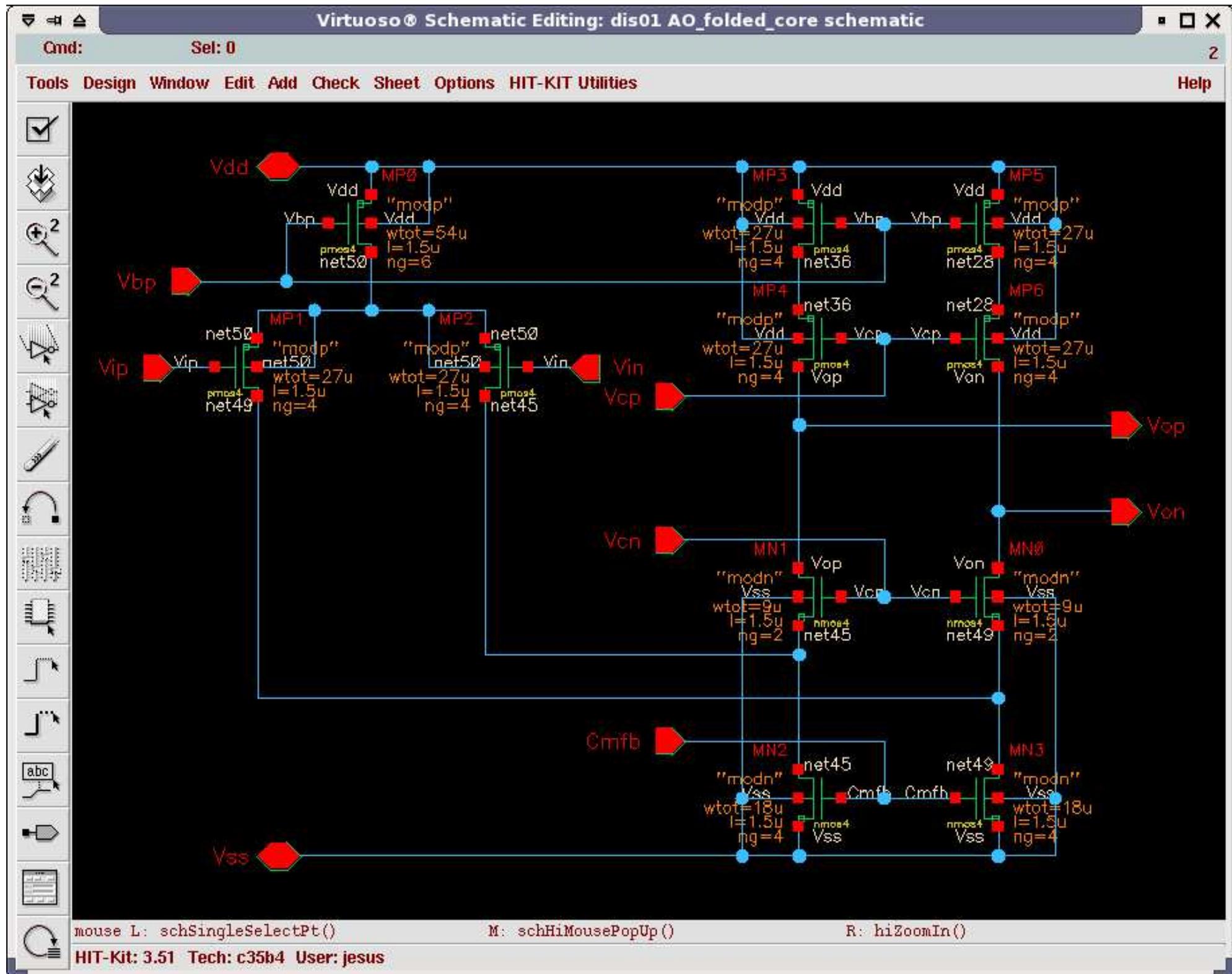
- División del sistema en bloques más simples hasta llegar a los bloques circuitales básicos
 - (divide y vencerás)
- Niveles de diseño diferenciados:

Nivel	Componentes del diseño
Sistema	Cajas negras
Esquemático	Dispositivos electrónicos
Layout	Elementos geométricos

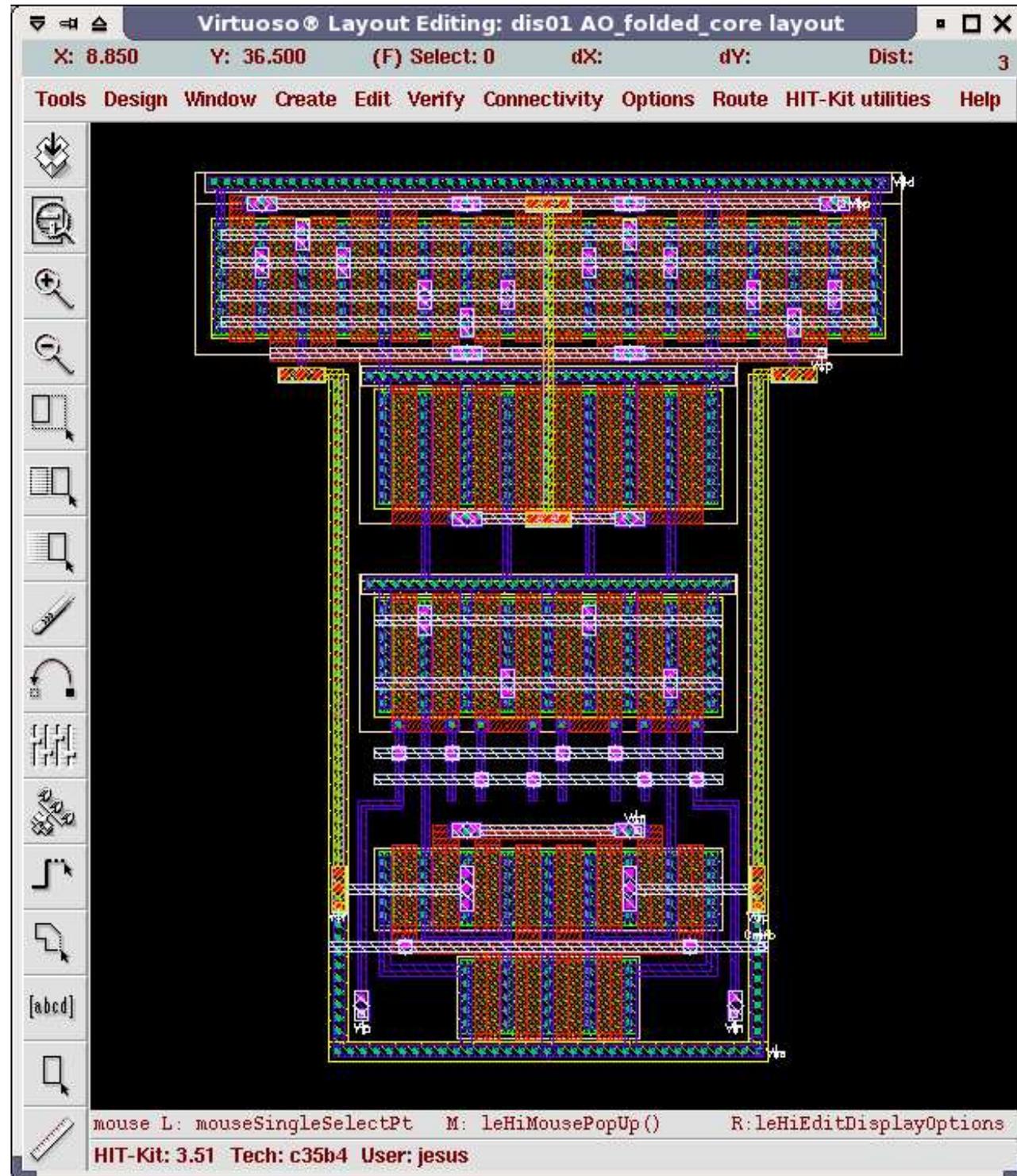
Nivel de SISTEMA: Diagrama de bloques



Nivel de Esquemáticos



Nivel de Layout



Diseño JERARQUICO

- A un esquemático se puede asociar un SIMBOLO (caja negra)
- Ese símbolo puede formar parte de otros esquemas
- Así, los esquemas de sistemas complejos contienen símbolos de sus bloques funcionales, que a su vez contienen símbolos de unidades más simples, hasta llegar a esquemas con sólo los dispositivos básicos (celdas primitivas).

JERARQUIA de Diseño. Ejemplo

Receptor

⊞ LNA

⊞ Filtro BP

⊞ Mixer

⊞ PLL

⊞ PGA

└─ ADC

⊞ Comparador

└─ Amplificador Operacional

└─ Núcleo

└─ Transistor

└─ Control Modo Común

└─ Condensador

└─ Condensador

⊞ Interruptor

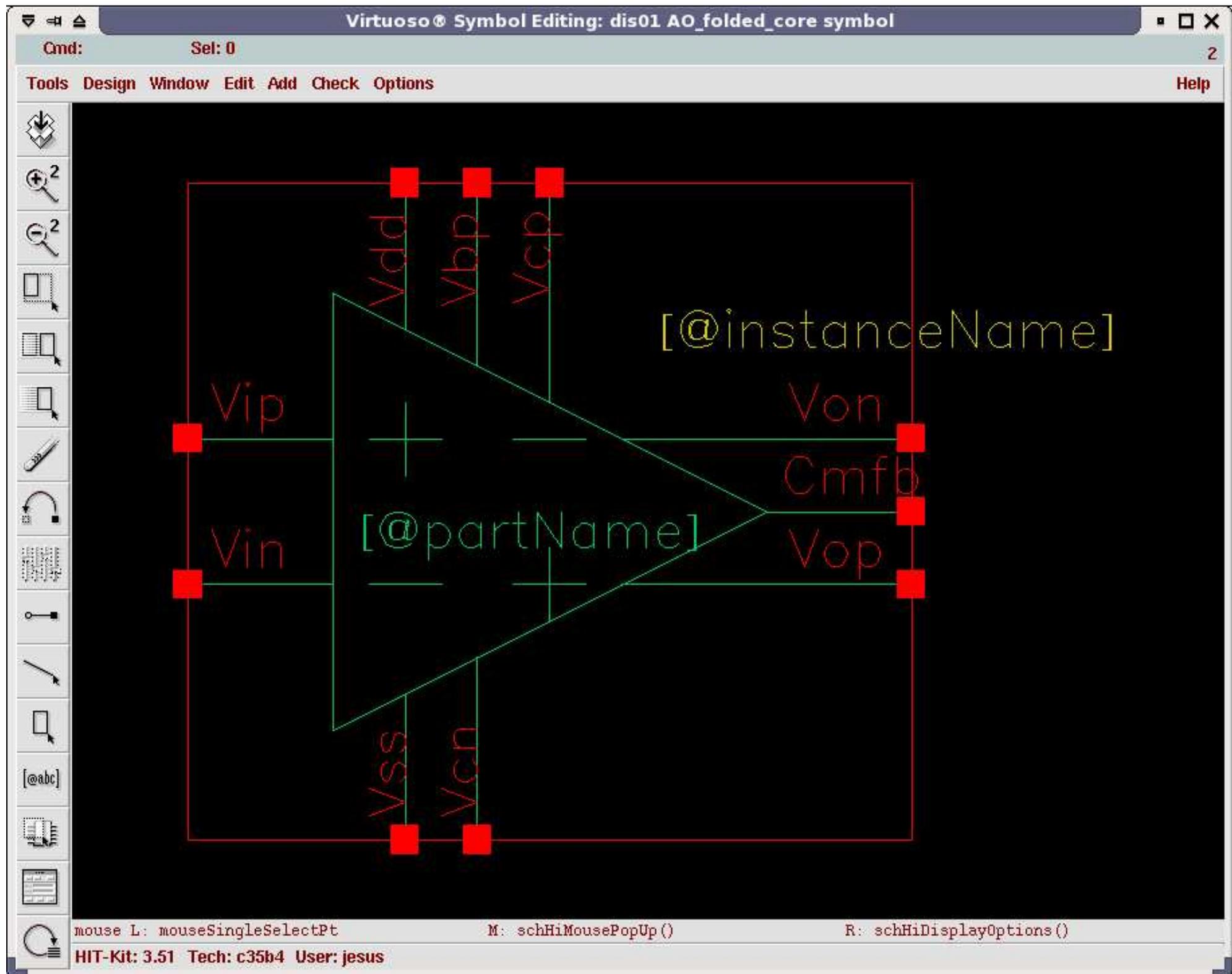
└─ Interruptor

⊞ Polarización

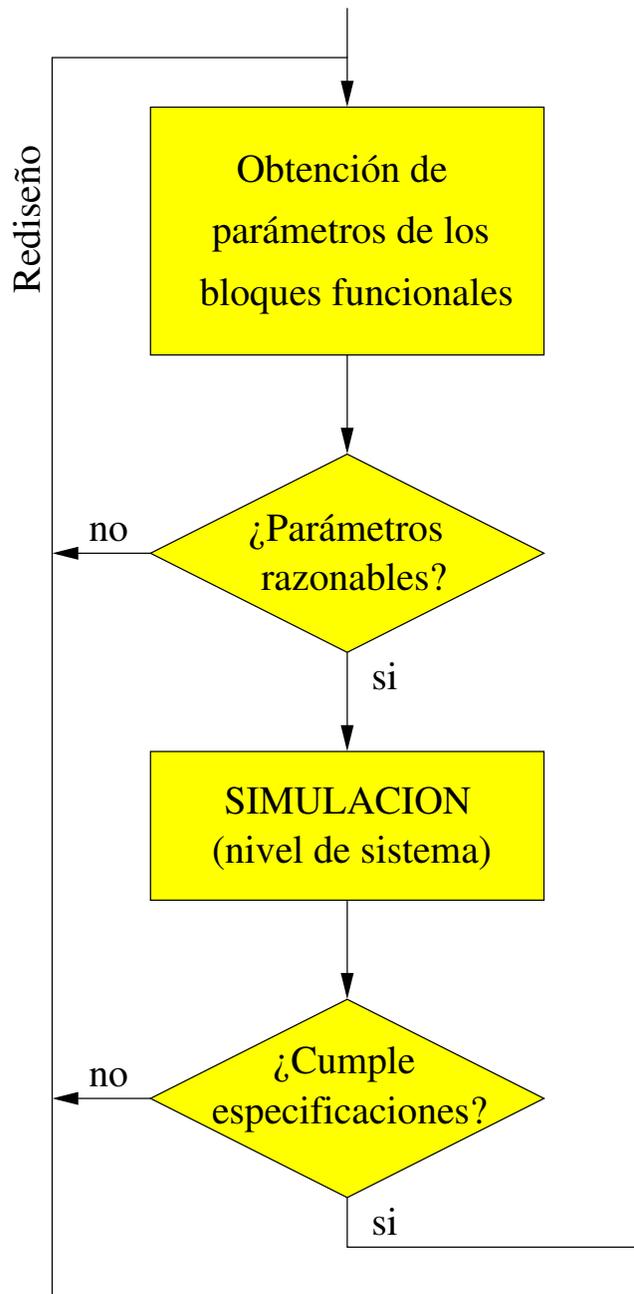
└─ Transistor

⊞ Generación de reloj

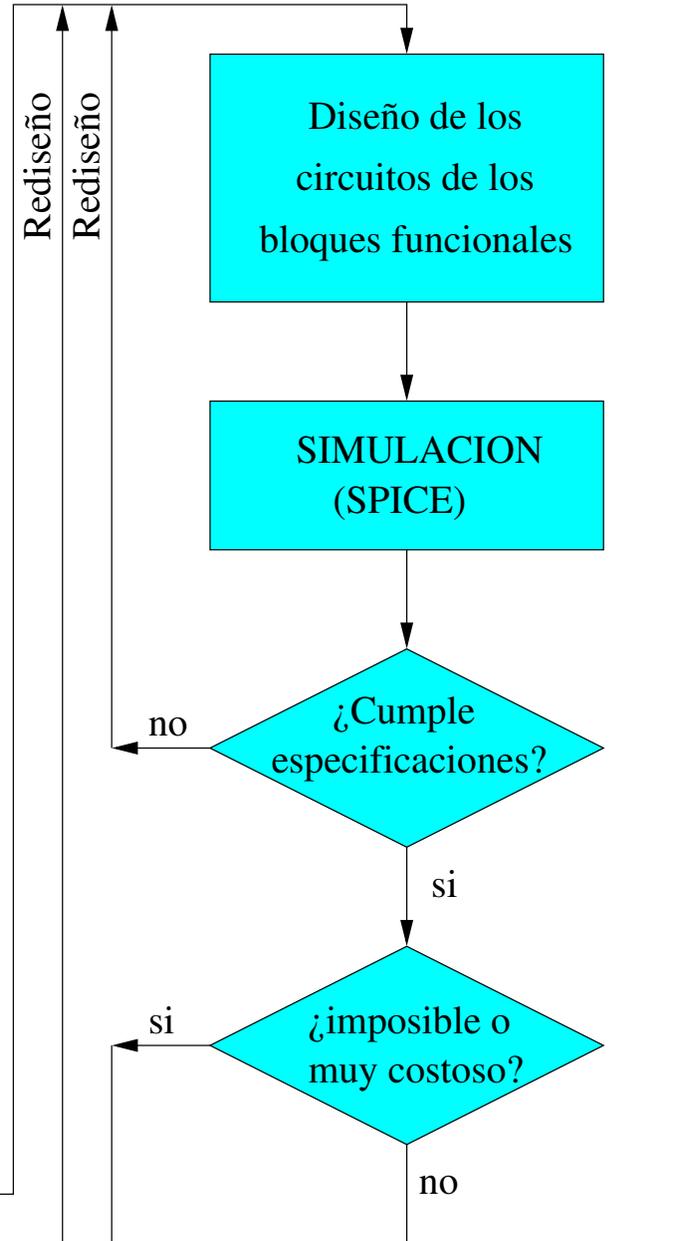
Simbolo del núcleo del A. O.



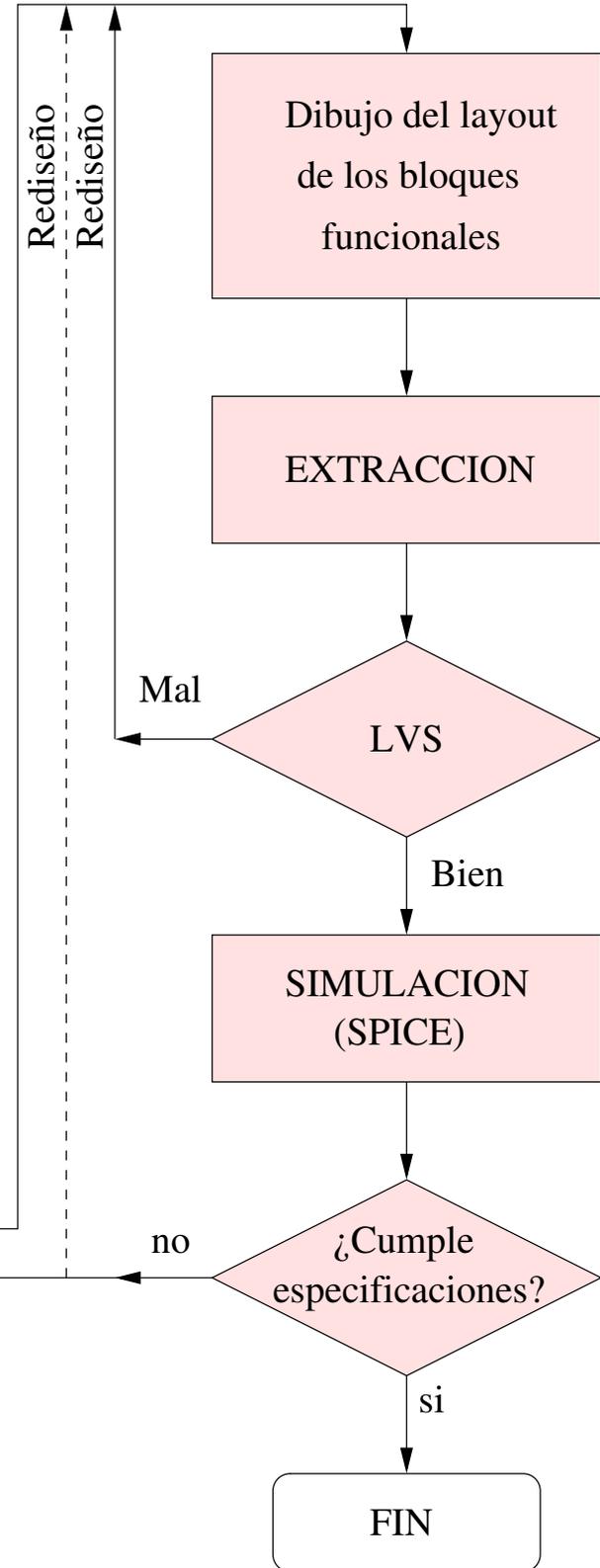
Nivel de SISTEMA



Nivel de ESQUEMATICO



Nivel de LAYOUT



Flujo de Diseño TOP-DOWN

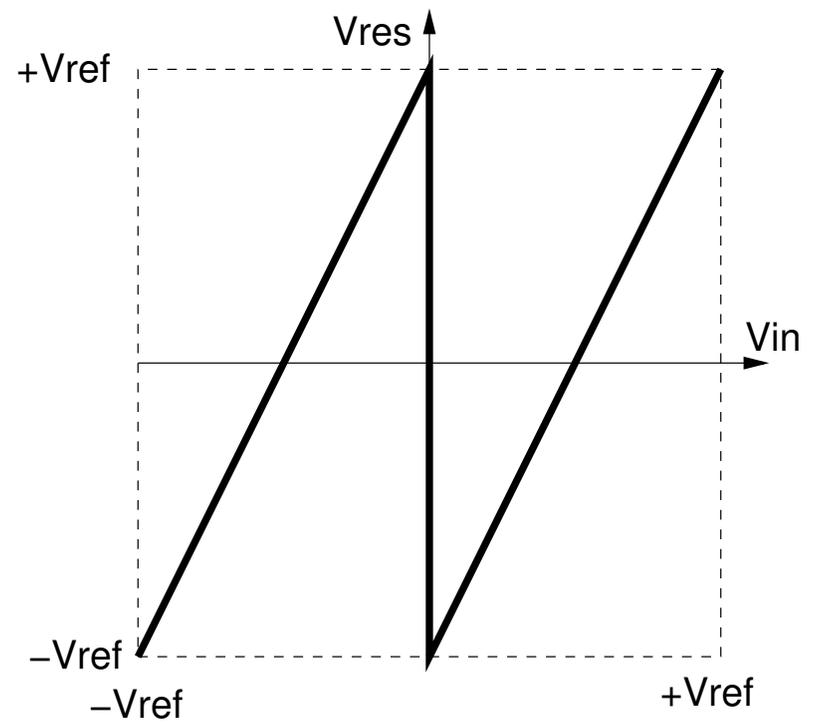
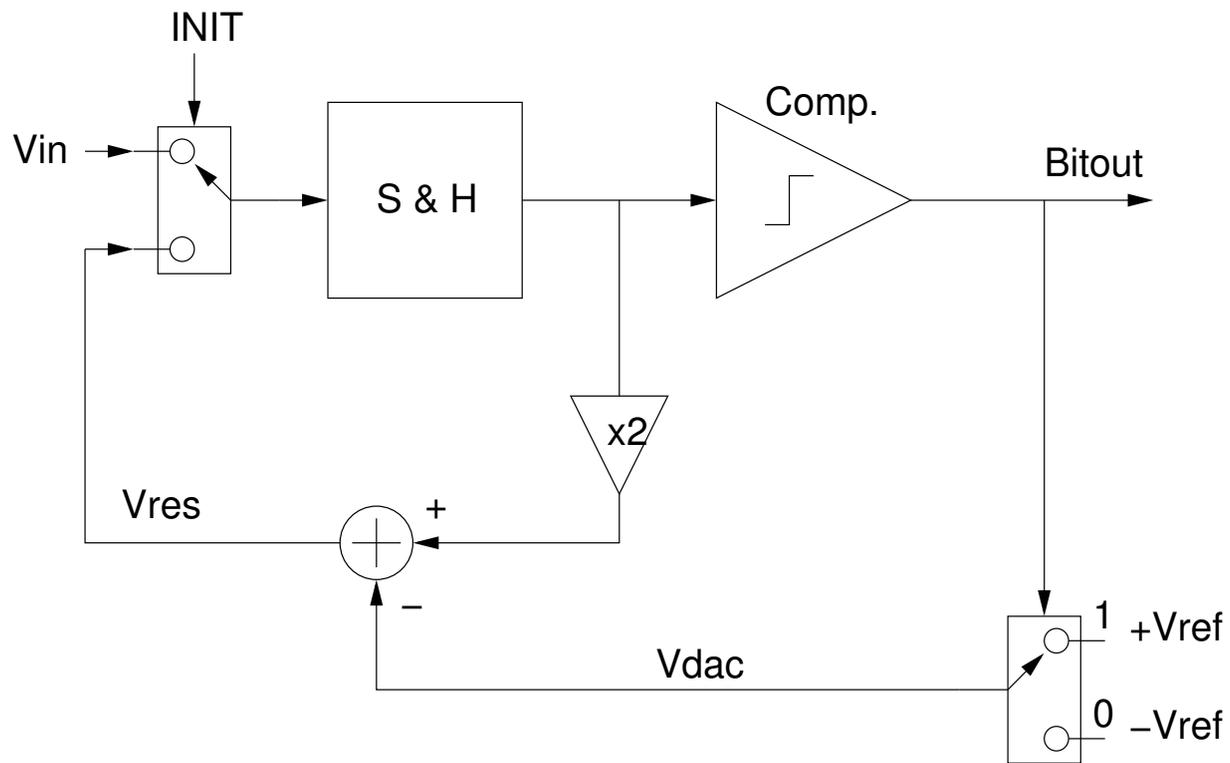
Ejemplo de diseño:

Convertidor Analógico / Digital

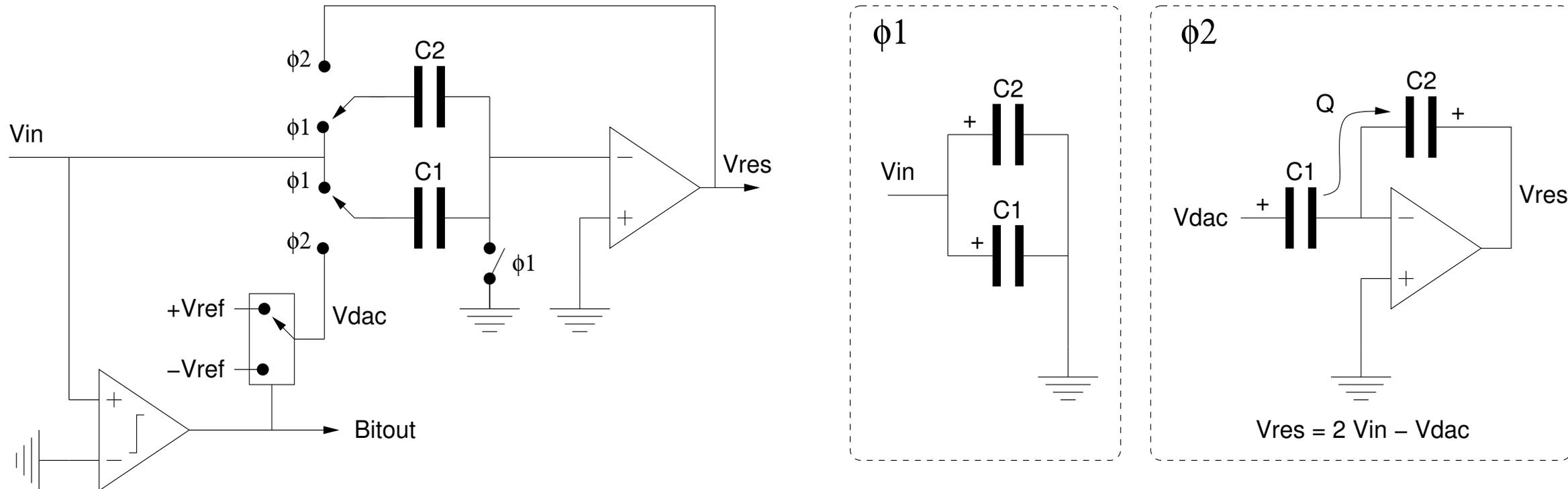
(Diseño a nivel de sistema)

- Tipo: Convertidor algorítmico
- Resolución: Variable (12 bits nominal)
- Frecuencia máxima de reloj: 1 MHz

Diagrama de bloques



Implementación SC. (sólo cálculo de Vres)



$$Q = (V_{dac} - V_{in})C_1$$

$$V_{res} = V_{in} - Q/C_2$$

$$V_{res} = V_{in} \left(1 + \frac{C_1}{C_2}\right) - V_{DAC} \frac{C_1}{C_2}$$

Simulación a nivel de sistema

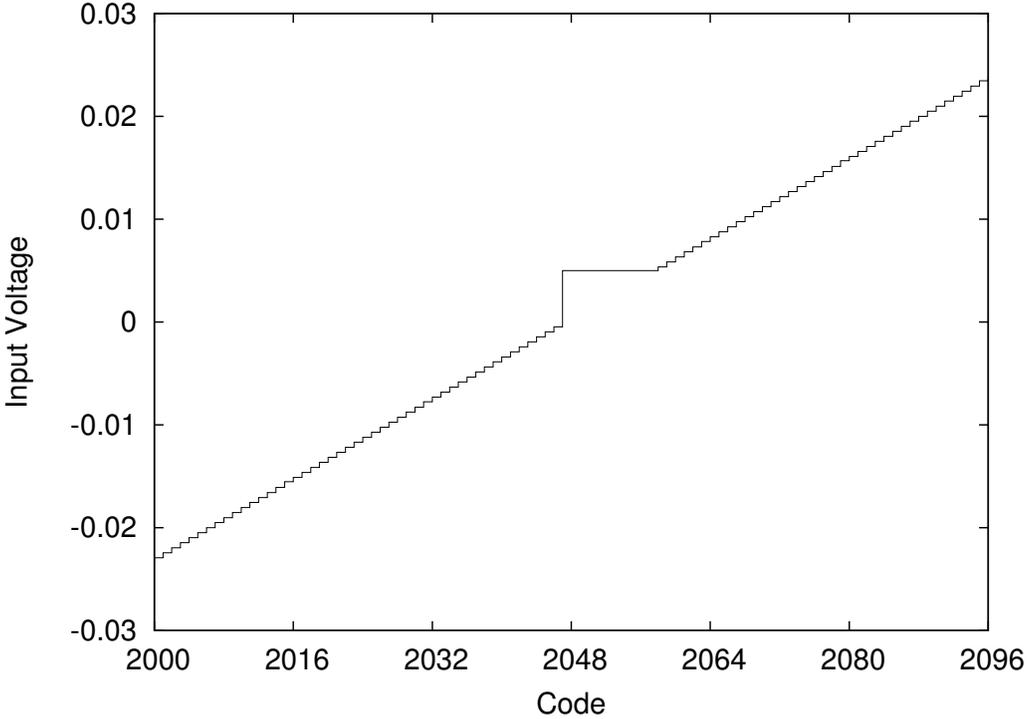
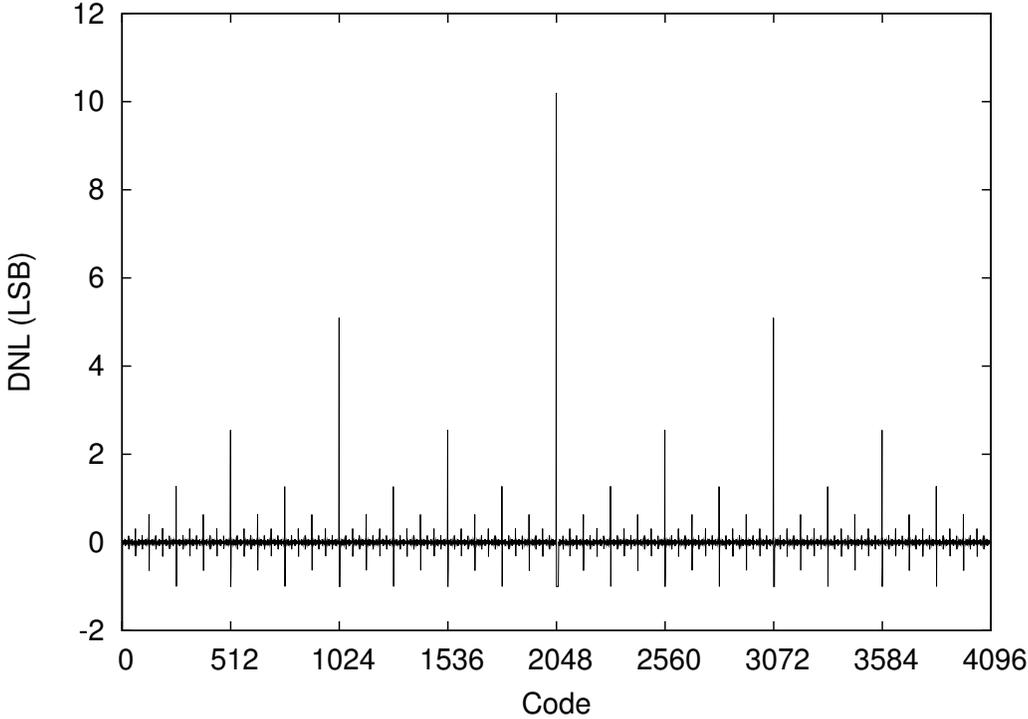
Efectos a considerar

- Mismatch entre C1 y C2
- Ganancia finita en el operacional
- Voltajes de offset en operacional y comparador
- Ruido
 - Muestreo: $V_n^2 = KT/C$
 - Equivalente en la entrada del A. O.

Simulación a nivel de sistema: Código C

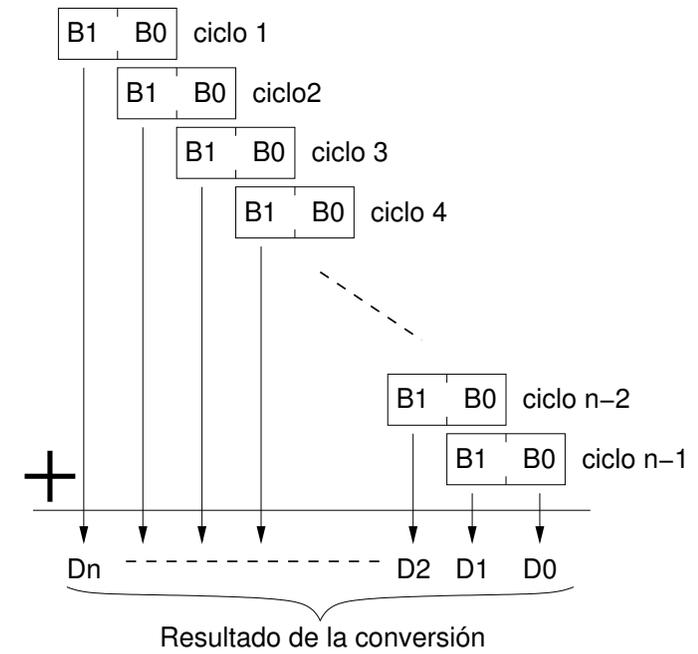
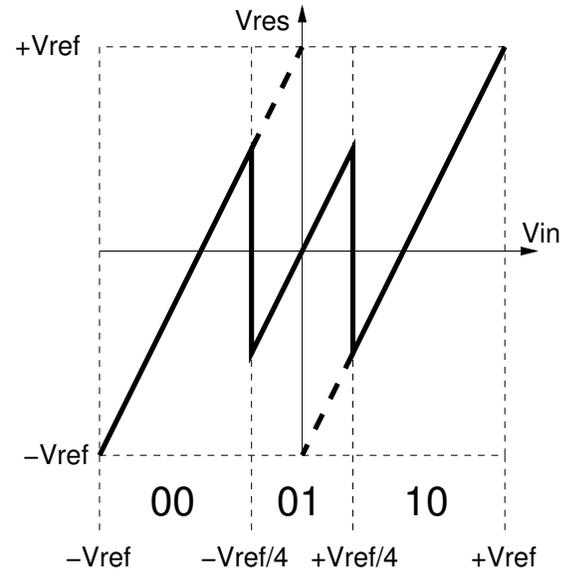
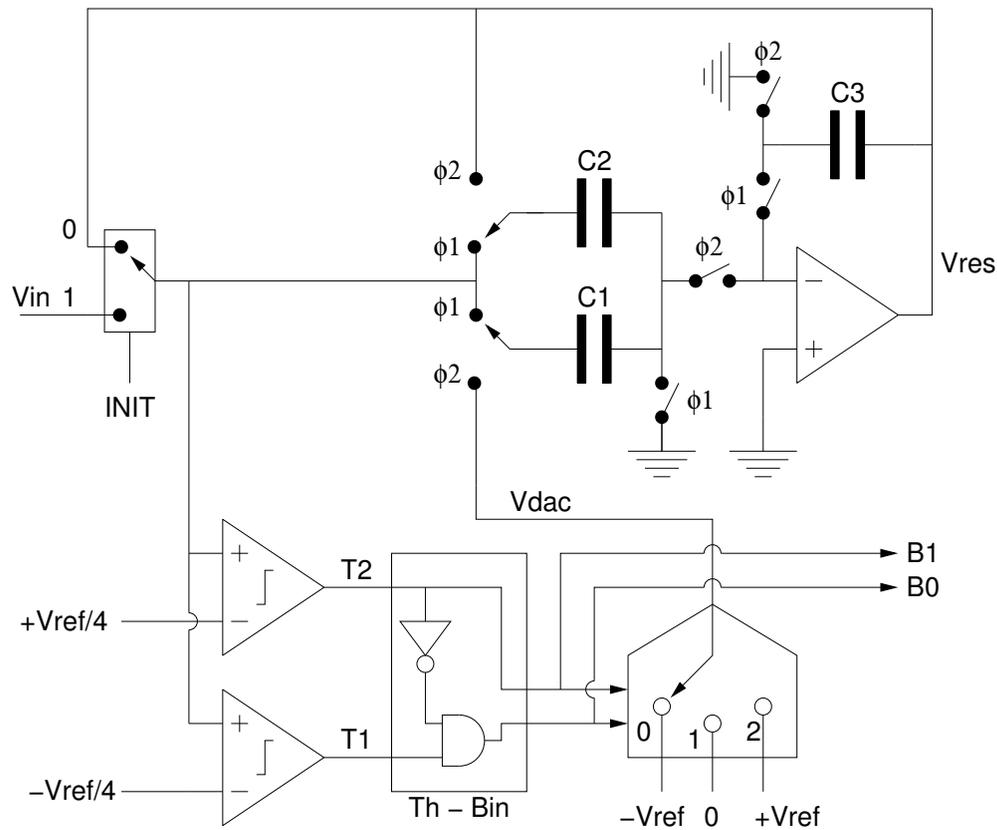
```
int adc1(float vin,int nbit)
{
    int i,o; float vdac,vres,q;
    vres=vin;
    for (i=o=0; i<nbit;i++) {
        o<<=1;
        if (vres>OFFSET1) {
            vdac=VREF; o++;
        } else vdac=-VREF;
        q=(vdac-vres+alea(1.4142*noisec1))*C1;
        vres=(vres - q/C2 + OFFSETA*(1.+C1/C2)+alea(noiseamp)) /
            (1.0+1.0/GAIN+1.0/GAIN*C1/C2);
    }
    return o;
}
```

Simulación a nivel de sistema: Offset en el comparador



$$(V_{OFF} = 10mV)$$

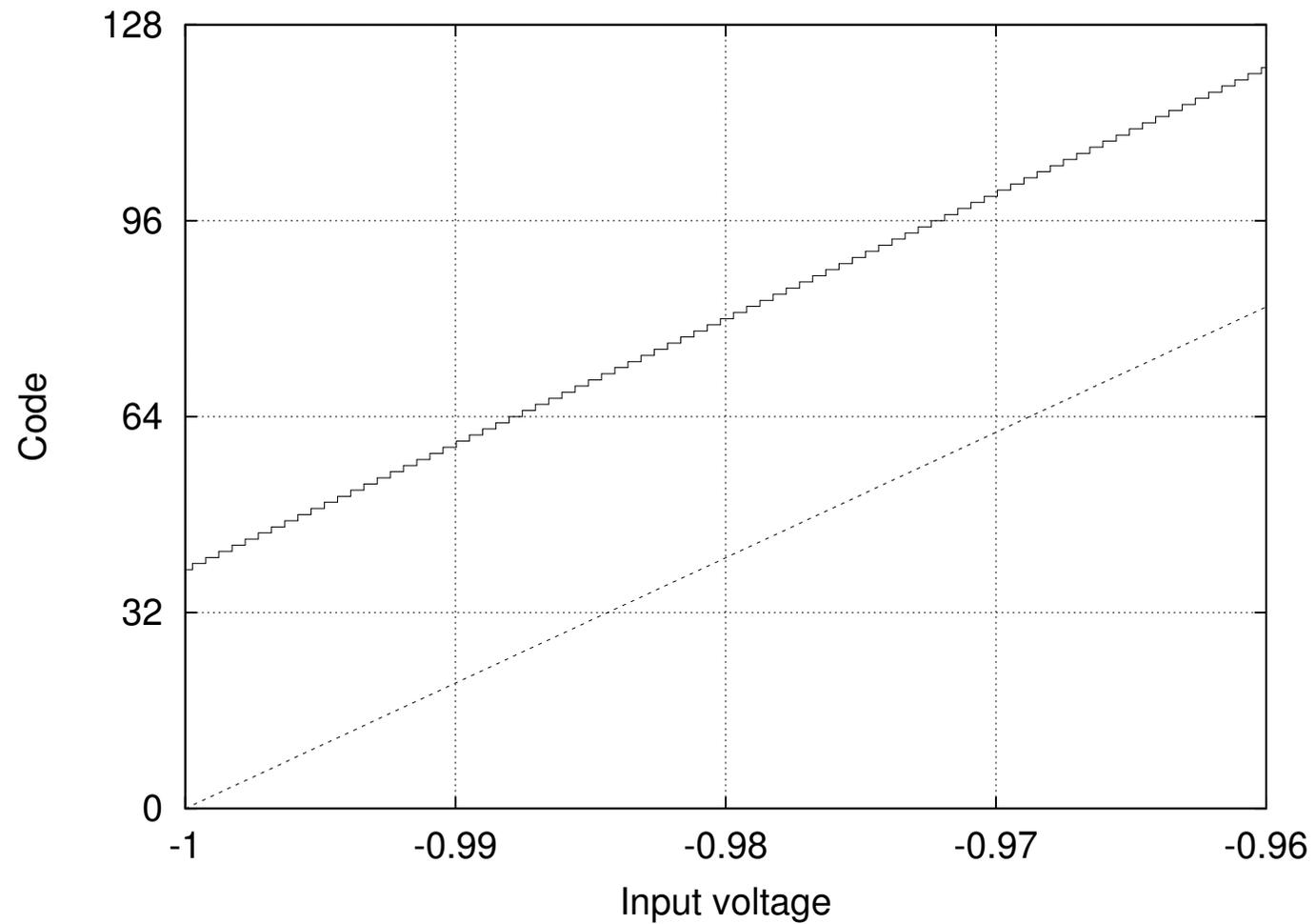
Rediseño: Arquitectura de 1.5 bits



Simulación a nivel de sistema. Código en C

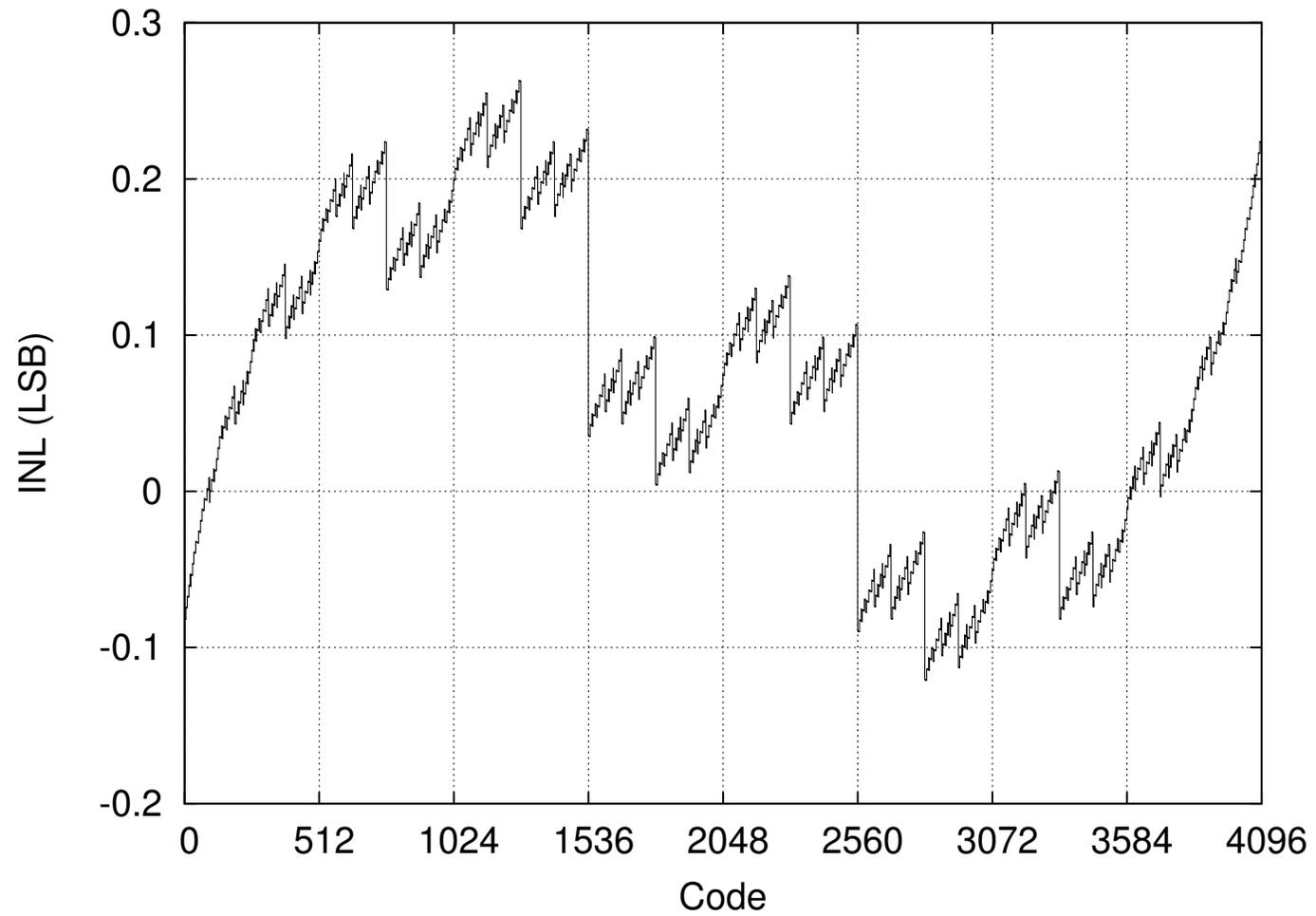
```
int adc15(float vin,int nbit)
{
    int i,o;
    float vdac,vres,q;
    vres=vin;
    for (i=o=0; i<nbit-1;i++) {
        o<<=1;
        if (vres>VREF/4.+OFFSET1) {
            vdac=VREF;
            o+=2;
        } else if (vres>-VREF/4.+OFFSET2) {
            vdac=0;
            o+=1;
        } else vdac=-VREF;
        q=(vdac-vres+alea(1.4142*noisec1))*C1;
        vres=(vres - q/C2 + OFFSETA*(1.+C1/C2)+alea(noiseamp)) /
            (1.0+1.0/GAIN+1.0/GAIN*C1/C2);
    }
    return o;
}
```

Simulación a nivel de sistema: Offset Operacional



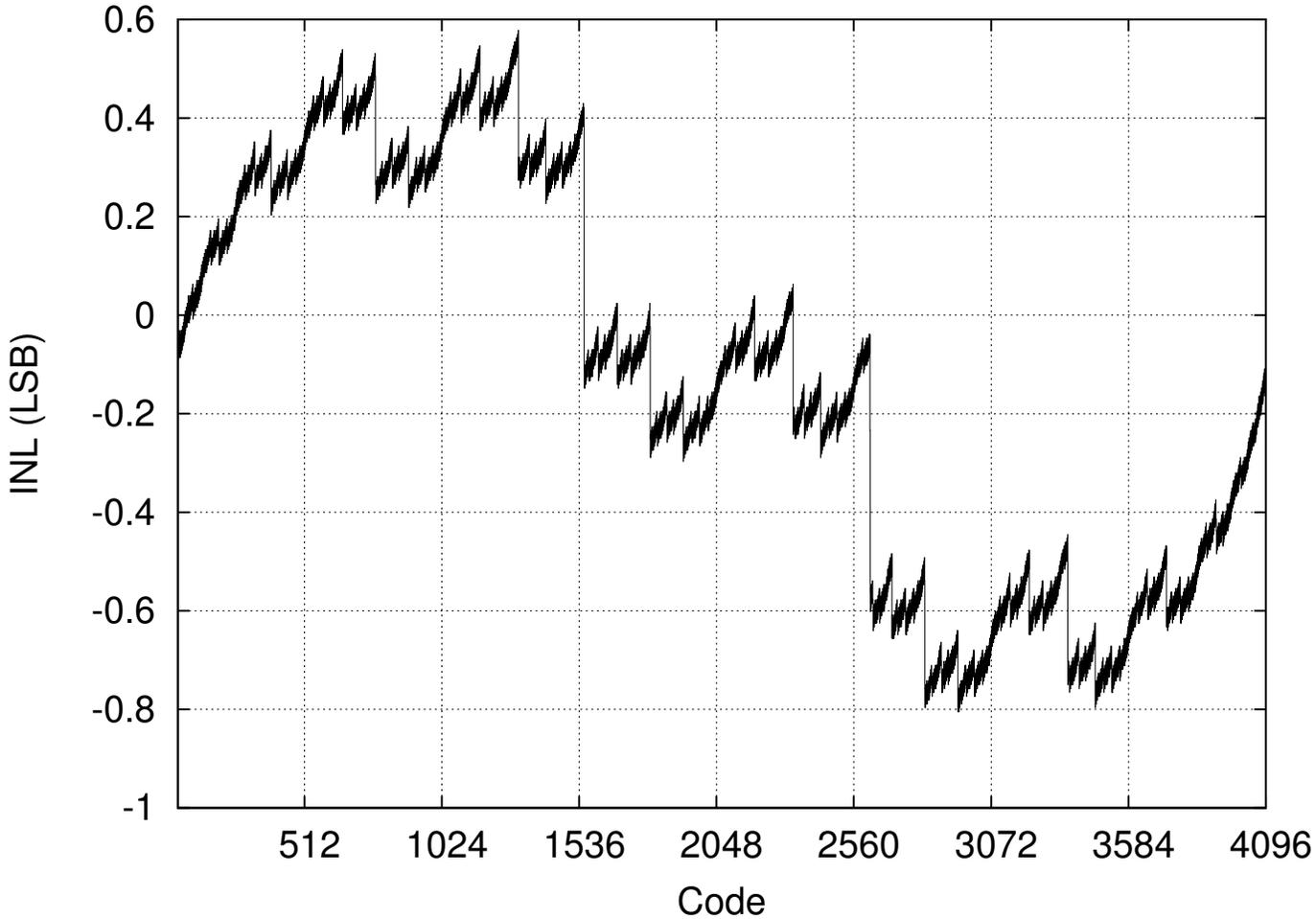
$$(V_{OFF} = 10mV)$$

Simulación a nivel de sistema: Ganancia finita A. O.



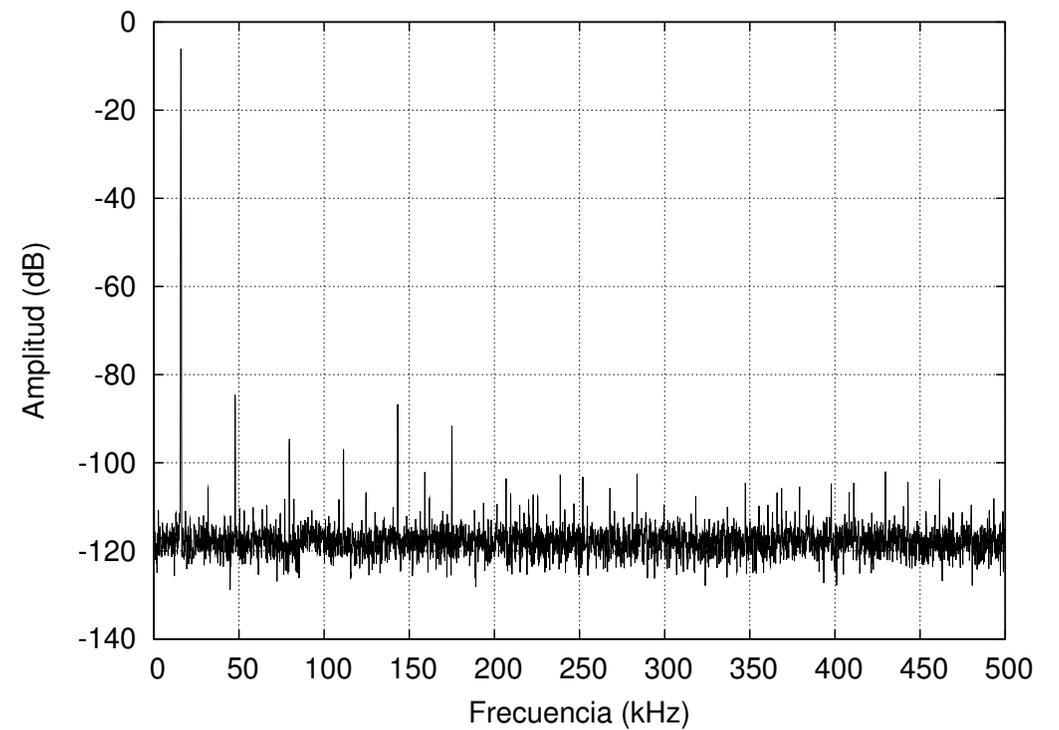
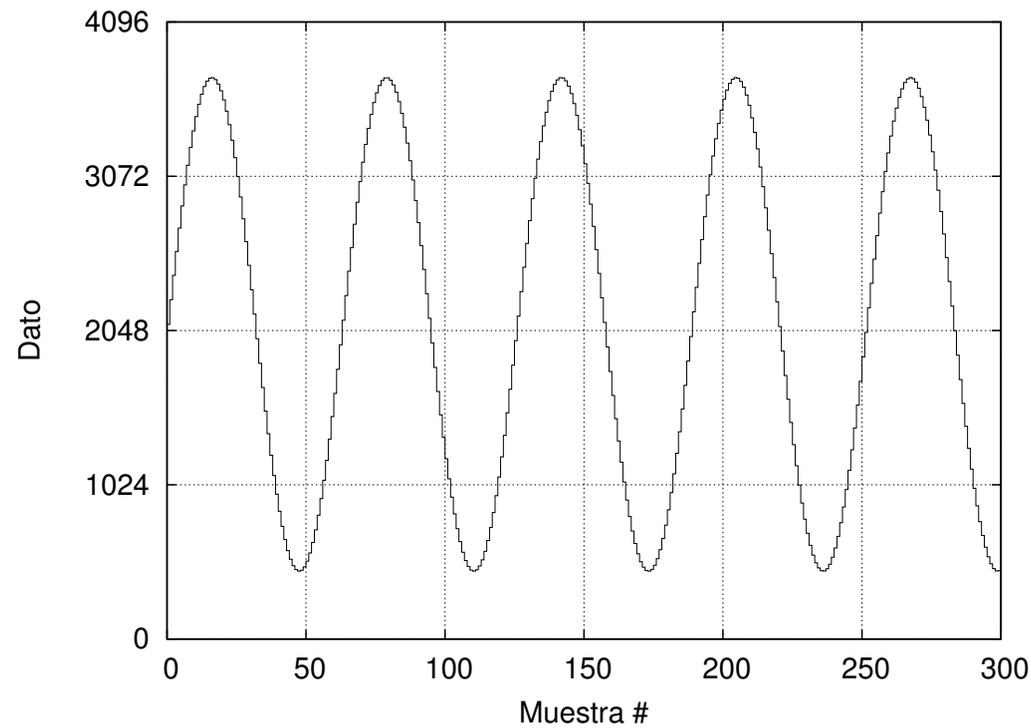
(GAIN=10000)

Simulación a nivel de sistema: Mismatch entre C1 y C2



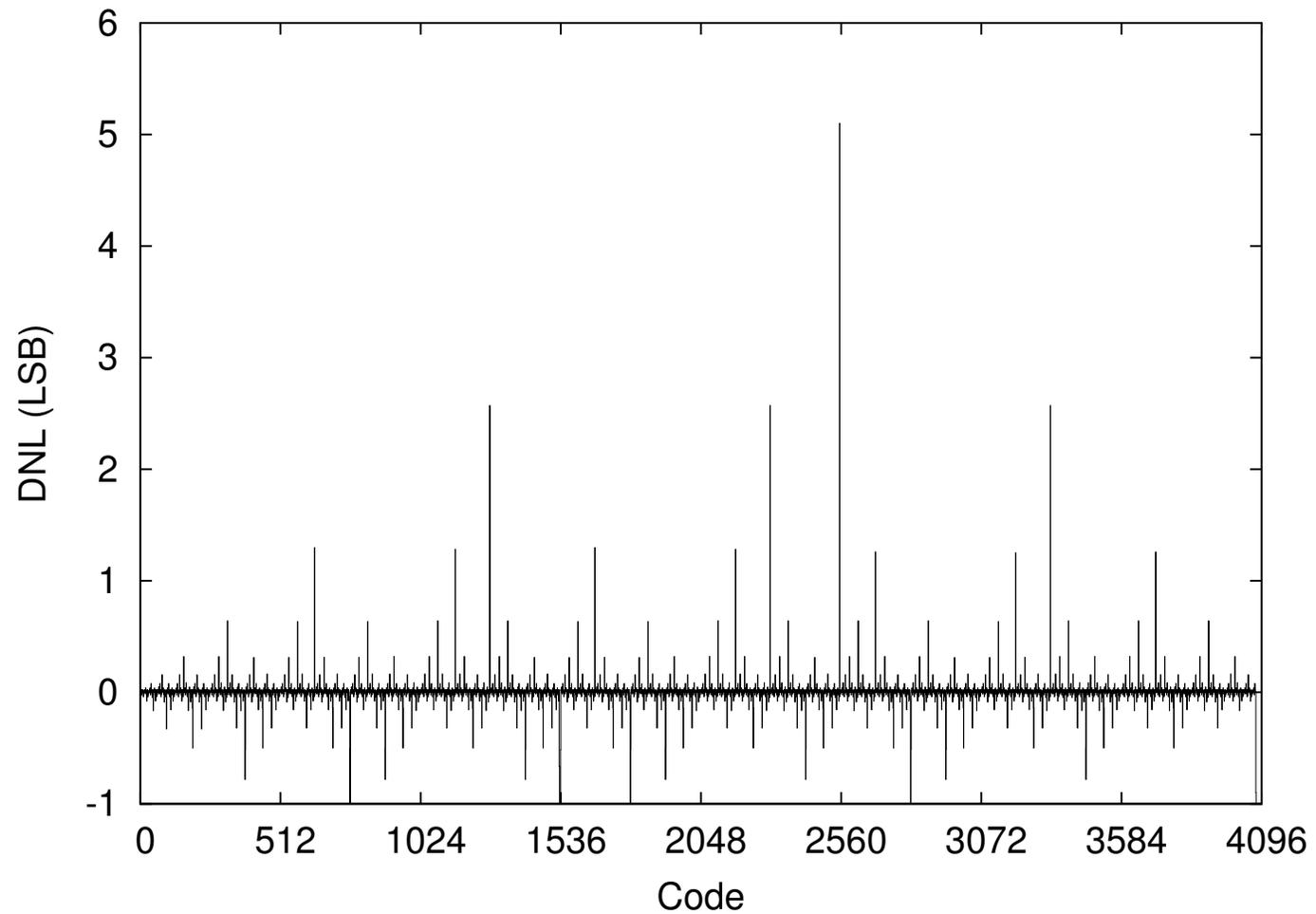
(C1=1.001 C2)

Simulación a nivel de sistema: Ruido



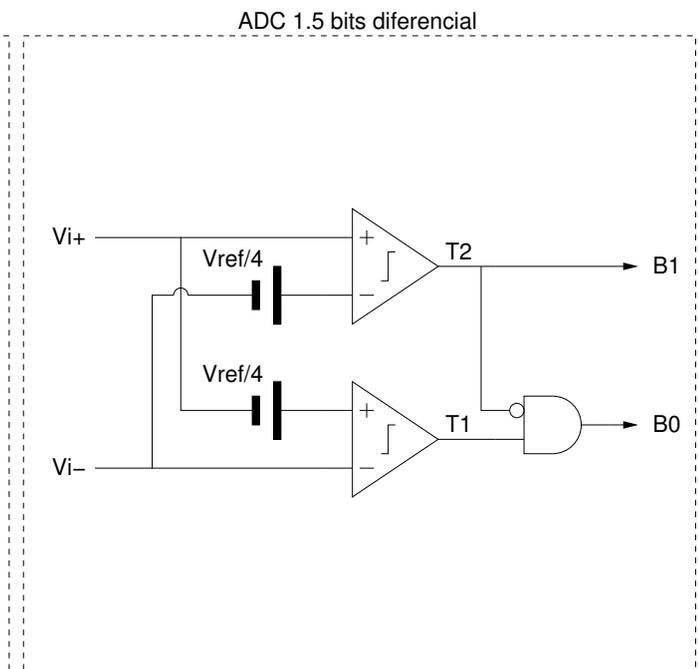
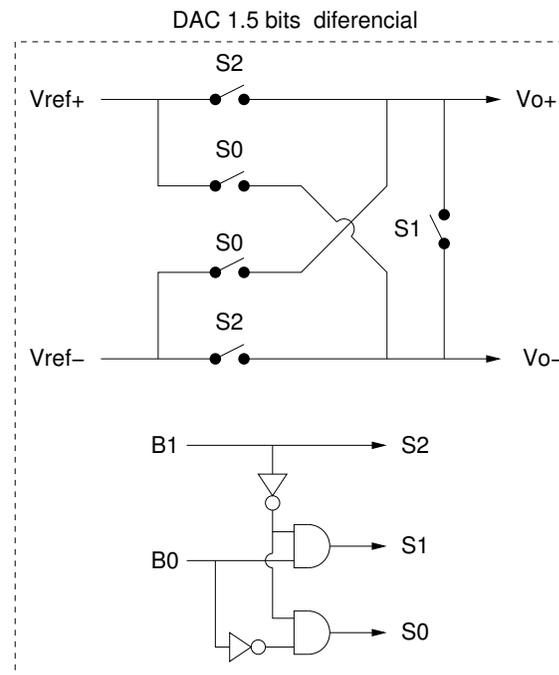
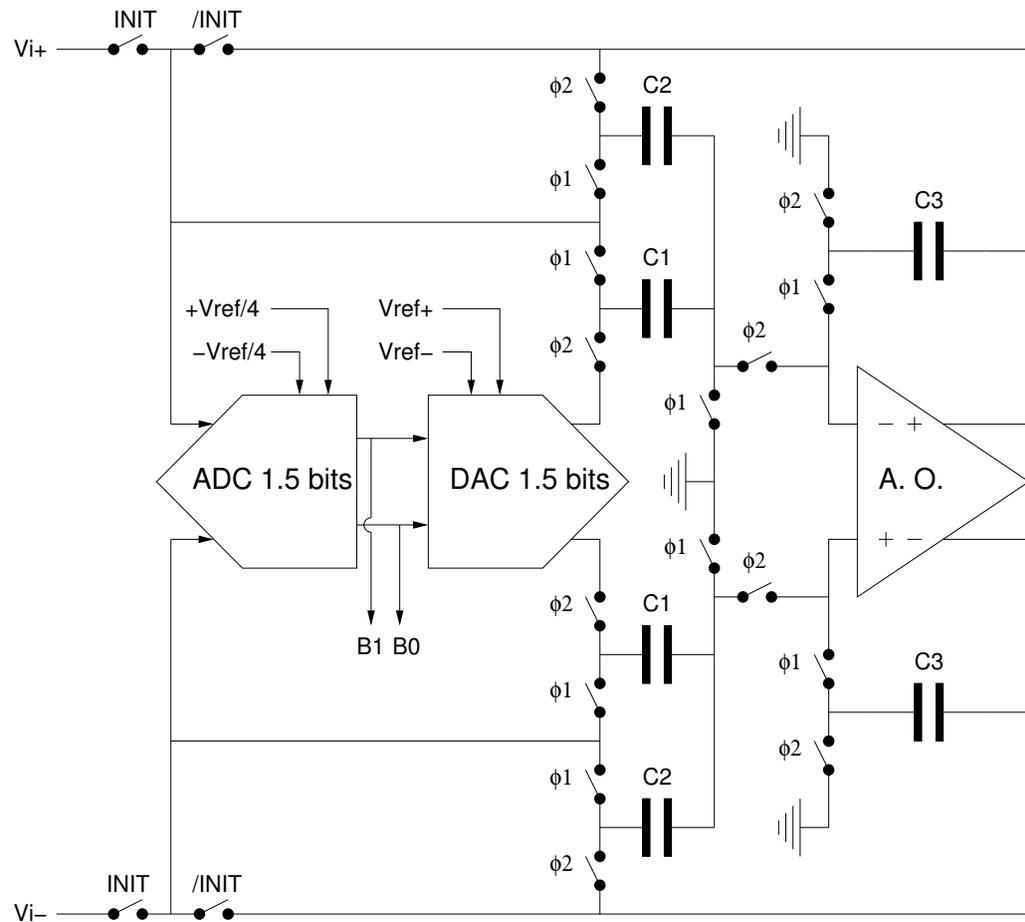
$$(C_1 = C_2 = 0,4pF , n_{in(AO)} = 10nV/\sqrt{Hz}) \rightarrow \text{SNDR}=72.5 \text{ dB}$$

Simulación a nivel de sistema: Error en voltaje de referencia



$$(\Delta V_{ref} = 10mV)$$

Rediseño: Versión completamente diferencial



Obtención de parámetros de los bloques funcionales

Algunos ya conocidos de los resultados de las simulaciones:

- Condensadores: 0.4 pF (ruido)
- Ganancia A. O. >10000

Otros se obtienen de datos de la tecnología CMOS:

- Matching condensadores de doble polisilicio mejor 1/1000 para $C=0.4$ pF

Obtención de parámetros: Interruptores

- Los condensadores se cargan / descargan a través de la resistencia r_{ON} de los interruptores.
- En medio ciclo de reloj se han de descargar hasta por lo menos $V_{LSB}/2 = V_{ref}/4096$ esto da:

$$r_{ON} \leq \frac{T/2}{C \ln(4096)} = 150 \text{ K}\Omega$$

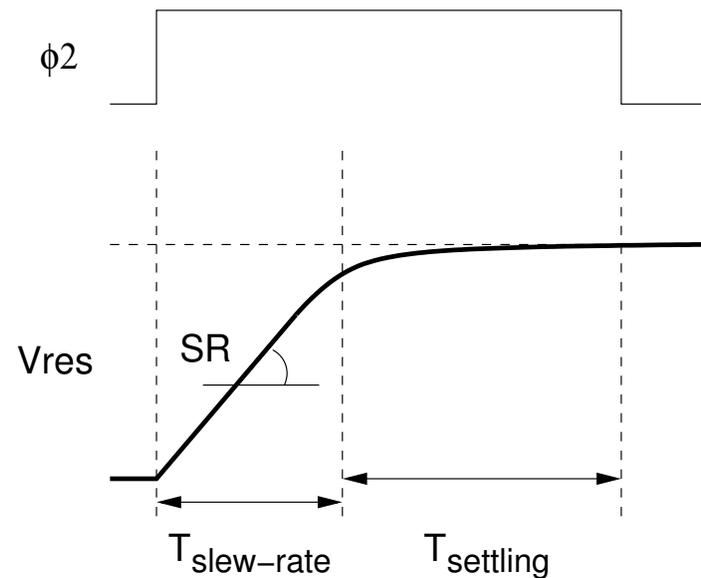
- Cuando se muestrea la entrada se puede tener distorsión debido a la variación de la resistencia del interruptor, ΔR , con el voltaje. La peor distorsión, ΔV es:

$$\frac{\Delta V}{V_{ref}} = \omega_{Nyq} C r_{ON} \frac{\Delta R}{r_{ON}}$$

si $\frac{\Delta V}{V_{ref}} \leq \frac{1}{4096}$ y $\frac{\Delta R}{r_{ON}} = 0,5$, con $\omega_{Nyq} = 2\pi \times 45 \text{ KHz}$ obtenemos $r_{ON} \leq 4300 \Omega$

Obtención de parámetros: A. O.

- Slew-Rate y Producto ganancia x Ancho de banda.



- $T_{slew-rate} = T/4 \rightarrow SR = \frac{V_{ref}}{T/4} = 8 V/\mu s$

- $v(t) = V_0 \exp(-BW \cdot t)$, $v(T/4) = V_0/4096 \rightarrow BW = 5,3 MHz$

$$GBW = 2 \times BW = 10,6 MHz$$