

CONVERTIDOR ANALÓGICO-DIGITAL ALGORÍTMICO

Ejemplo de Diseño y Test de C.I. Avanzados

J. Arias

10 de julio de 2007

Índice

1. Introducción.	1
2. Diseño a nivel de sistema	2
2.1. Eligiendo la arquitectura	2
2.2. Análisis y simulación a nivel de sistema incluyendo efectos reales	3
2.3. Arquitectura mejorada. Convertidor de 1.5 bits con corrección digital.	4
2.4. Efectos reales en el convertidor de 1.5 bits	6
2.5. Versión completamente diferencial del ADC de 1.5 bits	8
2.6. Parámetros de los bloques funcionales.	9
2.7. Bloques auxiliares	11

1. Introducción.

Este documento trata del diseño de un convertidor analógico digital de tipo algorítmico. Este circuito ha sido seleccionado como ejemplo representativo del proceso de diseño de circuitos integrados de tipo mixed-signal que incluyen tanto bloques analógicos como digitales y que se suelen implementar en tecnologías de tipo CMOS. El convertidor objeto de este diseño incluye los bloques funcionales analógicos típicos tales como amplificadores operacionales, comparadores, interruptores, multiplexores, condensadores conmutados... Los bloques digitales en cambio son mínimos, limitándose a unas pocas puertas lógicas y a la generación del reloj.

El proceso de diseño sigue una estrategia del tipo Top-Down. Partimos del análisis y diseño a nivel de sistema, considerando los bloques constituyentes del circuito como cajas negras con una serie de parámetros que describen su funcionamiento. En este nivel de diseño se trata de obtener el valor adecuado para dichos parámetros, o en su defecto un valor de acotación, de modo que se cumplan las especificaciones del convertidor. Durante este proceso se llevarán a cabo simulaciones funcionales del convertidor usando lenguajes de programación como Matlab o C. Una vez finalizada esta primera etapa pasamos a diseñar cada uno de los bloques funcionales de forma individual teniendo en cuenta sus respectivas especificaciones. Estos bloques funcionales pueden a su vez descomponerse en otros bloques más sencillos, de modo que continuamos el proceso de diseño hasta que todos los bloques constan sólo de los esquemáticos de los circuitos.

Una vez llegados a la descripción en forma de esquemáticos se pueden realizar simulaciones de tipo Spice que nos proporcionarán una importante realimentación respecto al comportamiento del circuito al incluir modelos detallados de los dispositivos y muchos efectos no ideales no considerados durante las fases anteriores del diseño. Al concluir el diseño a nivel de esquemáticos ya tenemos una descripción del circuito que iría integrado en un chip.

La implementación final del circuito supone el dibujo del Layout del chip, esto es: la posición y forma de todos los dispositivos que componen el circuito junto con las pistas de metal que los interconectan. A partir del layout del chip el fabricante puede obtener las máscaras que se usarán en la fabricación del chip. Es de suma importancia que el layout esté correcto. Por ello se suelen utilizar programas de extracción que generan descripciones circuitales a partir de la información geométrica del layout. Estos circuitos extraídos se pueden comparar con los esquemáticos del chip para garantizar que se trata de circuitos idénticos (Layout Versus Schematic: LVS). También se pueden simular con

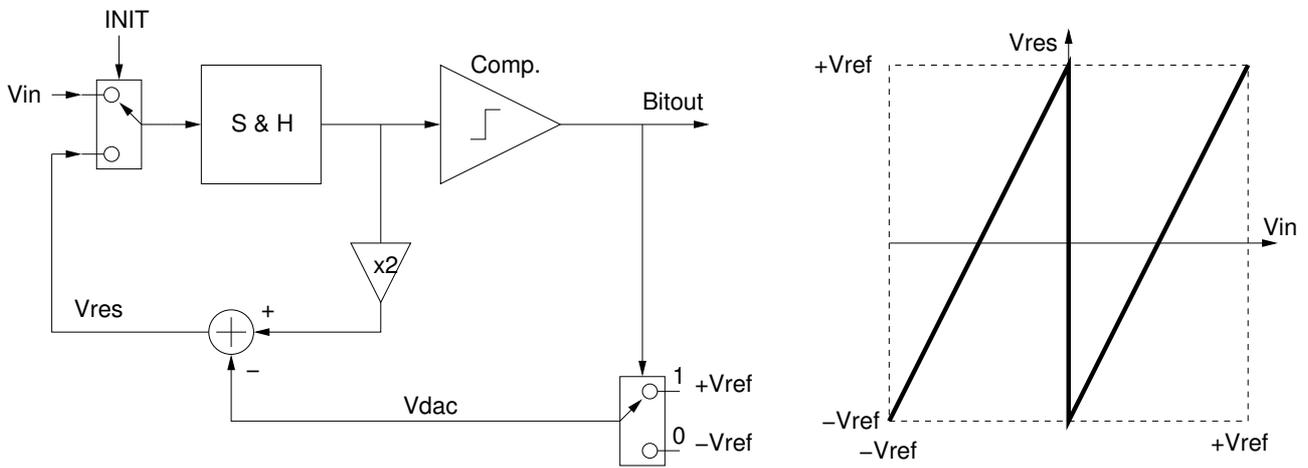


Figura 1: Diagrama de bloques del convertidor algorítmico de 1 bit. Función de transferencia del residuo: $V_{res} = 2V_{SH} - V_{dac}$

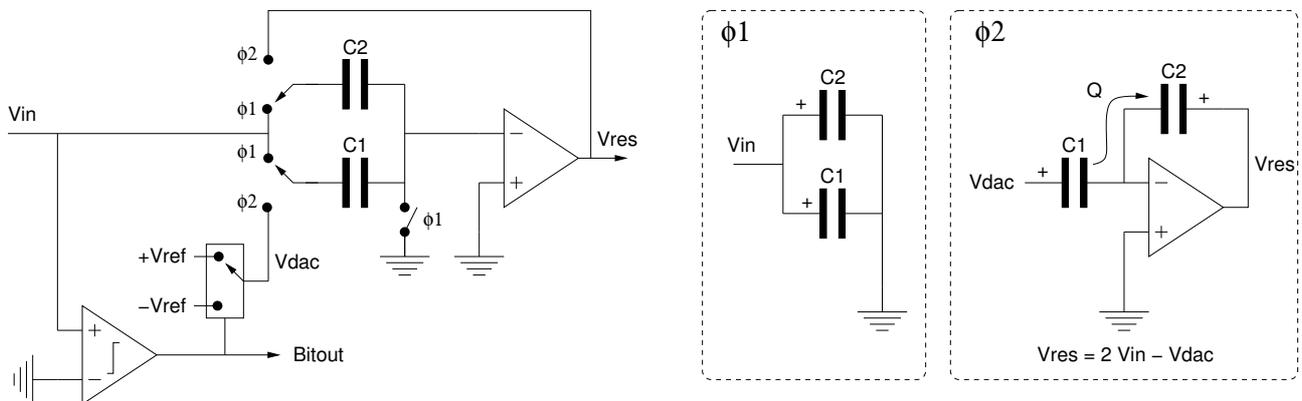


Figura 2: Implementación SC del amplificador de residuo. Circuito equivalente en cada una de las fases del reloj.

programas de tipo Spice. En estas simulaciones el circuito extraído incluye muchos elementos parásitos que no estaban en el esquemático original y por lo tanto los resultados describen el comportamiento del chip de modo mucho más realista.

En este documento abordaremos solamente el diseño del convertidor a nivel de sistema.

2. Diseño a nivel de sistema

2.1. Eligiendo la arquitectura

El convertidor analógico digital algorítmico es un sistema de procesamiento de señal no lineal que opera de forma cíclica. En la figura 1 se muestra el diagrama de bloques de un convertidor algorítmico de 1 bit. En el primer ciclo del reloj se muestrea la entrada, V_{in} , en el amplificador Sample & Hold, y se obtiene el bit más significativo de la conversión mediante el comparador. La salida digital se usa para generar una tensión de “residuo” $V_{res} = 2V_{SH} - V_{dac}$ que en los siguientes ciclos de reloj se aplica a la entrada del amplificador S&H. De este modo se van obteniendo los siguientes bits de menor peso del dato de salida. El proceso se repite hasta obtener el número de bits deseados en la salida, de modo que la resolución del comparador, al menos desde un punto de vista teórico, se puede aumentar simplemente empleando más ciclos de reloj por cada conversión. En nuestro diseño vamos a intentar obtener una resolución de 12 bits.

En la figura 2 ya se muestra una descripción circuital para la obtención de V_{res} . El circuito se basa en la técnica de condensadores conmutados y supone el uso de condensadores de calidad en el circuito. Su funcionamiento es como sigue: Durante la fase de reloj ϕ_1 los condensadores C_1 y C_2 se cargan hasta el voltaje de la entrada, V_{in} . En la fase ϕ_2 , en cambio, los condensadores se conectan al amplificador operacional tal como se muestra en la figura. El condensador C_1 cambia su voltaje desde V_{in} hasta V_{dac} , lo que supone que hay una carga $Q = (V_{dac} - V_{in})C_1$ que fluye hacia el condensador C_2 . C_2 estaba cargado con una tensión inicial igual a V_{in} , de modo que el voltaje en la salida tras la estabilización de la carga

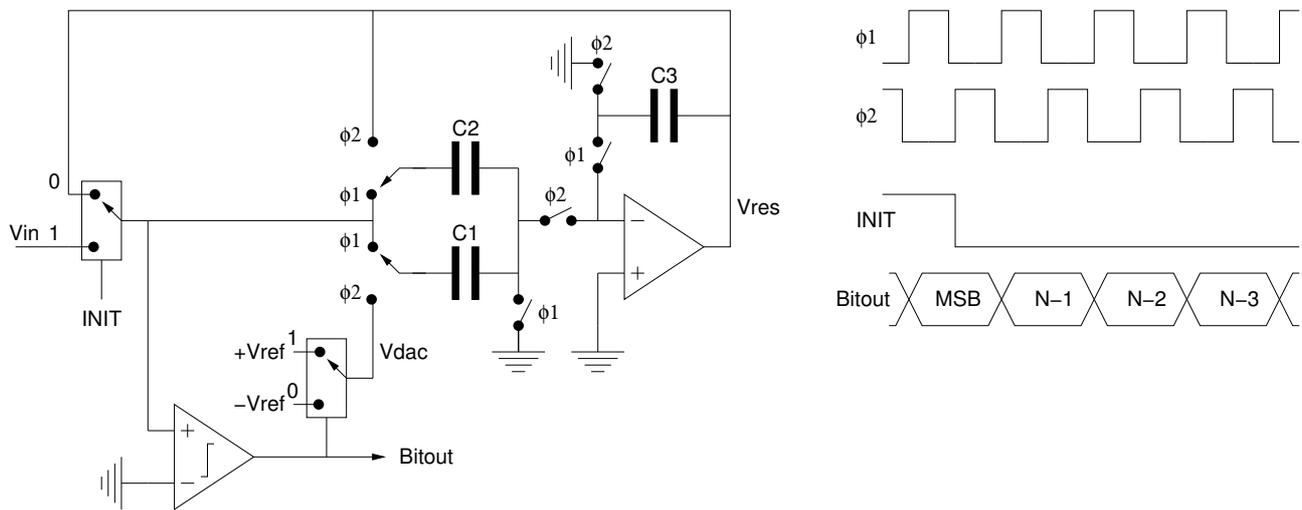


Figura 3: Convertidor completo que incluye el condensador C_3 para memorizar el voltaje del residuo del ciclo anterior. Cronograma en el que se muestran las dos fases no solapadas del reloj junto con la señal de inicio y la salida.

será: $V_{res} = V_{in} - Q/C_2$, o lo que es lo mismo:

$$V_{res} = V_{in} \left(1 + \frac{C_1}{C_2} \right) - V_{dac} \frac{C_1}{C_2} \quad (1)$$

En esta ecuación vemos que si $C_1 = C_2$ obtenemos el voltaje de salida deseado. Los dos condensadores van a necesitar tener un buen matching para evitar errores que darían lugar a no linealidades en el convertidor.

Añadiendo un tercer condensador y los correspondientes interruptores como se muestra en la figura 3, conseguimos que la salida del operacional mantenga el voltaje V_{res} durante la fase ϕ_1 , de modo que implementamos también la función de Sample & Hold. Tenemos ya por lo tanto un esquema completo del convertidor. Faltarían por detallar los circuitos de generación de las dos fases del reloj y de polarización. Pero antes de pasar al diseño de cada uno de los bloques vamos a analizar el comportamiento del convertidor teniendo en cuenta posibles no idealidades de sus componentes. Los malos resultados que obtendremos en el siguiente apartado nos llevarán a proponer una arquitectura mejorada.

2.2. Análisis y simulación a nivel de sistema incluyendo efectos reales

El comportamiento del convertidor se aleja notablemente de ideal cuando se tienen en cuenta toda una serie de efectos reales. Entre ellos merece la pena destacar los siguientes:

- Mismatch entre los condensadores C_1 y C_2 .
- Ganancia finita en el operacional.
- Voltaje de offset en el operacional.
- Voltaje de offset en el comparador.
- Inyección de carga desde los interruptores.
- Ruido de muestreo (KT/C).
- Ruido en el operacional.
- Ruido en la tierra y en la alimentación positiva.

Con la excepción de los ruidos todos los efectos mencionados pueden provocar una no linealidad en el convertidor. Este es un parámetro que se puede dar como una no linealidad diferencial (DNL), que nos indica la diferencia entre un paso de un código en un convertidor ideal y en el que es objeto de estudio, o como una no linealidad integral (INL) que indica cuánto se aleja la característica de transferencia del convertidor respecto a la de un convertidor ideal. La no linealidad limita la resolución efectiva del convertidor y conviene que no sea mucho mayor que el error de cuantización del convertidor, que

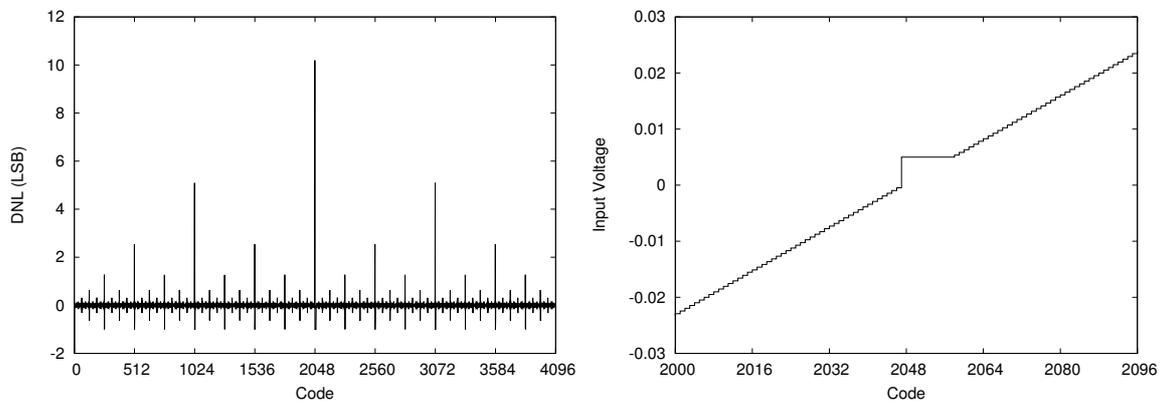


Figura 4: No linealidad diferencial y detalle de la función de transferencia del convertidor cuando el comparador tiene una tensión de offset de 10 mV.

es del orden de 1 LSB ($2V_{ref}/2^{NBIT}$). El ruido va a hacer que los bits de menor peso se vuelvan cada vez más aleatorios, de modo que no se obtiene más resolución al emplear más ciclos de reloj por conversión.

Para simular estos efectos se ha escrito una rutina en lenguaje C que describe el comportamiento del circuito:

```
int adcl(float vin,int nbit) {
    int i,o;
    float vdac,vres,q;

    vres=vin;
    for (i=0; i<nbit;i++) {
        o<=1;
        if (vres>OFFSET1) {
            vdac=VREF;
            o++;
        } else vdac=-VREF;
        q=(vdac-vres+alea(1.4142*noisec1))*C1;
        vres=(vres - q/C2 + OFFSETA*(1.+C1/C2)+alea(noiseamp))/
            (1.0+1.0/GAIN+1.0/GAIN*C1/C2);
    }
    return o;
}
```

Las constantes OFFSET1, OFFSETA y GAIN representan el valor de las tensiones de offset del comparador y del amplificador operacional y la ganancia en continua del amplificador operacional. La función *alea(amp)* devuelve un valor aleatorio con una distribución que tiene una varianza “amp”. Esta función se utiliza para simular los efectos del ruido y devuelve 0 durante el análisis de la no linealidad. Como vemos la ecuación 1 se ha modificado para incluir los efectos del offset del operacional y su ganancia finita.

Las simulaciones muestran que los peores efectos sobre la linealidad del convertidor son los debidos a las tensiones de offset, tanto del comparador como del amplificador operacional. Una tensión de offset de 10 mV en el comparador da lugar a la no linealidad que se muestra en la figura 4. Un offset en el operacional tiene todavía efectos peores (factor x2). Como en la tecnología CMOS es difícil fabricar comparadores y amplificadores operacionales con tensiones de offset muy por debajo de los 10 mV hemos de concluir que el convertidor propuesto no va a tener nunca una linealidad aceptable para una resolución de 12 bits y por lo tanto habremos de buscar algún diseño alternativo.

2.3. Arquitectura mejorada. Convertidor de 1.5 bits con corrección digital.

En la literatura hemos encontrado una arquitectura mejorada que compensa los voltajes de offset. Su esquema se muestra en la figura 5. El cuantizador consta de 2 comparadores cuyas tensiones umbrales son $+V_{ref}/4$ y $-V_{ref}/4$, un

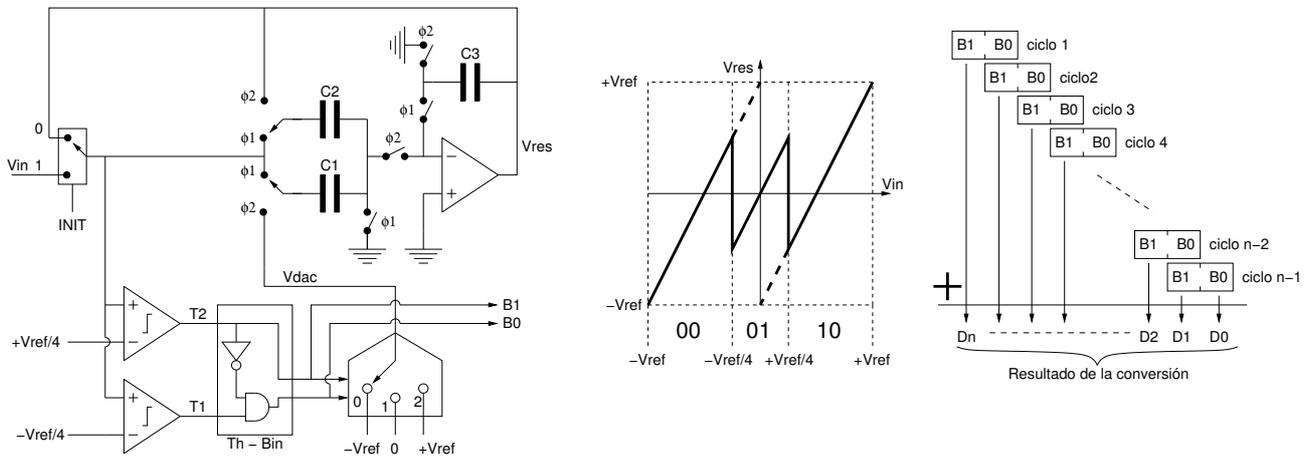


Figura 5: Diagrama de un ADC algorítmico de 1.5 bits. Función de transferencia del residuo. Procesado digital de los datos (suma de bits redundantes)

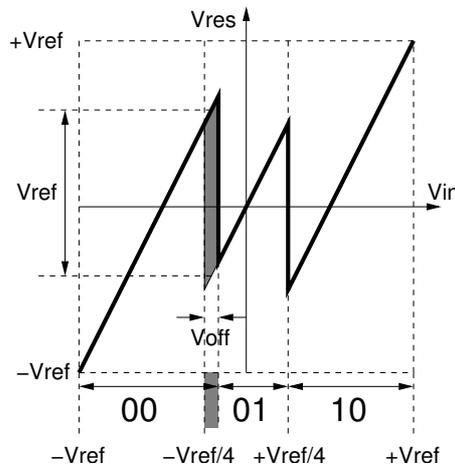


Figura 6: Mecanismo de corrección de offsets: El error en el bit (area sombreada) se compensa con el voltaje adicional en el residuo, V_{ref} , que una vez convertido y sumado a los bits actuales da un resultado correcto.

simple circuito combinacional que convierte las señales de salida de los comparadores a código binario y un convertidor digital/analógico capaz de generar las tensiones $-V_{ref}$, 0 y $+V_{ref}$. El cuantizador es capaz de distinguir 3 niveles distintos de tensión en la entrada y por ello se denomina de 1.5 bits ya que $\log_2 3 = 1,58$. Los bits contienen redundancia ya que el bit B0 de la salida actual tiene el mismo peso que el bit B1 del siguiente ciclo de reloj. Para obtener el dato de salida definitivo hay que sumar los bits obtenidos en cada ciclo de la forma que se indica en la figura 5.

Esta redundancia es la que hace que el convertidor sea insensible a los voltajes de offset de los comparadores. Un ejemplo se muestra en la figura 6, donde hemos supuesto que el comparador que genera el bit T1 tiene un voltaje de offset positivo, V_{off} . La función de transferencia del residuo se ve afectada por este voltaje de offset, de modo que cuando el voltaje de entrada está dentro de la zona sombreada el código en la salida será 00 en lugar del valor correcto 01, pero la tensión del residuo se ha desplazado V_{ref} voltios hacia las tensiones positivas. Si consideramos que la tensión del residuo se convierte a un dato digital en los sucesivos ciclos de reloj (mediante un ADC ideal) obtendremos un código 2^{N-1} mayor que el que tendríamos en un convertidor sin offset. De este modo una vez sumadas todas las muestras el resultado es el mismo que el que se obtendría en un convertidor sin offset en sus comparadores aunque los resultados parciales sean distintos.

El voltaje de offset del amplificador operacional no se cancela completamente, como sucede con el offset de los comparadores, pero tampoco se traduce en no linealidad (figura 7). La característica de transferencia se desplaza de su posición ideal un valor $2 \times V_{off}$, lo que da lugar a un error de offset en el ADC que no es particularmente dañino ya que se puede corregir sumando o restando un código constante. En cualquier caso es conveniente reducir el voltaje de offset del amplificador operacional todo lo que sea razonablemente posible.

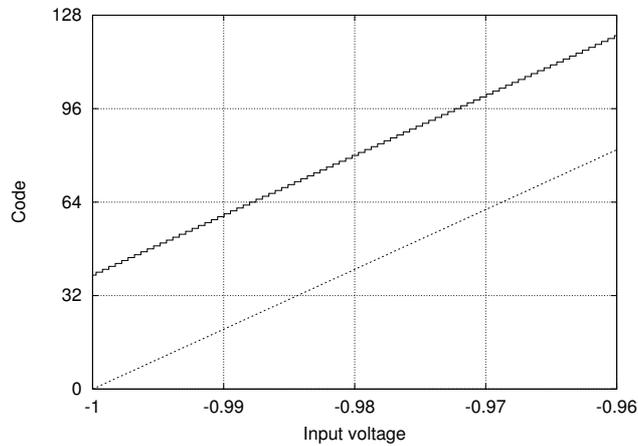


Figura 7: Efecto de un offset de 10 mV en el amplificador operacional del ADC de 1.5 bits. Se observa un error de offset de 20 mV, pero la característica de transferencia sigue siendo lineal.

2.4. Efectos reales en el convertidor de 1.5 bits

La arquitectura de 1.5 bits elimina una de las limitaciones fundamentales de los convertidores algorítmicos: el efecto de las tensiones de offset sobre la linealidad del convertidor, pero aún hay otros efectos reales que considerar. Para ello hemos escrito una nueva rutina en lenguaje C que simula el comportamiento del convertidor:

```
int adc15(float vin,int nbit)
{
    int i,o;
    float vdac,vres,q;

    vres=vin;
    for (i=o=0; i<nbit-1;i++) {
        o<<=1;
        if (vres>VREF/4.+OFFSET1) {
            vdac=VREF;
            o+=2;
        } else if (vres>-VREF/4.+OFFSET2){
            vdac=0;
            o+=1;
        } else vdac=-VREF;

        q=(vdac-vres+alea(1.4142*noisec1))*C1;
        vres=(vres - q/C2 + OFFSETA*(1.+C1/C2)+alea(noiseamp))/
            (1.0+1.0/GAIN+1.0/GAIN*C1/C2);
    }
    return o;
}
```

Mediante esta función hemos simulado el comportamiento del convertidor bajo diferentes efectos reales, obteniendo resultados como los siguientes:

Mismatching

El mismatch entre condensadores de doble polisilicio o MIM (Metal Aislante Metal) puede llegar a ser del orden del 0.1 %. Cuando consideramos esta diferencia entre los valores relativos de C_1 y C_2 obtenemos la gráfica de la figura 8(izq.), en la que vemos que la no linealidad integral no supera en valor absoluto 1 LSB, lo que se puede considerar razonable.

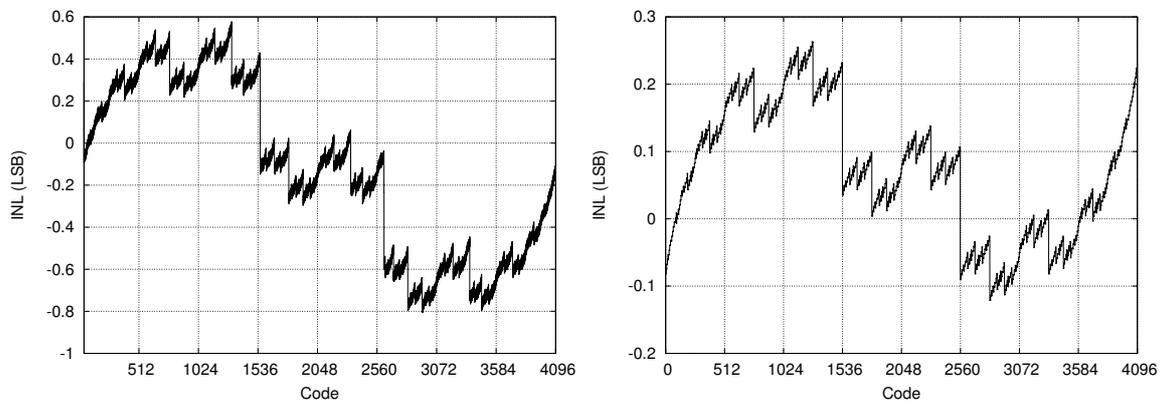


Figura 8: No linealidad integral (INL) del convertidor de 1.5 bits debida a un mismatch entre condensadores de 0.1 % (izquierda) o a la ganancia finita del amplificador operacional, $A_0 = 10^4$ (derecha)

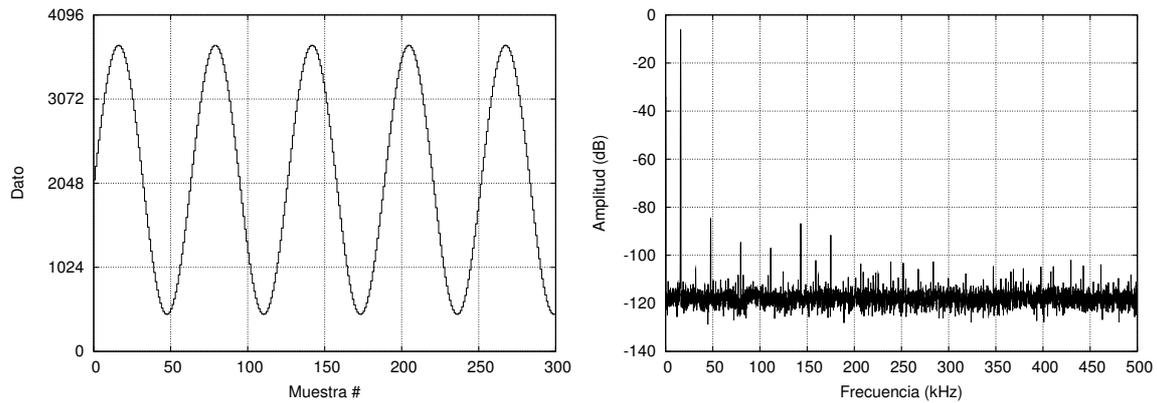


Figura 9: Datos de salida para una entrada sinusoidal y su correspondiente espectro para un convertidor de 1.5 bits.

Ganancia en lazo abierto del amplificador operacional

La ganancia finita del amplificador operacional puede hacer que el factor que multiplica a V_{in} en la ecuación 1 sea ligeramente menor que 2. Esto da lugar a una no linealidad como la que se muestra en la figura 8(der.) para una ganancia del operacional de 10000. La no linealidad está claramente por debajo de 1 LSB, por lo que se puede considerar 10000 como un valor mínimo adecuado para la ganancia del amplificador operacional.

Inyección de carga desde los interruptores

Los interruptores se van a implementar como transistores MOSFET y la capacidad entre la puerta y el canal en dichos transistores va a provocar la inyección de carga en los nodos del circuito cuando cambie la señal de reloj. El nodo más crítico es el que va a la entrada negativa del operacional. Aquí, la inyección de carga va a tener un efecto similar al del voltaje de offset del operacional pues la carga inyectada generará un voltaje constante en el condensador C_2 . En primera aproximación la carga inyectada se cancelaría si los interruptores fueran iguales (la carga simplemente se mueve de un interruptor a otro). También se cancelaría el efecto de la inyección de carga si el convertidor fuese completamente diferencial pues daría lugar a un voltaje en modo común.

Ruido

En el convertidor hay varias fuentes de ruido. En primer lugar consideremos el ruido debido al muestreo: cuando un condensador se carga a través de una resistencia (la del interruptor) queda un error en el voltaje cuyo valor rms es $\sqrt{KT/C}$, donde K es la constante de Boltzmann, T la temperatura en Kelvin y C la capacidad del condensador. Vemos que el ruido de muestreo disminuye con el tamaño del condensador. Para una capacidad de 0.4 pF el valor rms del ruido de muestreo es de unos 100 μV , mientras que el voltaje de 1 LSB es de 488 μV ($V_{ref} = 1V$). Vemos que no es por lo

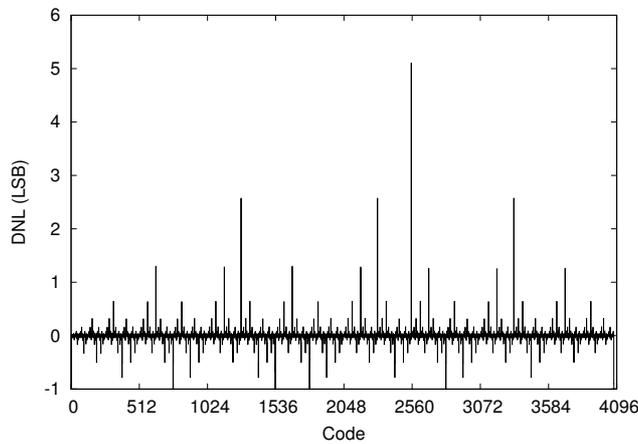


Figura 10: No linealidad diferencial cuando en el ADC de 1.5 bits hay un error de 10 mV en la tensión $+V_{ref}$

tanto conveniente reducir mucho más el tamaño de los condensadores. Además el propio amplificador operacional puede generar un ruido apreciable. Si estimamos el ruido equivalente en la entrada del operacional en $n_i = 10 \text{ nV}/\sqrt{\text{Hz}}$, el ruido total en la salida será $n_i\sqrt{A_v\text{GBW}} = n_i\sqrt{2\cdot\text{GBW}}$, que da unos $45 \mu\text{V}$ rms para un producto ganancia por ancho de banda de 10 MHz.

Los efectos del ruido en el convertidor se pueden simular. En la figura 9 se muestra el espectro de salida del convertidor para una señal sinusoidal de entrada y una frecuencia de muestreo de 1 MHz. En el espectro se ve un fondo de ruido plano que es debido no sólo a la cuantización, sino también a las fuentes de ruido mencionadas. En esta simulación se han considerado un mismatch del 0.1 % entre condensadores, voltajes de offset de 10 mV en comparadores y operacional, una ganancia de 10000 en el operacional y capacidades de 0.4 pF. Capturando 16 bits en lugar de 12 para reducir los efectos de la cuantización, obtenemos una relación de señal frente a ruido y distorsión, SNDR, de 72.5 dB (11.75 bits efectivos) y una distorsión armónica total, THD de -75.3 dB.

Linealidad del DAC

El DAC tan sólo debe generar 3 tensiones de salida: $-V_{ref}$, 0 y $+V_{ref}$, pero estas tensiones deben ser muy precisas pues de lo contrario se puede ver afectada la linealidad de todo el convertidor. Este problema no se tenía en el ADC de 1 bit ya que el DAC correspondiente sólo generaba dos tensiones posibles y por lo tanto era siempre lineal (siempre hay una línea recta que pasa por dos puntos). En el ADC de 1.5 bits el DAC puede ser no lineal si $|-V_{ref}| \neq +V_{ref}$. En la figura 10 se muestra el efecto que tiene un error de 10 mV en una de las tensiones de referencia sobre la no linealidad del ADC. Parece claro que el error entre los dos voltajes de referencia no debe superar 1 LSB para que la linealidad del ADC no se vea comprometida. Esta especificación es difícil de conseguir en un circuito como el de la figura 5, ya que la generación de los dos voltajes de referencia se va a ver afectada por los mismatches de los componentes pasivos y por las tensiones de offset de los amplificadores. Sin embargo sí que es relativamente fácil alcanzar esta precisión en una versión completamente diferencial del convertidor, dado que en los circuitos diferenciales un cambio de signo se consigue simplemente intercambiando los terminales positivo y negativo de la señal correspondiente. Este es uno de los principales motivos para proponer el diseño del convertidor de 1.5 bits en su versión completamente diferencial.

2.5. Versión completamente diferencial del ADC de 1.5 bits

Además de la linealidad del DAC de 1.5 bits hay otras motivaciones para la implementación del convertidor como un circuito completamente diferencial:

- Menor sensibilidad al ruido en la alimentación. Las fluctuaciones de las tensiones de alimentación o de tierra aparecen como señales en modo común y se rechazan en el amplificador. El ruido en la alimentación es particularmente problemático si en el mismo circuito integrado hay otros bloques digitales. Por este motivo la gran mayoría de los bloques analógicos en los circuitos mixtos son completamente diferenciales.

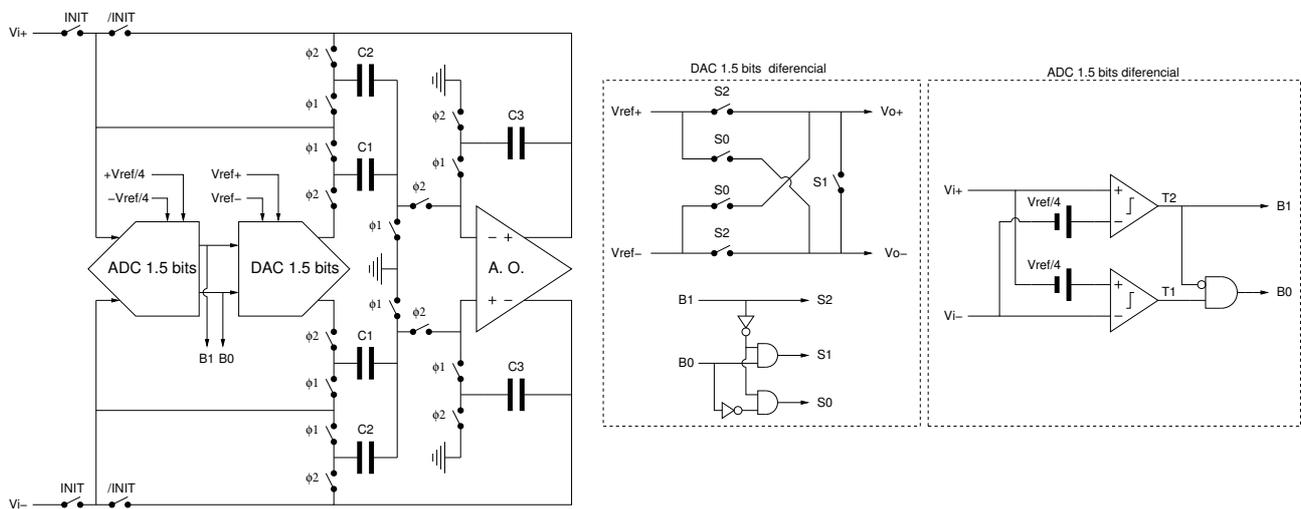


Figura 11: Esquema del convertidor de 1.5 bits completamente diferencial. Detalle del DAC diferencial. Detalle del ADC Flash diferencial.

- Mayor rango dinámico. La amplitud de las señales puede llegar a ser el doble que en un circuito de tipo “single-ended”.
- Menor ruido. Al tener dos ramas la potencia del ruido diferencial es el doble, pero la amplitud de la señal también es el doble, de modo que su potencia se multiplica por 4. Así pues, la relación señal ruido, respecto de la de un circuito equivalente de tipo single-ended, mejora unos 3 dB.

Por supuesto, la estructura completamente diferencial también tiene sus inconvenientes (que se suelen asumir):

- Mayor área ocupada. Casi el doble que un circuito single-ended.
- Mayor consumo de potencia.
- Estructuras de circuito más complejas. En particular, los amplificadores operacionales de tipo completamente diferencial tienen problemas para mantener estable la tensión de modo común en la salida y suelen necesitar de realimentación para fijar dicha tensión. También se complican los circuitos con comparadores: como ahora las señales son diferenciales no quedan entradas para las tensiones de referencia.

En la figura 11 se muestra el esquemático del convertidor de 1.5 bits en su versión completamente diferencial. También se muestra la forma de implementar el DAC mediante simples interruptores que pueden conectar las tensiones de referencia a la salida bien directamente o cruzadas (signo negativo), o cómo para generar una salida nula se cortocircuitan los terminales de salida. El ADC Flash de 1.5 bits se va a implementar mediante dos comparadores y los correspondientes desplazadores de tensión. La implementación de dichos desplazadores de tensión puede llevarse a cabo de muy distintas formas: resistencias y fuentes de corriente, circuitos de condensadores conmutados, tensiones de offset intencionadas en los comparadores...

2.6. Parámetros de los bloques funcionales.

En nuestro diseño vamos a suponer una frecuencia de reloj máxima de 1 MHz, con lo que la duración de una fase del reloj, $T/2$, es de aproximadamente 500 ns. Los condensadores serán de 0.4 pF. La tecnología CMOS empleada es de 0.35 μm , con una tensión de alimentación de 3.3 V. Si la alimentación la suponemos simétrica los terminales conectados a tierra en el esquema de la figura 11 deberán estar a una tensión $V_{CM} = (V_{DD} + V_{SS})/2$, que será 1.65 V para $V_{DD} = 3,3$ V y $V_{SS} = 0$ V. En esta tecnología los transistores de canal N tienen un valor de $K_P = 170\mu\text{A}/\text{V}^2$ y una tensión umbral de 0,6V, mientras que los de canal P tienen $K_P = 60\mu\text{A}/\text{V}^2$ y una tensión umbral de $-0,7\text{V}$. La tensión de referencia será de $\pm 2\text{V}$. Con estos condicionantes vamos a intentar obtener las especificaciones de los distintos bloques funcionales del convertidor.

Interruptores.

Los interruptores serán simples transistores de canal N o puertas de transmisión CMOS (un transistor de canal N en paralelo con otro de canal P). Los transistores sencillos se utilizarán donde la tensión de uno de los terminales del interruptor sea fija, lo que ocurre en los 8 interruptores que hay alrededor de las entradas del operacional. En los interruptores que van a los condensadores usaremos puertas de transmisión para garantizar la conducción para cualquier voltaje en el condensador. Los interruptores van a presentar una resistencia r_{ON} en su estado de conducción y esto va a afectar a la dinámica de la carga de los condensadores.

Cuando un condensador se carga a través de una resistencia su voltaje sigue una ley exponencial:

$$v(t) = V_{\infty} + (V_0 - V_{\infty}) \exp\left(\frac{-t}{r_{ON}C}\right) \quad (2)$$

donde V_0 y V_{∞} representan los voltajes inicial y final del condensador. Para que el condensador se cargue por completo habría que esperar un tiempo infinito, pero en la práctica podremos considerar que el condensador está completamente cargado si el error es inferior al voltaje de 1 LSB ($V_{ref}/4096$). En el peor caso, cuando $(V_0 - V_{\infty}) = V_{ref}$, tenemos:

$$\frac{V_{ref}}{4096} = V_{ref} \exp\left(\frac{-T/2}{r_{ON}C}\right)$$

Despejando obtenemos:

$$r_{ON} = \frac{T/2}{C \ln(4096)} = 150 \text{ K}\Omega$$

Tenemos por lo tanto un límite superior para la resistencia de conducción de los interruptores. Este valor es fácil de conseguir incluso con transistores de dimensiones mínimas. Sin embargo, aún podemos tener otro efecto que limite más severamente la resistencia de los interruptores: Cuando se muestrea la señal de la entrada (no el residuo) esta señal puede variar. La variación de voltaje da lugar a una corriente a través de los condensadores y esta corriente a su vez provoca una caída de tensión en los interruptores. El peor caso lo tendremos cuando la entrada sea una senoide de amplitud V_{ref} y su frecuencia sea la de Nyquist: $f_{Nyq} = (1\text{MHz}/11)/2 = 45 \text{ kHz}$. En estas condiciones la corriente de pico en el interruptor es: $I = V_{ref}C\omega_{Nyq}$. La caída de tensión en el interruptor no tendría gran importancia de no ser porque la resistencia del interruptor es muy poco lineal y dará lugar a distorsión. Si suponemos que dicha resistencia tiene una variación, $\Delta R/R$, del 50 % en todo el rango de voltajes. La distorsión será:

$$\frac{\Delta V}{V_{ref}} = \omega_{Nyq}CR \frac{\Delta R}{R}$$

De modo que si queremos mantener la distorsión por debajo de 1 LSB la resistencia del interruptor no debería superar los 4300Ω . Como vemos, este segundo condicionante es mucho más estricto que el anterior. Además hemos de tener en cuenta que algunos interruptores quedan conectados en serie y algunos otros llevan las corrientes de condensadores conectados en paralelo, de modo que habrá que escalar los valores de r_{ON} correspondientes.

Amplificador operacional

El amplificador operacional es seguramente el bloque más crítico del convertidor. Algunas de sus especificaciones ya se han obtenido a partir de las simulaciones, como por ejemplo la ganancia en DC (>10000). Otros parámetros fundamentales se pueden obtener del análisis de la dinámica de la señal de salida, V_{res} . En la figura 12 se muestra el cambio del voltaje de salida, que tiene lugar en la fase ϕ_2 . Tras el cambio de la señal de reloj el operacional entra en un régimen no lineal caracterizado por la limitación del slew-rate. Si destinamos la mitad del tiempo disponible para esta fase del cambio obtenemos un valor para el slew-rate máximo del operacional de: $SR = \frac{V_{ref}}{T/4} = 8 \text{ V}/\mu\text{s}$. Por otra parte, si suponemos que el operacional no tiene en su respuesta en frecuencia más polos que el dominante, durante la fase de settling el voltaje sigue una curva exponencial del tipo $v(t) = V_0 \exp(-BW \cdot t)$, donde BW es el ancho de banda del amplificador realimentado. Si hacemos que el voltaje final sea $V_0/4096$ obtenemos un valor para el ancho de banda de 5.3 MHz. Como además la ganancia del amplificador realimentado es 2, el producto ganancia por ancho de banda, GBW , del amplificador operacional habrá de ser de 10.6 MHz.

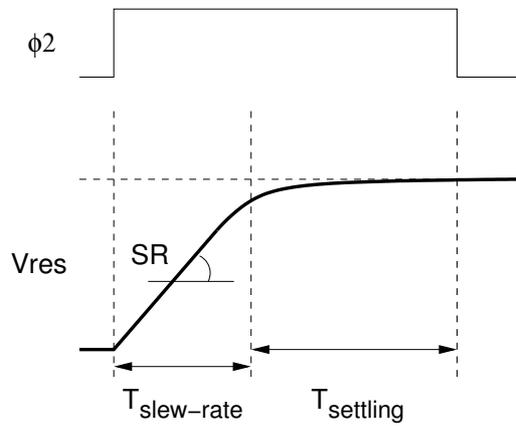


Figura 12: Cronograma de la salida del amplificador operacional en la que se distinguen los tiempos destinados al cambio con slew-rate limitado, $T_{slew-rate}$, y a la estabilización, $T_{settling}$.

El rango de entrada en modo común del amplificador operacional debe estar centrado en $V_{DD}/2$, y debería ser un rango de voltajes amplio para no restringir demasiado el valor del modo común de la entrada del convertidor. En la salida se deberán tener más de 2.5 Voltios de rango, centrados también en $V_{DD}/2$. El amplificador deberá incluir un circuito de control del modo común en la salida que fije dicha tensión alrededor de $V_{DD}/2$.

La capacidad de carga del operacional será como máximo $C_L = C_1 + C_2 + C_3 = 1,2 pF$. Por último, la densidad de ruido equivalente en la entrada no debería ser mucho mayor de $10 nV/\sqrt{Hz}$.

Comparadores del ADC Flash

Los comparadores del ADC Flash de 1.5 bits deben dar un valor correcto al comienzo de la fase ϕ_2 . Una implementación típica es la basada en un latch que precarga las capacidades parásitas de sus nodos durante la fase de tracking (ϕ_1) y regenera rápidamente durante la fase ϕ_2 para convertir la diferencia de tensión inicial en un voltaje tan grande como la alimentación. Estos comparadores no deben presentar histéresis, por lo que al final de la fase ϕ_1 la tensión de los nodos ya debe haberse estabilizado hasta una tensión residual inferior a 1 LSB. La regeneración es un proceso muy rápido gracias al pequeño valor de las capacidades involucradas. Típicamente la constante de tiempo es inferior a 1 ns, de modo que la regeneración se puede considerar casi instantánea a la vista de los tiempos disponibles (500 ns).

Un problema adicional es la generación de los desplazamientos de tensión que se necesitan en las entradas (figura 11, derecha). Estas tensiones deben ser constantes y dependientes de la tensión de referencia.

La salida del ADC Flash está estable durante casi toda la fase ϕ_2 que es precisamente cuando se necesita en el convertidor. Sin embargo, sería conveniente que los datos de salida del convertidor se mantuviesen estables durante todo el ciclo del reloj. Esto se puede conseguir añadiendo sendos latches a las salidas T1 y T2 del ADC Flash para mantener el último dato durante la fase ϕ_1 .

2.7. Bloques auxiliares

Generación de las fases del reloj

En el circuito del convertidor necesitamos una señal de reloj con dos fases no solapadas, ϕ_1 y ϕ_2 . El circuito de la figura 13 nos permite obtener dichas fases y también sus complementos. El tiempo que están inactivas simultáneamente ϕ_1 y ϕ_2 depende de los retardos de los inversores lentos del biestable. Estos inversores se construyen con transistores con un cociente W/L pequeño para aumentar su retardo de propagación. Un margen de tiempo de unos 5 ns entre las fases es más que suficiente para garantizar que todos los interruptores pasan a corte antes de que otros entren en conducción.

Circuitos de polarización

Lo habitual en los circuitos analógicos integrados es hacer todas las corrientes proporcionales a una o dos corrientes de referencia (una entrante y otra saliente). Si estas corrientes se generan en el chip deberán ser poco dependientes de la tensión de alimentación, de la temperatura y de las variaciones de las características de los dispositivos. En prototipos no

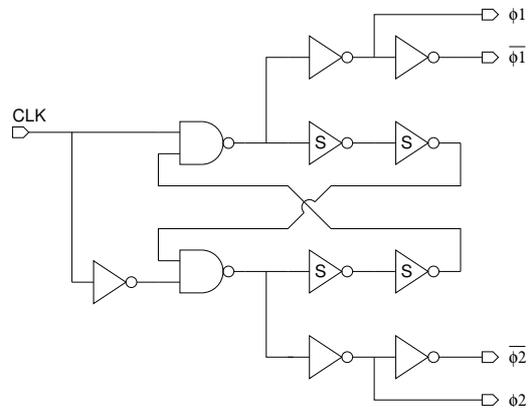


Figura 13: Generación de las dos fases del reloj. Los inversores marcados con “S” tienen como única función introducir un retardo apreciable.

es inusual dejar dichas referencias accesibles desde el exterior del chip para permitir un ajuste fino del comportamiento del circuito. Los voltajes de referencia del convertidor se conectarán desde el exterior, al igual que la tensión del modo común, V_{CM} . Opcionalmente se podría generar un voltaje de referencia en el chip a partir de un circuit de tipo “Band-Gap” aunque su valor no será tan preciso como el de una tensión de referencia externa.