ENTRENADOR DE COMUNICACIONES DIGITALES

MANUAL DE TEORÍA

EC-796

PROMAX

INDICE

.../...

.../...

ENTRENADOR DE COMUNICACIONES

EC-796

MANUAL DE TEORÍA

NECESIDAD DE LAS MODULACIONES

La necesidad de modular una señal aparece cuando pretendemos transmitir una señal en banda base a través de un canal con una respuesta pasobanda, tenemos que compartir varias señales en un mismo canal, queremos llevarla a una banda frecuencial más limpia de ruidos o interferencias o, simplemente, queremos aumentar su frecuencia para hacer más efectiva la radiación de las antenas.

Un ejemplo claro de canal en el que es necesario modular para la transmisión es la antena. La longitud necesaria de una antena está relacionada con la longitud de onda a transmitir. Por tanto, para radiar señales en banda base, debido a las bajas frecuencias asociadas, serían necesarias antenas de longitudes enormes. Modulando trasladamos la señal a una frecuencia que facilita y mejora el rendimiento de la antena.

Una de las formas de compartir un mismo canal entre diferentes señales es la multiplexación en frecuencia. Mediante esta técnica cada información es modulada a una frecuencia diferente, de forma que pueden ser transmitidas por el mismo medio sin interferir las unas sobre las otras.

1 COMUNICACIONES DIGITALES

1.1 Introducción

Las señales digitales no son de naturaleza continua, sino que representan la información mediante una sucesión de impulsos discretos de voltaje o corriente. Tanto los voltajes como las corrientes discretas varían a saltos, es decir que dentro de un margen de amplitudes no son posibles todos los valores, sino un número limitado de ellos. Por tanto, el paso de unos valores a otros se hacen mediante saltos (de voltaje o de corriente). En cambio, las señales analógicas pueden tener cualquier valor de entre los posibles en un margen de funcionamiento, y el paso de un valor a otro se puede efectuar sin transiciones abruptas, de un modo continuo.

Las señales (voltajes o corrientes) digitales más habituales son las binarias, es decir señales a los que se les permiten dos únicos valores, que se denominan "1" y "0" (o "marca" y "espacio" en contexto telegráfico y de modems). Los ejemplos de dispositivos que trabajan con dos estados son múltiples: una lámpara que ilumina o se encuentra apagada, un timbre que suena o se halla en silencio, un interruptor que abre o cierra un circuito, etc.

La ventaja de la utilización de técnicas digitales, en lugar de analógicas, deriva del empleo de sólo dos niveles. La circuitería digital, a base de circuitos integrados, trabaja mediante la conmutación de transistores entre el estado de saturación y el de bloqueo, no siendo preciso generar o detectar valores exactos de voltaje o corriente en puntos particulares de un equipo o sistema. Por esta causa, producir circuitería digital en forma masiva es más sencillo y económico. Además, por lo general los circuitos digitales son más fiables que los analógicos, ya que es más difícil que se produzcan fallos debidos a las variaciones de las prestaciones por causa de cambios en los valores de los componentes, desajustes, etc.

En un sistema digital los efectos del ruido y de las interferencias quedan muy reducidos, ya que los impulsos digitales pueden regenerarse hasta el punto de hacer muy difícil la existencia de errores. Esto no es tan fácil en un sistema analógico, donde el efecto de señales indeseables supone la degradación permanente de la señal. Además, en sistemas digitales se pueden intercalar en el tiempo muestras de diferentes locutores, de forma que se puedan transmitir por un mismo canal diferentes mensajes si el receptor, sincronizado con el emisor, es capaz de ir "tomando" y "ordenando" las muestras que deben dirigirse hacia cada receptor (sistemas de modulación por impulsos codificados -MIC- en telefonía).

Sin embargo, hasta hace poco la aplicación de técnicas digitales en sistemas de comunicación estaba más bien limitada. Ello ha sido debido, en parte, a que la transmisión de señales digitales exige el uso de equipos con una ancho de banda muy grande.

2 MUESTREO, CUANTIFICACIÓN Y CODIFICACIÓN

La mayor parte de la información que se debe transmitir es de naturaleza analógica, como es el caso de las señales de audio y de vídeo, o el de señales captadas por diferentes sensores en procesos industriales (temperatura, presión, etc.). Por tanto, es necesario convertir estas señales a un formato digital para su transmisión, y luego en el receptor deberá ser posible convertir la señal digital recibida en analógica.

2.1 Muestreo

2.1.1 Introducción

Los procesos de muestreo y la posterior reconstrucción de señales analógicas son capitales en los sistemas de comunicaciones digitales, y la calidad del sistema global vendrá muy condicionada por el diseño de las etapas interficie entre los elementos digitales las entradas y salidas analógicas.

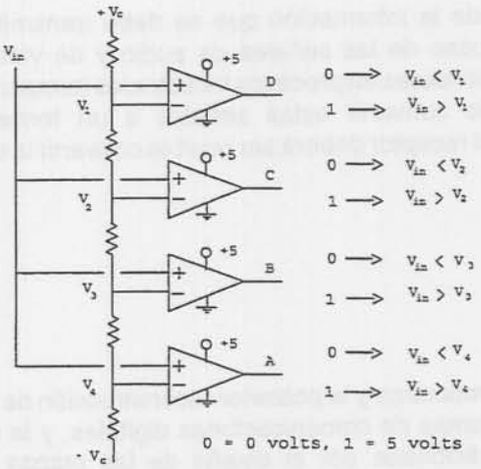
Asimismo, se estudiará también el proceso de cuantificación de señales, inevitable al trabajar con elementos de aritmética finita (y, por tanto, incapaces de trabajar con valores continuos en amplitud, como los conversores A/D y D/A), y se evaluarán los errores y los ruidos que este proceso conlleva.

Antes de entrar en los aspectos más formales del análisis, se hace una introducción a la tecnología que soporta las funciones de muestro y cuantificación, de forma que el estudiante pueda ir relacionado los aspectos circuitales con los más teóricas. Los profesionales que deban diseñar sistemas de muestreo y de reconstrucción (módulos de entradas y salidas analógicas) deben tener una cierta formación interdisciplinaria, conjugando conocimientos de programación, de funciones electrónicas y de procesado digital de señales. En el Apéndice A, el lector interesado podrá encontrar complementos sobre los principales aspectos tecnológicos a considerar a la hora de seleccionar conversores A/D y D/A.

2.1.2 Introducción a los conversores A/D

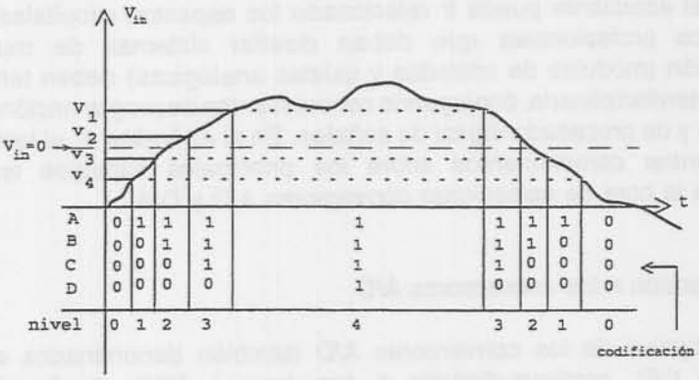
El objetivo de los conversores A/D (también denominados en ocasiones conversores C/D, continuo-discreto o conversores ADC, de "analog to digital converters") es convertir muestras de la señal analógica presente a su entrada en códigos digitales inteligibles por los restantes elementos de la cadena digital.

Hay muchos tipos de conversores A/D, que se diferencian por la velocidad de conversión, la inmunidad al ruido o el precio. El objetivo del presente apartado es el de introducir una primera visión tecnológica. Para lograr este objetivo hemos escogido el conversor A/D paralelo (tipo "flash"), basado en una batería de amplificadores operacionales que trabajan como comparadores, y que se caracteriza por ser rápido de funcionamiento, relativamente costoso y muy sensible a tolerancias en sus componentes (es fácil localizar conversores que puedan adquirir señales analógicas de frecuencias superiores a los 10 MHz, habiendo también conversores en el mercado de 50 a 100 MHz. Su esquema de funcionamiento es el de la siguiente figura (si bien, por facilidad de representación, se ha indicado un conversor de 4 niveles, los conversores habituales son de más bits, siendo los de 8, 12, y 14 bits los más extendidos). Como es fácil verificar en la figura, a medida que el valor de la tensión de entrada V_{in} va superando los niveles fijos de referencia V_1, V_2, V_3 y V_4, las salidas D, C, B y A, respectivamente, van cambiando de nivel.



Conversor paralelo elemental.

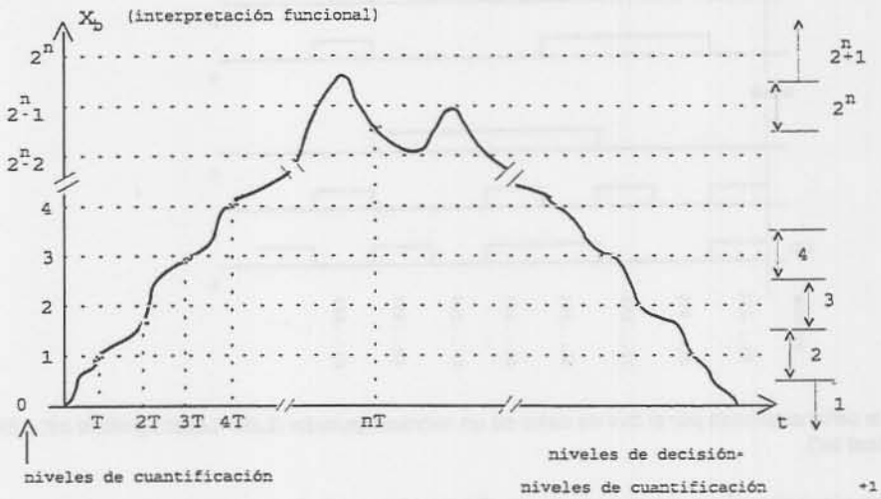
En la siguiente figura se ilustran los valores que van adquiriendo las salidas A,B,C y D para una determinada evolución de la tensión de entrada V_{in}.



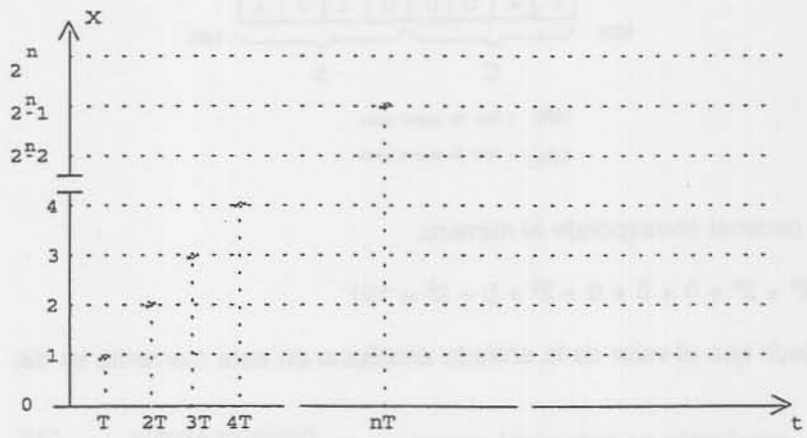
Codificación. Los niveles de tensión v_1,v_2,v_3 y v_4 son los de la figura anterior.

Los sistemas digitales (por ejemplo los microprocesadores) suelen leer los datos en código hexadecimal, por lo que, a continuación de los comparadores hay un circuito codificador que proporciona un código fácil de leer. Las dos funciones de conversión A/D y de codificación se efectúan en el mismo circuito integrado.

Como con n bits pueden cuantificarse 2^n niveles, la señal x_b de la figura puede interpretarse como un conjunto de muestras cuantificadas en 2^n niveles (si n = 8 bits, hay 256 niveles cuánticos).

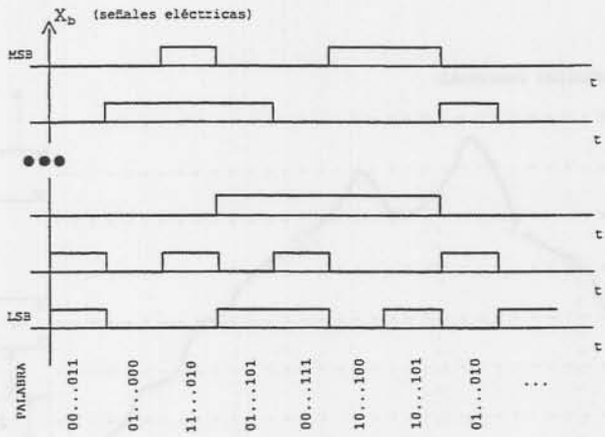


Señal muestreada, con indicación de los niveles de cuantificación.



Cuantificación de la señal muestreada de la figura anterior.

Los niveles funcionales de la figura representan el valor matemático de la salida del conversor A/D. Pero son niveles funcionales, no eléctricos. No los veríamos así en un osciloscopio. Ello es debido a que en el circuito integrado del conversor hay, además, un codificador que proporciona directamente unos códigos digitales (tensiones) cuyo contenido (palabra digital) es la descripción digital de la amplitud de las muestras de la señal analógica. Eléctricamente, el conversor es un dispositivo que a su salida ya entrega valores codificados (palabras digitales) para que sean interpretables directamente.



Lectura de la señal codificada por el bus de datos de un microcomputador (LSB: 'Least signifiant bit', MSB: 'Most signifiant bit').

Por ejemplo, si en un conversor de 8 bits (256 niveles), cuya entrada V_{in} puede variar de 0 a 10 volts, se ha leído la palabra C5h (h: en hexadecimal),

que, en decimal corresponde al número:

$$2^7 + 2^6 + 0 + 0 + 0 + 2^2 + 0 + 2^0 = 197$$

quiere decir que el valor de la entrada analógica en este momento es de:

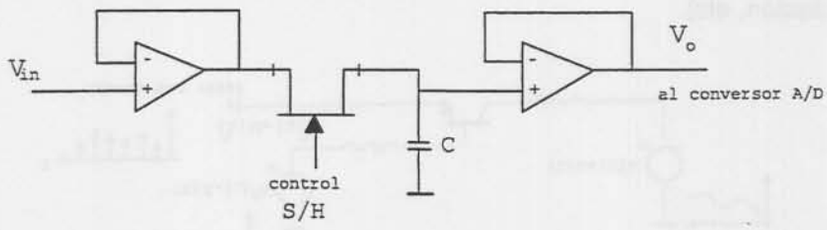
$$\text{resolución de cada nivel cuantico} = \frac{\text{fondo de escala}}{\text{numero total de niveles}} = \frac{10V}{256}$$

$$= 39\text{mV}$$

39 mV . 197 = 7.695 volts en la entrada analógica.

Hay otros tipos de conversores que no son tan rápidos como los de tipo "flash", con lo que puede aparecer un problema adicional si la señal analógica varia rápidamente en relación al tiempo de conversión. Este problema consiste en la indeterminación del valor muestreado si la conversión A/D se inicia cuando la señal de entrada tiene un valor V_1 y se termina cuando la entrada ha evolucionado hasta un nuevo valor V_2, diferente de V_1 en, al menos, un nivel de cuantificación del conversor A/D. En este caso el valor de la muestra queda indeterminado (no ha sido un muestreo instantáneo).

La solución a este problema pasa por mantener el valor de la entrada V_{in} constante durante todo el tiempo en que se efectúa la conversión A/D. Esta operación la efectúan módulos llamados de muestreo y mantenimiento (S/H, "Sample and Hold"), basados en un interruptor (MOS) que controla la carga de un condensador, proporcional al valor de V_{in}, y separadores de impedancias. Su esquema, simplificado, es el de la figura:



Esquema básico de un módulo de muestreo y mantenimiento.

Durante el muestreo ('sample') se cierra el interruptor MOS y se carga el condensador C, que mantiene su carga durante el tiempo de mantenimiento (hold), durante el cual se efectúa la conversión A/D.

Además del módulo S/H y del propio conversor A/D, en la cadena de adquisición de muestras puede haber otros elementos (multiplexor analógico, PGA -amplificador de ganancia programable-, lógica digital para el secuenciamiento de las órdenes entre los subsistemas o estabilizadores de la tensión de referencia en los conversores A/D). Además, también se encuentran unos filtros en las entradas analógicas (filtros "antialiasing") cuya finalidad se verá más adelante.

2.1.3 Conversores D/A

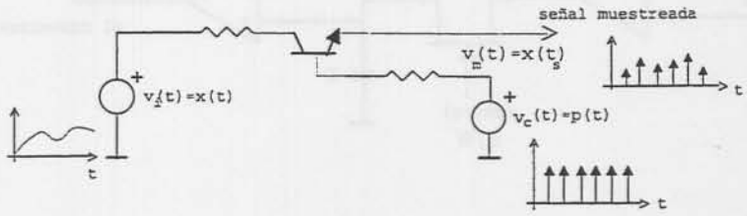
En apartados posteriores trataremos a los conversores D/A como bloques que permitirán reconstruir la señal analógica a partir de muestras codificadas digitalmente. Los principales tipos de conversores D/A se basan en una red de resistencias cuya conexión y desconexión regula la ganancia de un amplificador operacional. Las conexiones de las resistencias se efectúan mediante interruptores MOS.

Los interruptores son controlados por la palabra digital correspondiente al código de la muestra que queremos extraer de forma analógica. Una tensión de referencia, que debe ser muy estable, se verá amplificada a la salida por un valor dependiente del resultado de la agrupación en paralelo de las resistencias que hayan quedado conectadas a la entrada del amplificador operacional. Pueden conseguirse tiempos de conversión inferiores a los 100 ns. (Véase Apéndice A).

2.1.4 Muestreo de señales analógicas

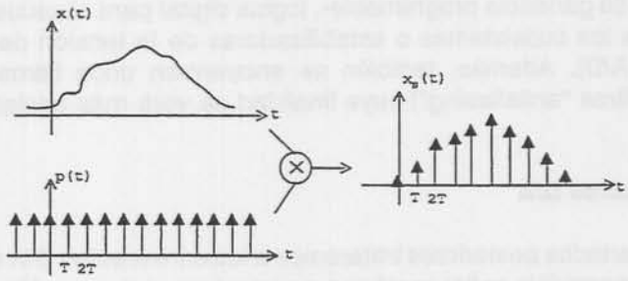
El muestreo de señales analógicas es una operación básica en la cadena de procesado digital de señales, independiente del tipo de manipulación posterior que queramos efectuar con las muestras adquiridas. Por ello nos centraremos en el estudio del muestreo de una señal, y en el de su reconstrucción, suponiendo (por simplicidad) que entre el bloque de adquisición (A/D) y el de extracción (D/A) no se efectúa ninguna función.

El muestreo ideal es aquel en que las muestras se adquieren en tiempo cero (la función muestreadora es un tren de deltas de Dirac, también denominado "función peine" en lenguaje de argot), y, si pudiéramos generar físicamente este tren de deltas, p(t), su esquema sería el de la siguiente figura. El transistor BJT sólo indica la necesidad de un interruptor que vaya dejando pasar las muestras a la salida, y también podría optarse por un FET, MOS, relé REED, o cualquier otro dispositivo que actuara como conmutador (no todos ellos serían igualmente válidos, en función de sus no idealidades: resistencia en conducción y en aislamiento, transitorios de conmutación, etc).



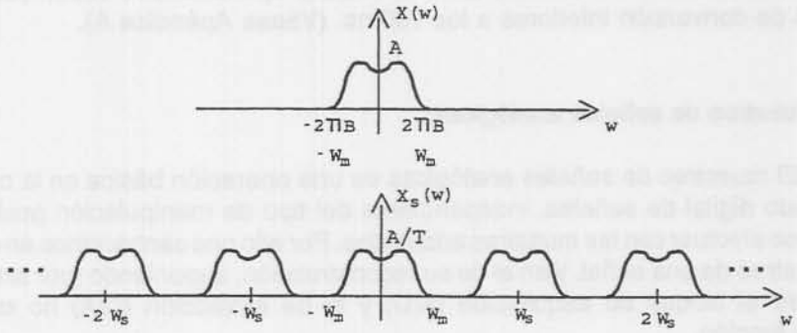
Muestreador ideal. La señal p(t) es un tren de deltas de Dirac.

Para obtener matemáticamente la señal muestreada de x(t), bastará con multiplicarla por un tren de deltas, separadas un periodo de tiempo T, que será el periodo de muestreo (y su inversa, la frecuencia de muestreo).



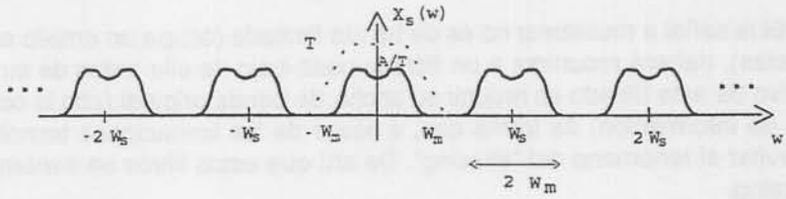
Muestreo ideal de una señal analógica.

El espectro (comportamiento frecuencial) de la señal muestreada ($X_s(w)$, $w=2\pi f$) consiste en la repetición del espectro de la señal original (X(w)), en las frecuencias que son múltiplos enteros de la frecuencia de muestreo (ver la siguiente figura). A estos espectros que se van repitiendo en frecuencias múltiplos se les denomina "alias" del espectro de la señal original.



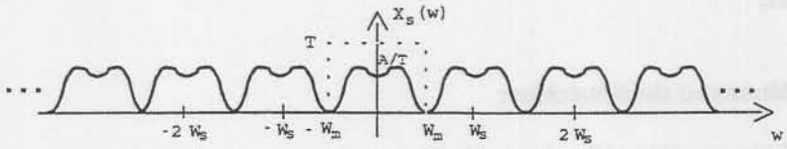
Espectro de la señal muestreada $X_s(w)$.

Del espectro anterior[1] se puede ver que es suficiente un filtro paso bajo para recuperar la señal original.



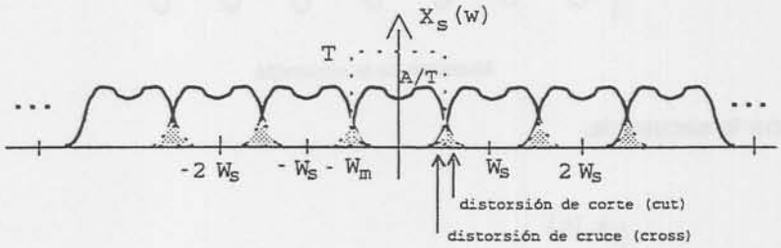
Recuperación de X(w) por filtrado paso bajo de $X_s(w)$.

Cuanto menor sea la frecuencia de muestreo más juntos se encontrarán los espectros y mayor pendiente (idealidad) deberá tener el filtro para poder discriminarlos. El caso límite será para aquella frecuencia para la cual los espectros se tocan, pero sin llegar a superponerse:



Filtrado ideal para la recuperación de una señal muestreada al límite de la condición de Nyquist.

Para valores de frecuencia de muestreo menores que la anterior, se produce el solapamiento ("aliasing") de los espectros, lo que producirá una distorsión cuando se quiera recuperar la señal:



Solapamiento de espectros: distorsiones de cruce y de corte.

Por lo tanto, para que no se produzca "aliasing" se debe cumplir la condición de Nyquist: la frecuencia de muestreo debe de ser mayor o igual que dos veces la mayor frecuencia (w_m o f_{max}) del espectro de la señal a muestrear.

$$f_s \geq 2\ f_{max} = f_N$$

(f_N : frecuencia de Nyquist)

[1] NOTA: En estas figura se ha usado un tipo de representación del espectro que incorpora frecuencias negativas: de esta forma queda más evidente que los "alias" centrados a las frecuencias w_s, 2 w_s, ... , son una réplica del espectro en banda base X(w). No le dé más importancia a las frecuencias negativas: simplemente son una forma matemática, a veces conveniente, para describir espectros. En las prácticas de laboratorio no se usarán conceptos de frecuencias negativas.

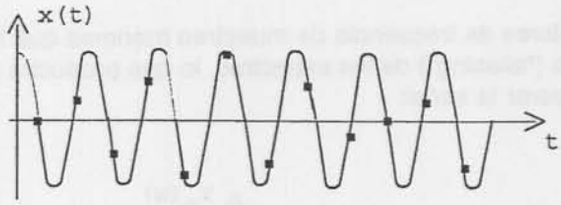
Es importante notar que un muestreo a la frecuencia de Nyquist conlleva el uso de filtros ideales (no realizables de forma convencional) para poder recuperar la señal original. Por ello, un criterio práctico de muestreo es hacerlo a frecuencias superiores a la de Nyquist.

Si la señal a muestrear no es de banda limitada (ocupa un amplio espectro de frecuencias), deberá recurrirse a un filtrado paso-bajo de ella antes de su muestreo. El objetivo de este filtrado es reducir su ancho de banda original (con la consiguiente pérdida de información) de forma que, a pesar de las limitaciones tecnológicas, se pueda evitar el fenómeno del "aliasing". De ahí que estos filtros se denominen **filtros anti-aliasing.**

Paradójicamente, es preferible la pérdida de información que pueden producir los filtros antialiasing que permitir que se produzca el solapamiento. Así, por ejemplo, si se desea muestrear una señal cuyo ancho de banda llega hasta los 10 kHz, pero la máxima frecuencia de muestreo permisible es de 18 kHz, la banda de frecuencias superior a los 8 kHz ya estaría solapada por el primer alias, con lo que sólo sería útil la información comprendida entre 0 y 8 kHz. Puede comprobarse que, con un filtro antialiasing que corte la señal a 9 kHz, podrían recuperarse (con filtros ideales) hasta los 9 kHz.

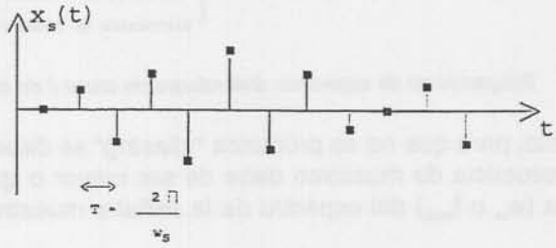
Muestreo de sinusoides:

Si la senoide $x(t) = A\cos(2\pi f_0 t)$ se muestrea a una frecuencia $w_s > 2w_0$



Muestreo de la sinusoide.

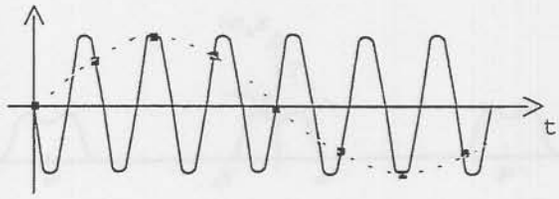
se obtiene la secuencia:



Señal muestreada.

que, según el teorema de Nyquist, será reconstruible por filtrado paso-bajo.

Si, por el contrario muestreamos a una frecuencia $w_s < 2\,w_0$, la secuencia de las muestras reproduce una senoide de menor frecuencia.



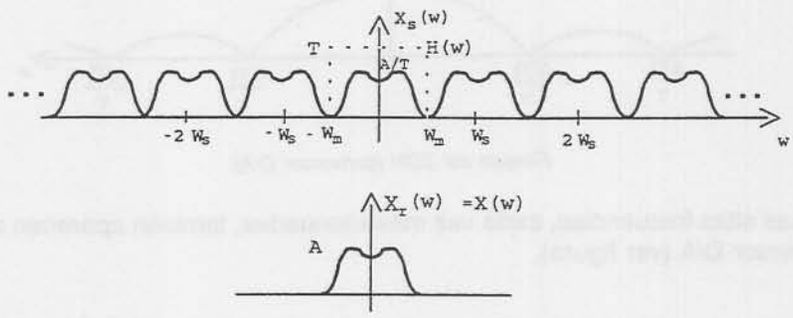
Señal muestreada sin cumplir la condición de Nyquist.

Efectos similares se producen en situaciones cotidianas debidas a un muestreo incorrecto. Tal es el caso de algunos muestreos de imágenes, como las ruedas de los carros en las películas, que debido a la baja velocidad de captación de los fotogramas respecto a la velocidad de giro de sus radios, aparentan rodar a velocidades incorrectas.

2.1.5 Reconstrucción de la señal muestreada

2.1.5.1 Filtrado ideal

Como ya se ha visto en el apartado 2.1.4, si no hay aliasing, la recuperación de la señal se podría hacer mediante un filtro paso-bajo ideal:

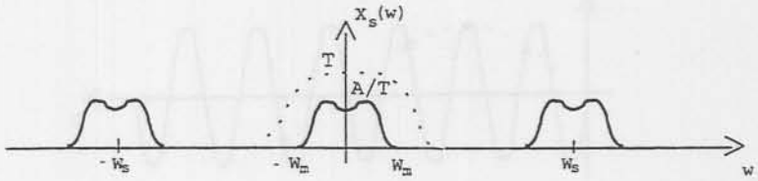


Reconstrucción de la señal por filtrado paso-bajo ideal.

2.1.5.2 Filtrado real. ($w_s > 2w_m$)

Los filtros ideales presentan una amplificación constante en la banda de paso y una pendiente infinita entre la banda de paso y la banda atenuada. Por ello no podremos realizarlos en la práctica.

Los filtros analógicos realizables presentarán siempre una pendiente finita y una amplificación no constante dentro de la banda de paso. Para recuperar la señal muestreada, utilizaremos un filtro paso bajo cuya pendiente se elegirá en función de w_s (frecuencia de muestreo).



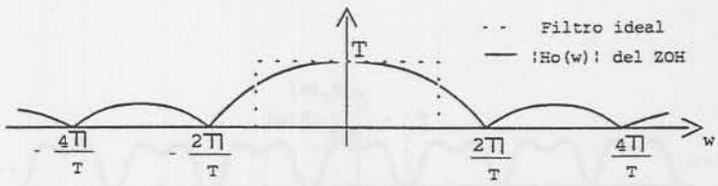
Filtrado no ideal.

La condición indispensable para poder aplicar filtros reales es que $w_s > 2\ w_m$. Así cuanto mayor sea w_s con respecto a w_m, mayor será la banda de guarda (separación entre espectros), y por tanto menor podrá ser la pendiente del filtro.

2.1.5.3 Aprovechando el ZOH de salida (conversor D/A)

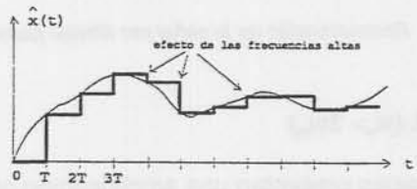
Cualquier sistema digital con un conversor D/A de los más habituales actúa efectuando una operación llamada de retención de orden cero ("zero order hold" en inglés, ZOH). La retención de orden cero consiste en mantener constante el valor de la salida hasta que hay un nuevo cambio en el conversor D/A.

En la siguiente figura en que se representa el comportamiento frecuencial del ZOH, puede comprobarse que el ZOH produce un efecto de filtrado paso-bajo.



Filtrado del ZOH (conversor D/A).

Las altas frecuencias, cada vez más atenuadas, también aparecen a la salida del conversor D/A (ver figura).



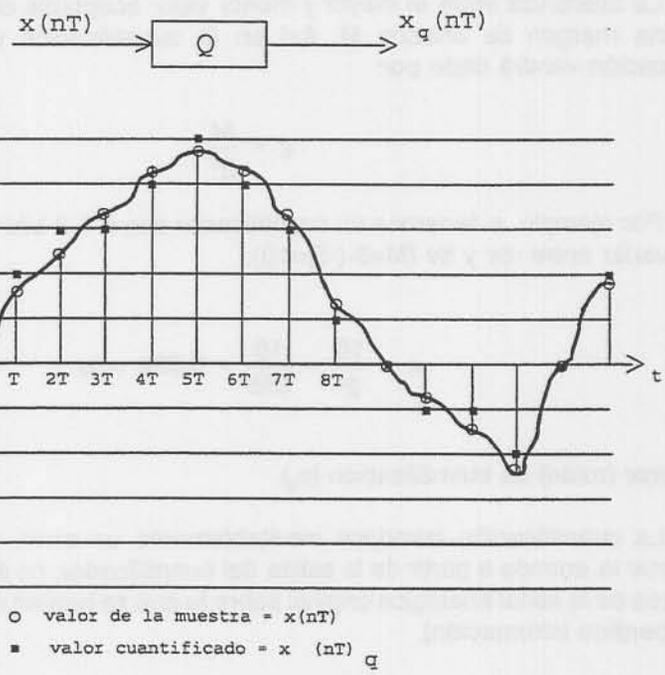
Forma temporal de la salida del conversor D/A.

Si bien el ZOH es un reconstructor peor que un filtro paso-bajo diseñado para reconstruir la señal, su calidad es válida en muchas aplicaciones. Si no fuera así, siempre puede añadirse un filtro paso-bajo a la salida del ZOH (conversor D/A) para mejorar la forma de la señal reconstruida.

2.2 Cuantificación

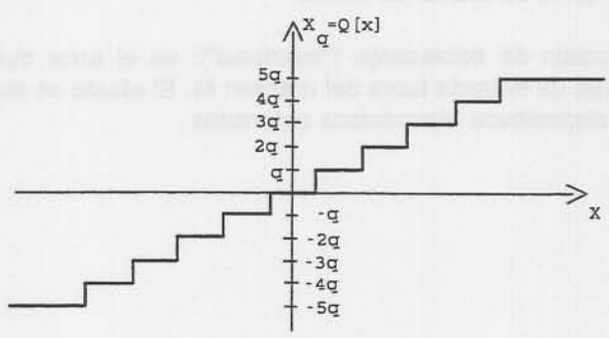
2.2.1 Aspectos elementales

La cuantificación de una señal muestreada x(nT) - en lo sucesivo x(nT) representará la señal x(t) muestreada a intervalos de T segundos - es un fenómeno derivado de la conversión A/D. Consiste en representar la señal muestreada x(nT) mediante una serie finita de niveles de amplitud, asignándose a cada muestra el valor más próximo a ella, dentro de una escala de valores fijos y conocidos. Denominando x(nT) al valor de una muestra, y a x_q(nT) al valor cuantificado de ésta, el resultado de la cuantificación de una señal sería el mostrado en la figura:



Cuantificación de una señal (q = nivel cuántico).

La característica entrada-salida del cuantificador Q de la figura anterior, donde se ha supuesto uniforme la distribución de los niveles cuánticos, es la de la siguiente figura:



Característica entrada-salida de un cuantificador.

Conviene evitar confusiones: no es que físicamente se implemente un bloque Q en serie con el muestreador para poder cuantificar, lo que indica el bloque es el efecto inevitable de los elementos de aritmética finita presentes en la cadena de procesado digital.

El valor de q se denomina intervalo de cuantificación, y coincide con la diferencia entre el mayor y menor valor de la entrada a los que se les asigna el mismo valor de salida. El caso anterior corresponde a la característica de un cuantificador uniforme, ya que los niveles q aparecen equiespaciados.

El número de estados de salida expresados en número de bits (n), determina la resolución del cuantificador. Por tecnología (circuitos lógicos, dos niveles) el número de niveles cuánticos es un número par, dado por 2^n.

La diferencia entre el mayor y menor valor aceptable de la entrada x(nT) se denomina margen de entrada M. Así en la cuantificación uniforme el paso de cuantificación vendrá dado por:

$$q = \frac{M}{2^n}$$

Por ejemplo, si tenemos un cuantificador con n = 8 bits y x es una señal que puede variar entre -5v y 5v (M=5-(-5)=10):

$$q = \frac{10}{2^n} = \frac{10}{256} = 0{,}039 \ volts$$

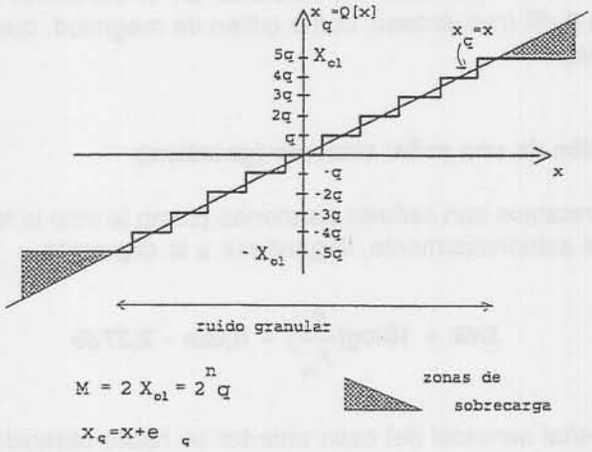
2.2.2 Error (ruido) de cuantificación (e_q)

La cuantificación introduce inevitablemente un error, ya que si se intenta reconstruir la entrada a partir de la salida del cuantificador, no se obtiene el continuo de valores de la señal analógica original sobre la que se habían obtenido las muestras (se ha perdido información).

Por tanto se puede considerar que la salida del cuantificador será igual al valor de la entrada, más un término de error. En el error de cuantificación se pueden diferenciar dos partes (fig.4.53)

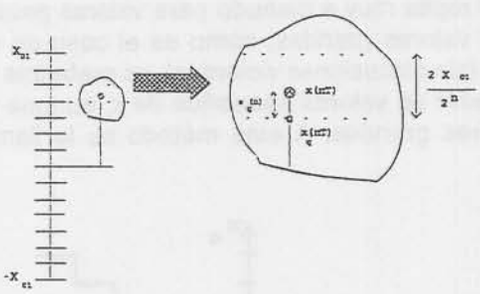
- Ruido de cuantificación (granular): corresponde al error cometido dentro del margen de valores de entrada permitido M. El máximo error que se puede tener será de ±q/2, y su evolución en función del valor de la entrada tiene una forma de diente de sierra.

- Distorsión de sobrecarga ("overload"): es el error que se comete para valores de entrada fuera del margen M. El efecto es similar al que ocurre con dispositivos electrónicos saturados.



Errores de cuantificación (n = número de bits).

Si la cuantificación la efectúa un conversor A/D con un margen de entrada de +V a -V voltios, el valor de M será: $M = 2\,X_{01} = 2^n\,q = 2$ V.



Detalle de la figura anterior. Error de cuantificación e_q.

La acción del cuantificador se puede describir en términos de la relación señal/ruido (SNR, signal-to-noise ratio), que se define como el cociente entre la potencia media de la señal y la del ruido presente.

Relación señal/ruido de cuantificación (SNR):

Para una entrada senoidal cuya amplitud ocupe todo el rango del conversor, viene dada por:

$$SNR = \frac{P_x}{P_{eq}} = \frac{3}{2}2^{2n}$$

donde P_x es la potencia de la señal de entrada y P_{eq} es la potencia del ruido. Si expresamos la relación en dB:

$$SNR = 10\log(\frac{P_x}{P_{eq}}) = 10\log(\frac{3}{2}) + 10\log(2^{2n}) = 20n\log(2) + 1{,}76 = 6.02n + 1{,}76\ dB$$

El término 1,76 dB depende del tipo de señal, mientras que 6,02n dB depende del número de bits. Así por cada bit adicional en el conversor A/D, se mejora la relación en unos 6 dB (recuérdese, como orden de magnitud, que 3 dB equivalen a doblar la potencia).

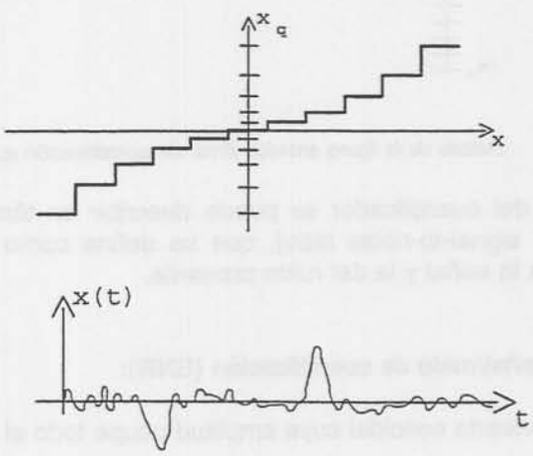
2.2.3 Cuantificación de una señal aleatoria (gausiana)

Cuando tratamos con señales aleatorias (como la voz) la relación señal/ruido (SNR) se obtiene estadísticamente, llegándose a la expresión:

$$SNR = 10\log(\frac{P_x}{P_{eq}}) = 6{,}02n - 2{,}27\,db$$

Para la señal senoidal del caso anterior se había obtenido: SNR = 6,02 n + 1,76 dB, mientras que para una señal aleatoria SNR = 6,02 n - 2,27 dB, lo que representa una relación peor. Esto se debe a que ahora la señal tiene una estadística no uniforme (algunos valores son más frecuentes que otros) y estamos utilizando un cuantificador uniforme (que presta igual "atención" a todos los valores). De todas formas, se mantiene la relación de 6,02 dB por cada bit adicional del conversor.

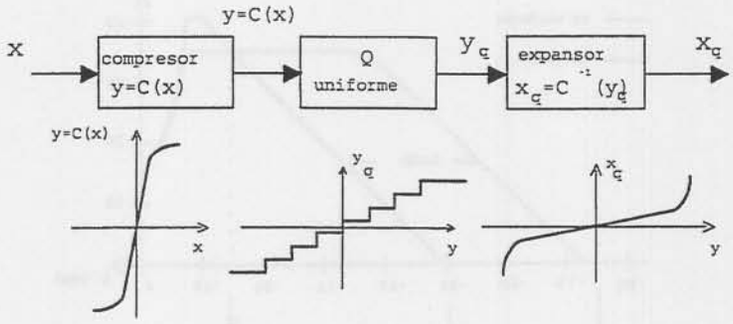
Si la señal se repite muy a menudo para valores pequeños de la entrada x, y más raramente para valores grandes, como es el caso de señales de voz en una conversación normal (sin discusiones violentas), es preferible centrar la resolución del conversor A/D alrededor de valores pequeños de x, aunque sea al precio de perder resolución para valores grandes. A este método se le llama de cuantificación no uniforme.



Característica entrada-salida de un cuantificador no uniforme y ejemplo de señal candidata a ser cuantificada no uniformemente.

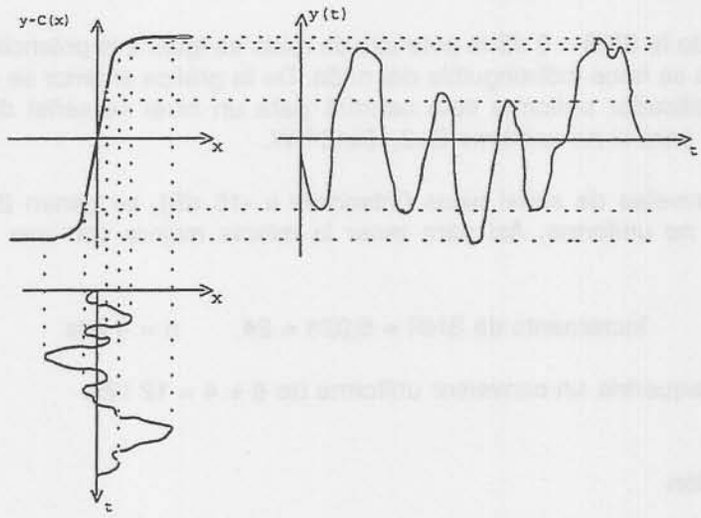
2.2.4 Cuantificación no uniforme

Su implementación se basa en un cuantificador uniforme más un COMPANSOR, es decir, un compresor a la entrada del cuantificador uniforme y un expansor a la salida (COMPANSOR = COMpresor + exPANSOR):



Cuantificador uniforme con compansor: cuantificación no uniforme.

El compresor viene descrito por una función C(x) que aumenta la resolución para valores pequeños de la entrada.



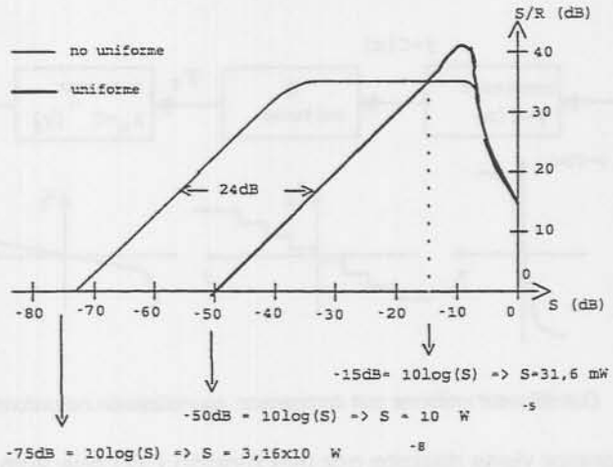
Efecto del compresor.

Esta función se puede invertir, de manera que si el expansor se rige por la función $C^{-1}(x)$ se recuperaría la entrada del compresor sin ninguna pérdida de información.

En el caso de aplicaciones telefónicas, la curva de compresión se acostumbra a aproximar por tramos (segmentos). El CCITT (Comité Consultivo Internacional en Telefonía y Telegrafía) recomienda el tipo de aproximaciones. En aplicaciones de instrumentación electrónica y de control el uso de cuantificadores no uniformes es escaso.

Pueden encontrarse circuitos integrados en el mercado que facilitan la realización de los compresores, como el NE 571, usado en el entrenador de comunicaciones (ver Apéndice D).

En la siguiente gráfica se representa en el eje de ordenadas la SNR para un cuantificador uniforme y uno no uniforme, ambos de 8 bits, en función de la potencia de señal (en el eje de abscisas):



Comparación de la relación señal/ruido (S/R) de un cuantificador uniforme y uno no uniforme a la del codificador, en función de la potencia de la señal.

Cuando la SNR = 0 dB la potencia de ruido es igual a la potencia de señal, y por tanto esta se hace indistinguible del ruido. De la gráfica anterior se observa que para el cuantificador uniforme esto ocurrirá para un nivel se señal de $S=10^{-5}$ W, mientras que para el no uniforme $S=3{,}16\times10^{-8}$ W.

Para niveles de señal bajos (inferiores a -15 dB), se ganan 24 dB con el cuantificador no uniforme. Así para tener la misma mejora con uno uniforme se necesitaría:

$$\text{Incremento de SNR} = 6{,}02n = 24 \qquad n = 4 \text{ bits}$$

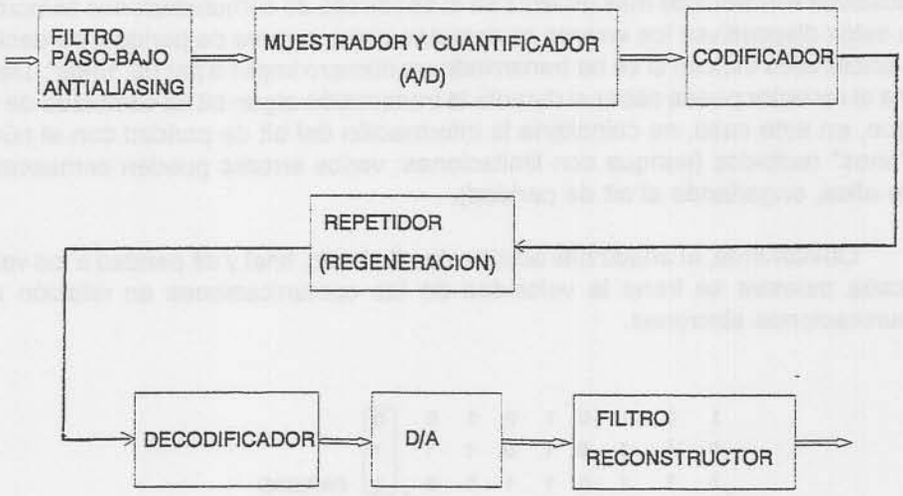
es decir, se requeriría un conversor uniforme de 8 + 4 = 12 bits.

2.3 Codificación

2.3.1 Fundamentos de la modulación por codificación de pulsos (PCM)

La modulación por codificación de pulsos (PCM, pulse-code modulation) convierte una señal analógica en una señal digital equivalente, que es la que se transmite por el canal. La señal analógica a transmitir es muestreada y cuantificada dentro de un conjunto finito de valores. Posteriormente es codificada para adaptar su forma a las características del canal de transmisión.

Las principales ventajas de la transmisión digital, respecto a la analógica, son una menor sensibilidad al ruido y a las interferencias, y la facilidad de la regeneración de las señales digitales. En efecto, como se observa en la figura, pueden intercalarse a lo largo del canal uno o varios repetidores regenerativos cuyo diseño puede ser simple al tratarse de señales digitales. Como ejemplo elemental, con un comparador puede reconstruirse la señal digital limpia de ruidos (siempre y cuando éstos no tengan un nivel tan elevado que sobrepasen el nivel de disparo del comparador y provoquen falsos pulsos). El inconveniente de la transmisión digital es que ocupa un mayor ancho de banda que la analógica.



Elementos de un sistema de comunicación PCM.

Los bloques de entrada del subsistema de emisión (filtro paso bajo, conversor A/D que actúa como muestreador y cuantificador) han sido estudiados en los apartados previos. El bloque codificador se encarga de convertir los valores cuantificados en un conjunto de valores (pulsos) que forman un código. En su realización interviene, entre otros elementos, un registro de desplazamiento controlado por un reloj digital, que se encarga de convertir la información del bus paralelo a la salida del conversor A/D en una señal serie apta para el canal de comunicación. Los elementos de código son los pulsos digitales que lo componen, denominados también símbolos, y el conjunto de símbolos que representan el valor de una muestra son denominados palabra código o carácter.

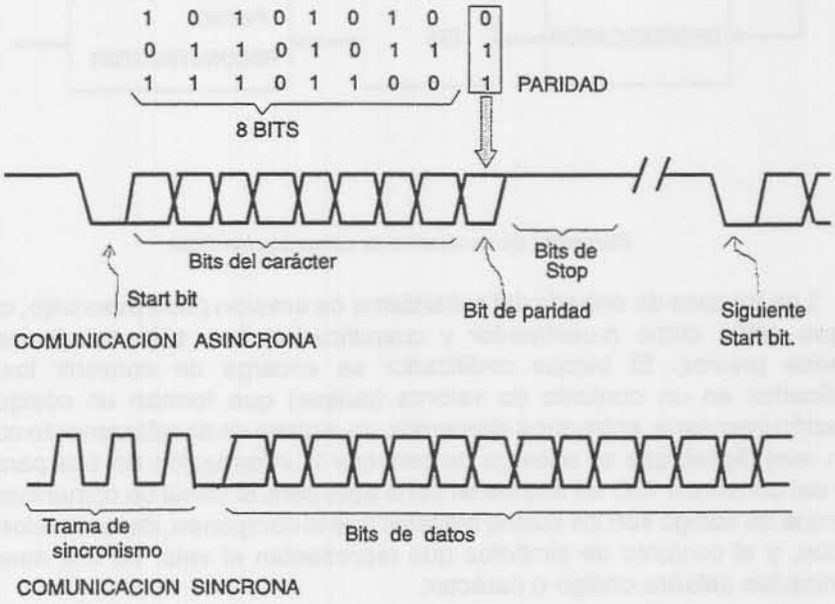
2.3.2 Transmisiones síncrona y asíncrona

La transmisión síncrona, basada en un reloj que permite alinear los símbolos transmitidos y recibidos, es la más eficiente en velocidad, si bien no es la única. En muchos sistemas de transmisión de datos en que la velocidad de las comunicaciones no es crítica, como, por ejemplo, en sistemas de control distribuido, o bien en sistemas donde el bajo coste sea de capital importancia (la circuitería es más compleja para transmisiones síncronas), se utilizan transmisiones asíncronas. Estas transmisiones son, por otro lado, habituales entre un microprocesador y sus periféricos.

En una transmisión asíncrona no se requieren relojes sincronizados entre el emisor y el receptor. Los bits obtenidos como resultado de cada conversión A/D se "empaquetan" entre un bit de inicio (start) y uno o más bits de final (stop), los cuales indican al receptor el inicio y el final, respectivamente, de cada muestra.

Opcionalmente pueden añadirse bits adicionales para detectar errores durante la transmisión. Las UART's (Universal Asincronous Receiver and Transmiter) son los dispositivos electrónicos más usuales en el desarrollo de comunicaciones asíncronas. Con estos dispositivos los errores se detectan como errores de paridad, es decir, los bits adicionales indican si se ha transmitido un número impar o par de "unos". De esta forma el receptor puede saber si durante la transmisión algún bit ha cambiado de valor ya que, en este caso, no coincidiría la información del bit de paridad con el número de "unos" recibidos (aunque con limitaciones: varios errores pueden enmascararse entre ellos, engañando al bit de paridad).

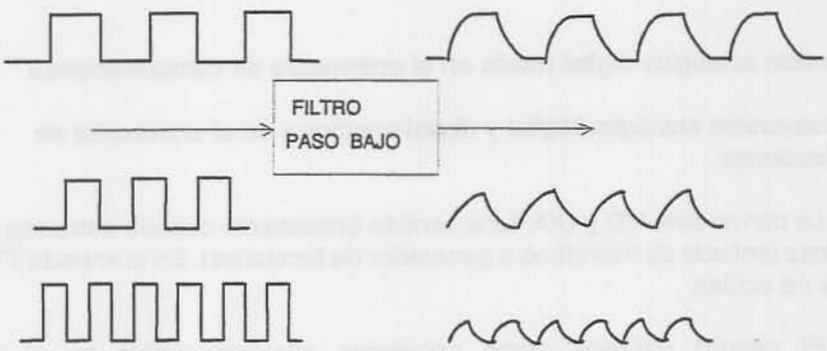
Obviamente, al añadir bits adicionales de inicio, final y de paridad a los valores de cada muestra se frena la velocidad de las comunicaciones en relación a las comunicaciones síncronas.



Comunicaciones síncrona y asíncrona.

2.3.3 Bits por segundo (bps)

Lógicamente, a cuantos más bits por segundo pueda enviar un equipo de comunicaciones digitales, mayor será su eficiencia. Sin embargo, el ancho de banda del canal de comunicación impone restricciones a esta velocidad: supongamos que el comportamiento es tipo paso bajo de primer orden, o, para mayor simplicidad, supongamos que es un circuito tipo RC, con su constante de tiempo. La siguiente figura ilustra el comportamiento de un filtro paso bajo, limitado por esta constante de tiempo, frente a señales cuadradas de diferentes frecuencias:



Efecto pasobajo del canal de comunicaciones.

Al aumentar la frecuencia de la señal cuadrada, cada vez es más pequeña la amplitud de la señal de salida del filtro.

Por otro lado, el ruido presente en el canal de comunicaciones ofrece otra limitación al número máximo de bits por segundo transmisibles. La cota queda fijada por la fórmula de Shannon,

$$MAXIMOS\ BITS\ POR\ SEGUNDO\ (bps) = BW * \log_2\left(1 + \frac{S}{N}\right)$$

donde BW es el ancho de banda (bandwidth) del canal, S es la potencia de la señal transmitida, N la del ruido y la relación S/N es la relación señal-ruido. Esta cota de la capacidad del canal es sólo un indicador, no alcanzable en la práctica.

Entre los bits por segundo de una señal cuadrada y su frecuencia hay una relación de 2. Por ejemplo, si se envía la secuencia 01010101010101 como un señal cuadrada de 1000 Hz, la velocidad será de 2000 bps, pues en cada periodo de la señal hay dos bits (1 y 0).

Las velocidades estándares en modems telefónicos son de 110, 300, 600, 1200, 4800, 9600, 14400, 19200 y 28800 bits por segundo. Si quisiéramos transmitir directamente una señal de voz, muestreada a 8 kHz, con 8 bits por muestra, la velocidad de transmisión seria de 8 * 8 = 64 kilobits por segundo, velocidad no aceptable por un canal telefónico convencional. Para lograr esta comunicación lo que se hace es agrupar los bits en parejas (dibits), tríos (tribits), o grupos más numerosos (cuadribits, etc). Así, los modems comerciales, usando modulaciones de fase (M-PSK) o de amplitud y fase (M-QAM), con paquetes de M bits, pueden transmitir señales vocales con calidad de 8 bits y muestreadas a 8 kHz. En las prácticas asociadas al equipo entrenador de comunicaciones se estudiaran modulaciones 4-PSK (ó QPSK), y 8-QAM.

Como tiempo de bit se entiende la duración básica de un bit (T_b), y es el inverso de la velocidad R en bits por segundo:

$$T_b = 1 / R$$

2.4 Interficie analógica-digital usada en el entrenador de comunicaciones

2.4.1 Conversión analógica/digital y digital/analógica en el entrenador de comunicaciones.

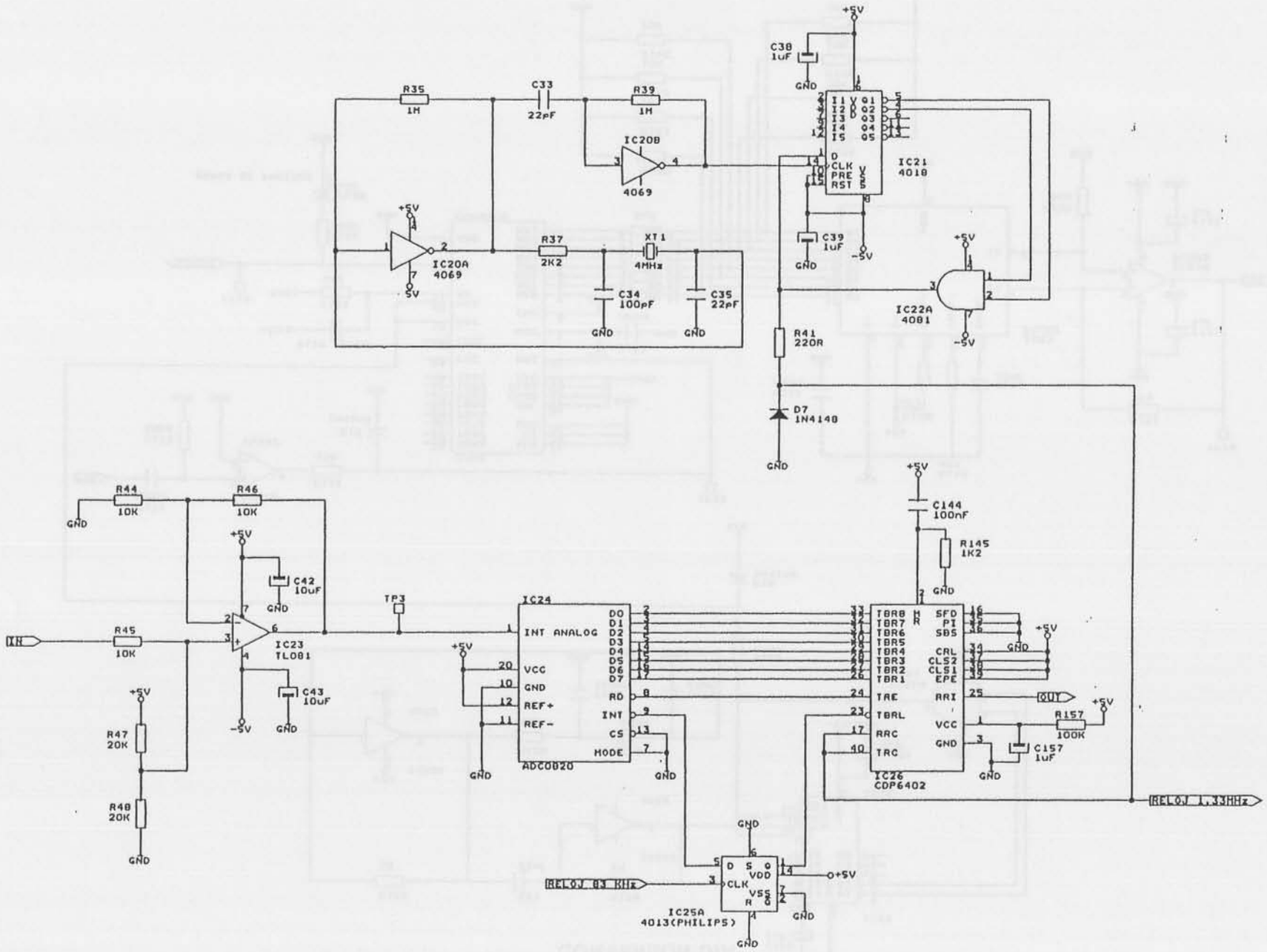
La conversión A/D y D/A tiene sentido únicamente cuando entramos señales analógicas (entrada de micrófono o generador de funciones). En la entrada TTL estos bloques no actúan.

El circuito utilizado como conversor analógico-digital es el AD0820 (Apéndice B). Ofrece una resolución de 8 bits que entrega en paralelo, e incorpora un circuito de "sample-and-hold" evitando uno externo. Inicia cada conversión cuando recibe la orden correspondiente por una patilla (inicio de conversión), y desde otra (fin de conversión) indica si ya ha acabado el ciclo de conversión A/D.

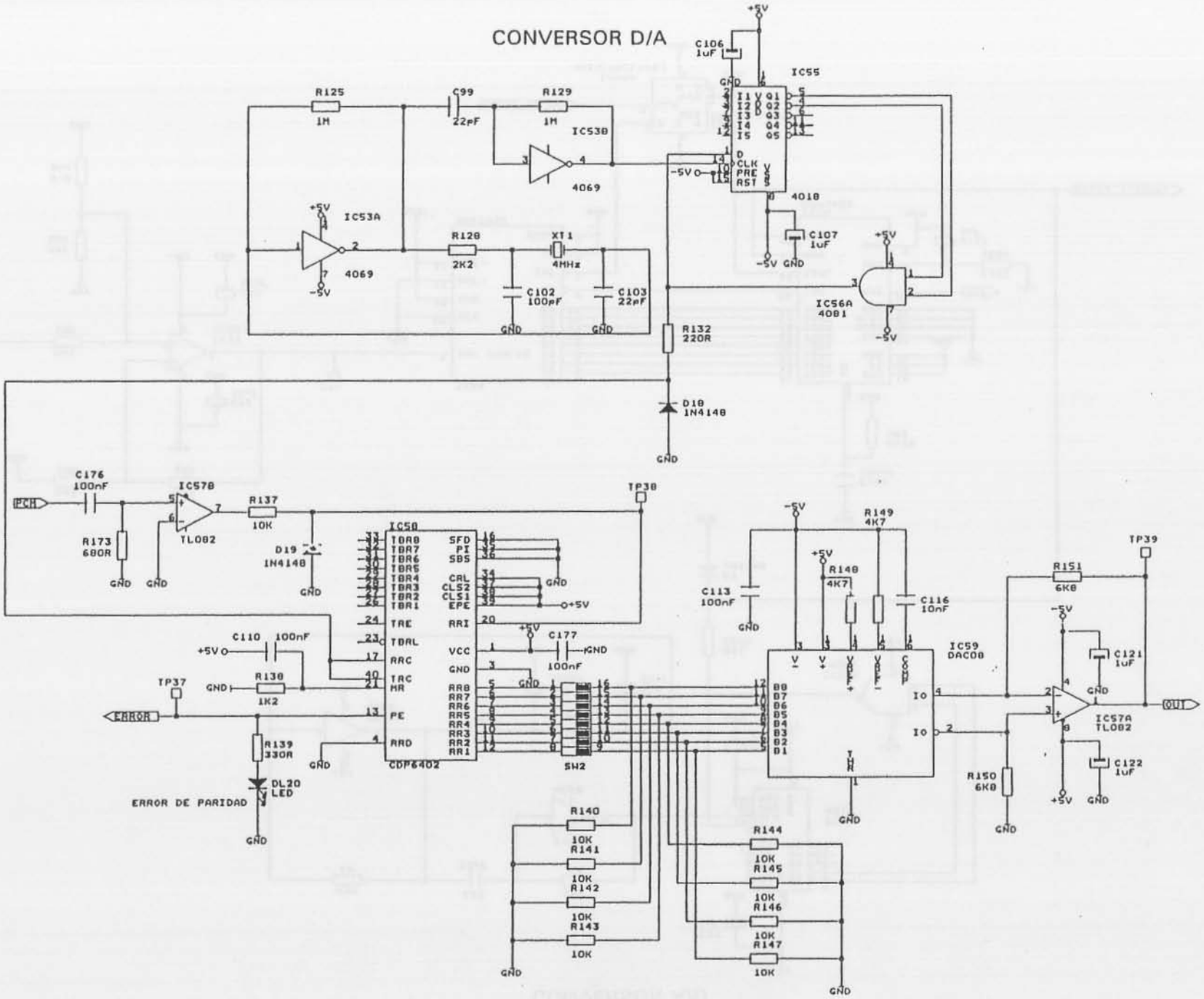
La frecuencia de muestreo a la cual hacemos trabajar el ADC es de, aproximadamente, 7600 Hz, suficiente para cumplir el criterio de Nyquist para entradas con frecuencias entre los 300 Hz y los 3400 Hz (canal telefónico habitual). Recordemos que según Nyquist la frecuencia mínima de muestreo debe ser mayor o igual al doble del ancho de banda de la señal a muestrear.

En las dos hojas siguientes se muestra la circuitería asociada en el entrenador a los conversores A/D (ADC0820) y D/A (DAC08):

CONVERSOR A/D



CONVERSOR D/A



El conversor A/D está conectado con la UART (IC26), para la transferencia por canal serie de los bits que el conversor (IC24) proporciona en paralelo, y para la sincronización utilizando las entradas de control (bits de start y de stop). Conectando la señal que indica que la UART ya ha concluido la transmisión serie de una muestra del conversor A/D con la patilla de inicio de éste, se logra que, automáticamente, el conversor adquiera una nueva muestra cuando la UART esté libre para trasmitirla. La patilla de "fin de conversión" del conversor A/D se conecta asimismo a la entrada de la UART que le ordena la transmisión del código que, es este momento, aparece en sus entradas paralelas (conectadas a las salidas del conversor A/D). Todo este lazo automático de conversión A/D y de transmisión por la UART está sincronizado por un reloj de cuarzo de 4 MHz (XT1).

Como conversor digital-analógico utilizamos el DAC 08 (IC59), detallado en el Apéndice C, que es un conversor de ocho bits con entrada paralelo. En este caso la única transferencia entre y la UART y el D/A son los bits, sin más señales de control. La UART receptora funciona de modo inverso a la emisora. Se ha incorporado a equipo un conjunto de 8 microinterruptores (SW2) que permiten desconectar bits de salida de la UART, simulándose así transmisiones codificadas con menos bits.

2.4.2 Filtro antialiasing y reconstructor

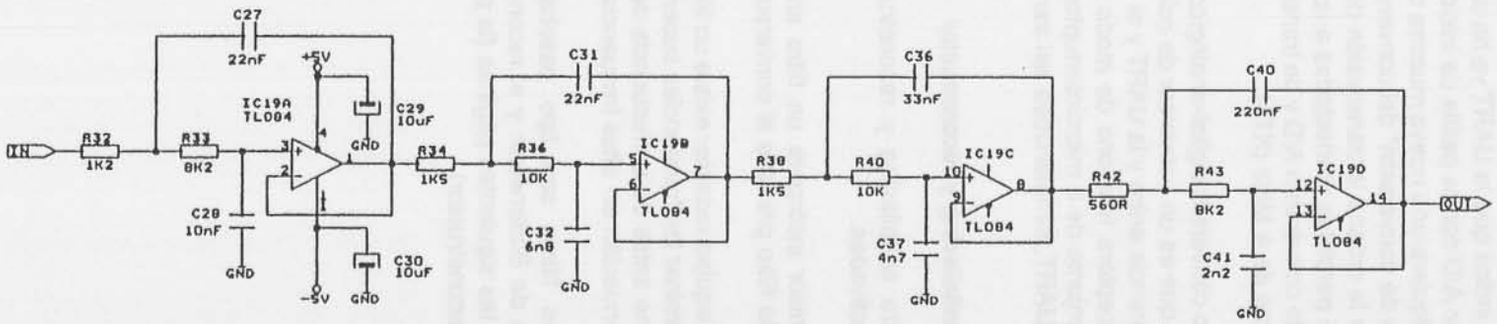
El filtro antialiasing y reconstructor son seleccionables con las entradas analógicas activadas.

El emisor incorpora un filtro antialiasing con una frecuencia de corte de 3400 Hz. Este filtro precede al conversor A/D.

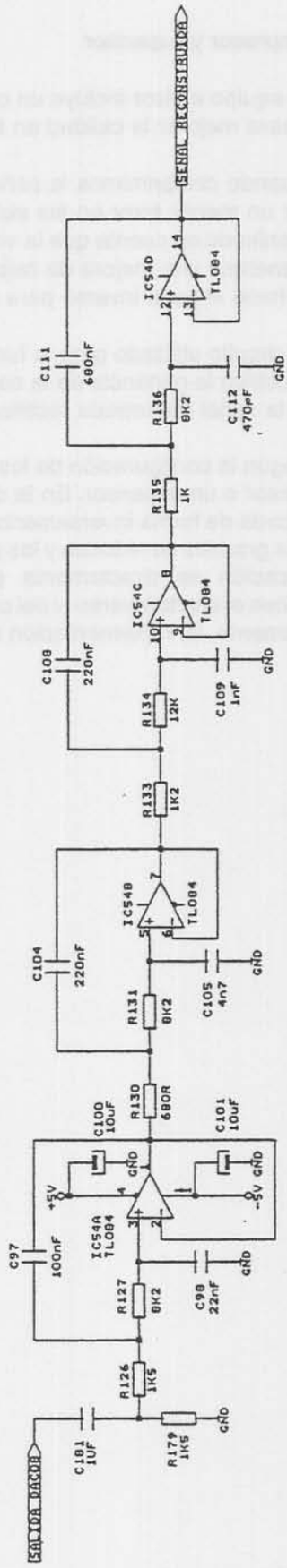
En el equipo receptor existe un filtro reconstructor con la misma frecuencia de corte para eliminar las frecuencias superiores creadas a consecuencia del muestreo. Este filtro tiene antes de la frecuencia de corte una resonancia para contrarrestar el efecto de atenuación en altas frecuencias que introduce el conversor D/A.

Ambos filtros son tipo pasobajo de octavo orden, el antialiasing con característica de Butterworth y el reconstructor de Chebyschev. Los esquemas se muestran en las siguientes páginas (la primera corresponde al filtro antialiasing y la segunda al reconstructor).

FILTRO ANTIALIASING



FILTRO RECONSTRUCTOR



2.4.3 Compresor y expansor

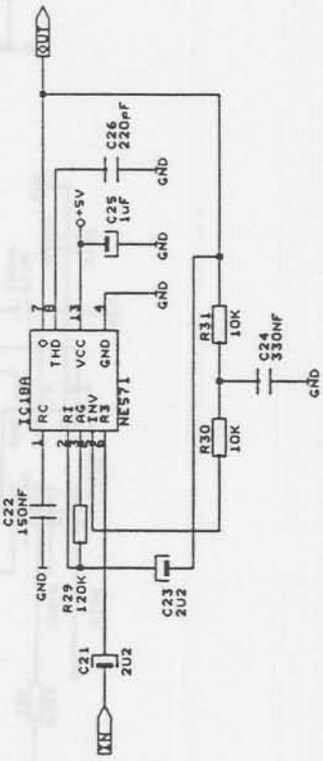
El equipo emisor incluye un compresor que junto al expansor del receptor es utilizado para mejorar la calidad en la transmisión de la señal de micrófono.

Cuando comprimimos la señal de entrada, conseguimos en el momento de cuantificar un menor error en las señales débiles a costa de un mayor error en las fuertes. Teniendo en cuenta que la voz estadísticamente tiene más niveles bajos que altos, obtenemos una mejora de calidad en la relación señal/ruido. En el receptor el expansor hace el paso inverso para dejar la señal original.

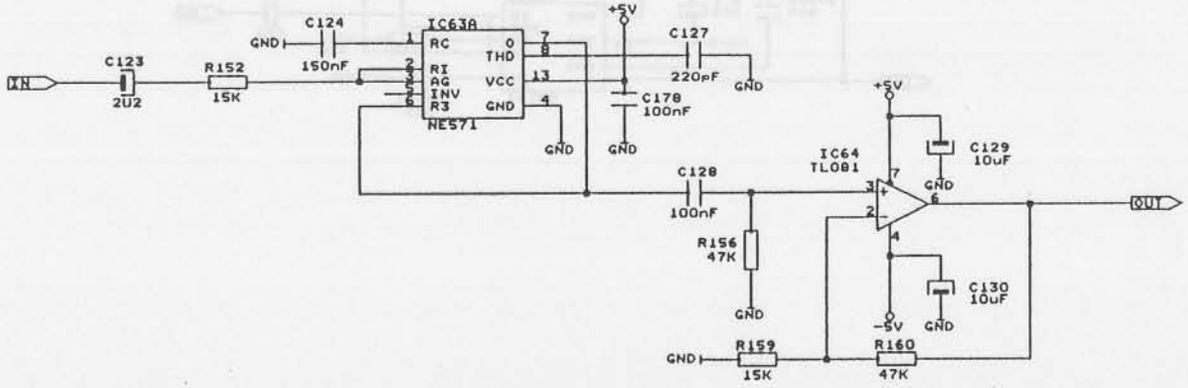
El circuito utilizado para la función explicada es el NE571 (Apéndice D). Este circuito modifica la ganancia de la señal de entrada a partir de la obtención del valor medio de la señal de entrada rectificada.

Según la configuración de los componentes externos del NE571 se consigue un compresor o un expansor. En la configuración de compresor la señal de entrada es amplificada de forma inversamente proporcional a su valor medio, de manera que las señales grandes se reducen y las pequeñas se magnifican. En el caso del receptor la amplificación es directamente proporcional al valor medio de su entrada, obteniéndose el efecto inverso al del compresor. Las dos siguientes páginas muestran, respectivamente, la implementación del compresor y expansor:

COMPRESOR


OUT
C26
220pF
GND
C25
1uF
+5V
GND
GND
IC18A
RC
RI
AG
INV
RI
NE571
O
THD
VCC
GND
7
8
13
4
R31
10K
C24
330NF
GND
R30
10K
C22
150NF
GND
R29
120K
C23
2U2
C21
2U2
IN

EXPANSOR


IN
C123
2U2
R152
15K
GND
C124
150nF
IC63A
RC
RI
AG
INV
R3
THD
VCC
GND
NE571
+5V
C127
220pF
C178
100nF
C128
100nF
R156
47K
IC64
TL081
C129
10uF
C130
10uF
-5V
R159
15K
R160
47K
OUT

2.4.4 UART (Transmisor Receptor Asíncrono Universal)

La UART permite realizar una transmisión serie asíncrona, "empaquetando" los bits de cada muestra de la señal entre los bits de start y de stop. Además ofrece la posibilidad de control de error mediante un bit de paridad.

La UART utilizada en el equipo, HD-6402 (Apéndice E), en modo de transmisión convierte los datos paralelo procedentes del A/D a formato serie incluyendo automáticamente los bits de start, paridad y stop. En recepción convierte los bits que le llegan vía serie a ocho bits paralelos que son los entregados al conversor D/A, comprobando a la vez el bit de paridad y poniendo a uno la salida PE (parity error) de la UART en caso de error. Estos errores son visualizados en el equipo a través de un diodo led.

Mediante configuración externa se puede seleccionar una longitud de la palabra de 5, 6, 7 u 8 bits, bit de paridad par, impar o no paridad, puede haber uno o dos bits de stop o uno y medio si la longitud de palabra es de 5 bits. El formato del carácter seleccionado en el equipo es:

- Un bit de start.
- Ocho bits de longitud de palabra.
- Un bit de paridad par.
- Un bit de stop.

La velocidad de salida de los bits de la UART es la frecuencia de reloj utilizada dividida por 16. La frecuencia de reloj de la UART es de 1.33 MHz que proporciona una velocidad de 83 Kbits/s. El reloj se consigue a partir de un oscilador mediante un cristal de 4 MHz y un divisor por 3. La circuitería de las UARTS ya ha sido presentada anteriormente con los conversores A/D y D/A.

3 MODULACIONES DIGITALES SOBRE PORTADORA CONTINUA

Las diferentes alternativas para transmitir información digital son: actuar sobre la amplitud (ASK), actuar sobre la frecuencia (FSK), actuar sobre la fase (PSK) o bien actuar sobre combinaciones de las formas anteriores.

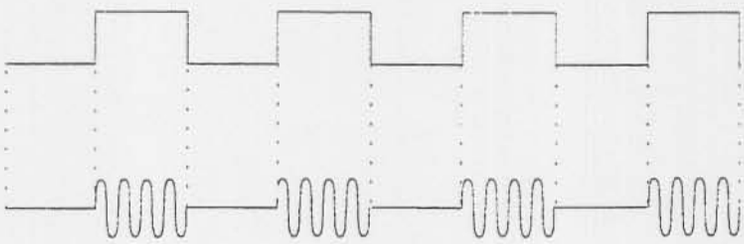
La modulación ASK, por su simplicidad, fué una de las primeras modulaciones digitales utilizadas, concretamente al aplicarse para la transmisión en Morse de la radiotelegrafía. La modulación FSK ha sido ampliamente aplicada en comunicaciones de radio digital, en los primeros modems y en aplicaciones básicas de telecontrol. Finalmente las modulaciones PSK son muy utilizadas en la actualidad en enlaces vía satélite, en modems, y en aplicaciones más específicas como en el teletexto.

Las modulaciones digitales integradas en el entrenador de comunicaciones digitales son:

- Modulaciones por desplazamiento de amplitud: ASK.
- Modulaciones por desplazamiento de frecuencia: FSK.
- Modulaciones por desplazamiento de fase: BPSK, DPSK, QPSK, DQPSK.
- Modulaciones por desplazamiento de amplitud y fase: 8-QAM.

3.1 ASK (Amplitude-Shift Keying)

En este tipo de modulación se asigna a los "1" (marca) un tono (frecuencia) de un determinado nivel de amplitud y a los "0" (espacio) el mismo tono de nivel diferente. En el caso de que se asigne al espacio un nivel cero tenemos una ASK llamada OOK (On-Off Keying), como muestra la figura. Esta es la modulación utilizada en el equipo.



La expresión matemática de una modulación OOK es,

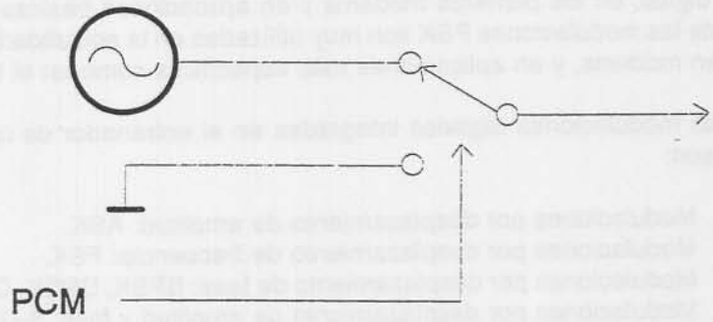
$$S(t) = \begin{cases} \cos 2\pi f_c t, & si\ u(t) = 1 \\ 0, & si\ u(t) = 0 \end{cases}$$

donde,

S(t) = señal modulada en amplitud,
u(t) = señal binaria moduladora,
f_c = frecuencia portadora.

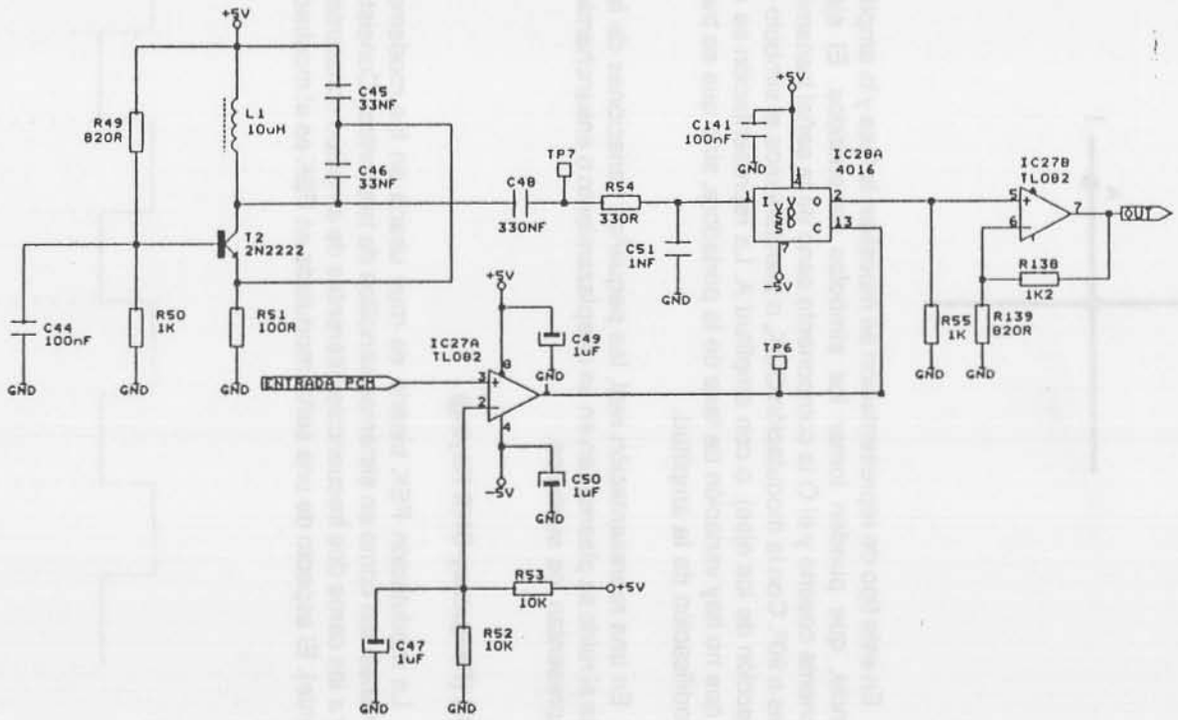
La ecuación anterior describe la modulación: cuando la entrada es '1' enviamos la frecuencia portadora y cuando es '0' enviamos una continua. Comprobamos que lo que hacemos es trasladar la señal de banda base alrededor de la frecuencia de la portadora.

El esquema básico de un modulador OOK es el mostrado en la siguiente figura. Consta de un interruptor controlado por la señal PCM a modular, que conmuta entre un oscilador y masa.



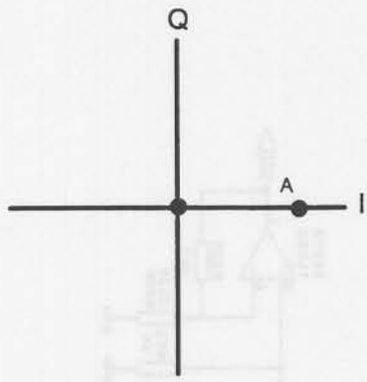
El oscilador utilizado en el entrenador es del tipo Colpitts, que oscila a 390 kHz. La salida del oscilador entra a un interruptor (IC28) controlado por la señal PCM, cuya salida queda a masa a través de una resistencia cuando está abierto y pasa la oscilación al cerrarlo. La señal que obtenemos a la salida del interruptor es amplificada. El circuito se muestra a continuación:

MODULADOR ASK



359

La constelación de una modulación ASK es la siguiente:

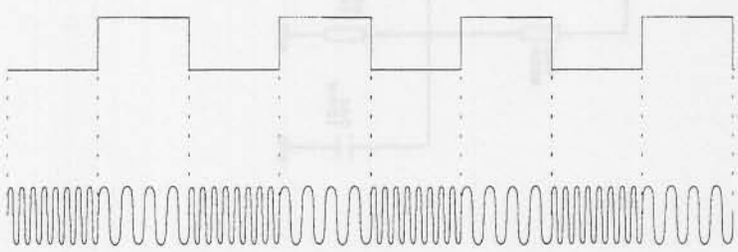


En este tipo de representación se muestran la fase y la amplitud de una misma frecuencia, que pueden tomar los símbolos transmitidos. El eje I representa la componente coseno y el Q la componente seno de la señal transmitida, es decir, son dos ejes a 90º. Con la modulación OOK, o bien tenemos el símbolo con amplitud cero (intersección de los ejes), o con amplitud A. La representación se realiza en un sólo eje ya que no hay variación de fase de la portadora, sino que se trata únicamente de una modificación de la amplitud.

En una representación real, las pequeñas variaciones de fase o de amplitud debidas al ruido se plasmarían en un desplazamiento o ensanchamiento de los puntos que representan los símbolos.

3.2 FSK (Frequency-Shift Keying)

La modulación FSK binaria es muy usada en los modems telefónicos más elementales, así como en sistemas sencillos de telecontrol. Consiste en asignar a los unos y a los ceros dos frecuencias diferentes de amplitud constante (o prácticamente constante). El aspecto de una señal modulada en FSK es el mostrado por la siguiente figura.



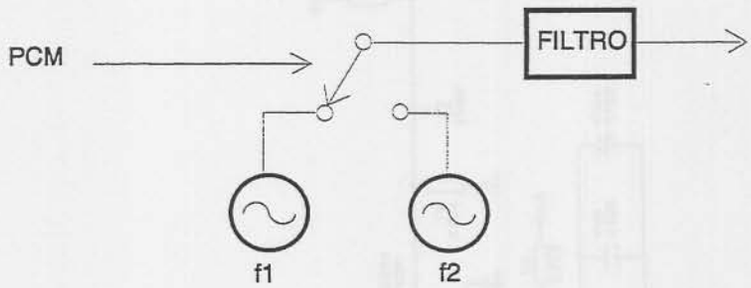
La expresión matemática que describe la modulación FSK es,

$$S(t) = \begin{cases} \cos 2\pi f_{c_1} t, & si\ u(t) = 1 \\ \cos 2\pi f_{c_2} t, & si\ u(t) = 0 \end{cases}$$

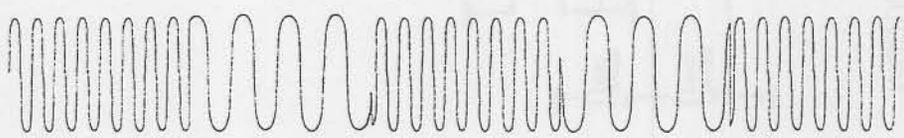
donde,

S(t) = señal modulada en frecuencia,
u(t) = señal binaria moduladora,
f_{c1} = frecuencia portadora 1,
f_{c2} = frecuencia portadora 2.

A partir de la ecuación anterior, la forma más intuitiva de modular en FSK es tener dos osciladores y conmutar entre ellos en función de la señal PCM, tal como muestra el siguiente esquema de bloques.



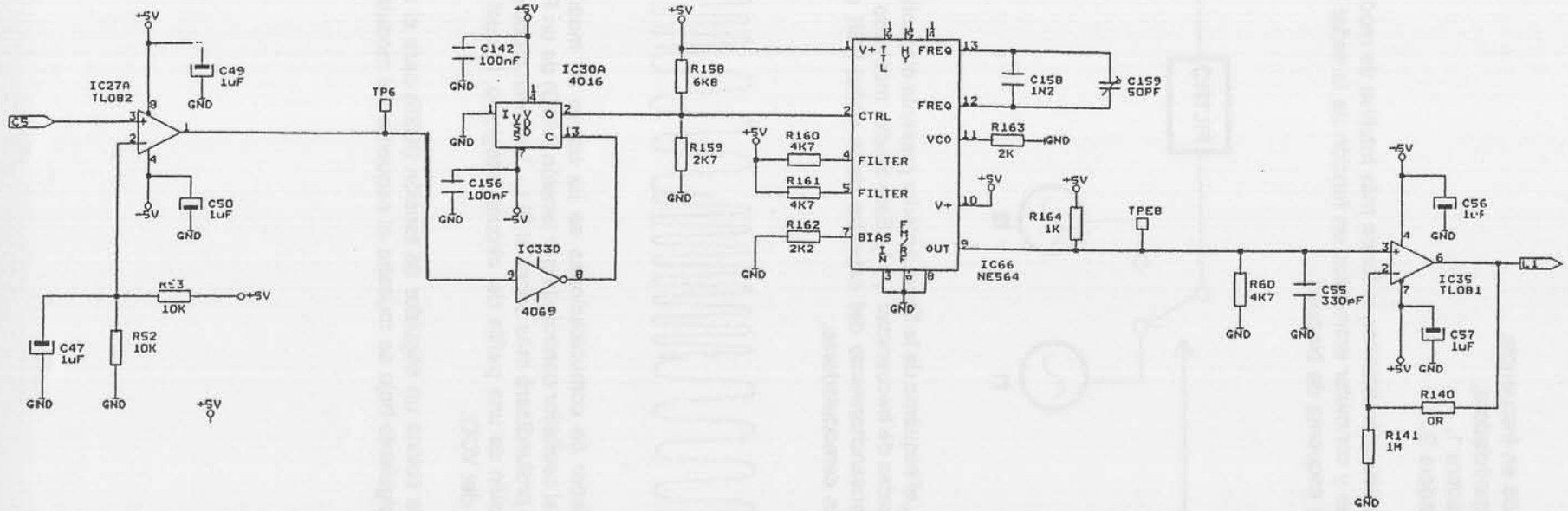
Sin embargo, el esquema de la figura anterior presenta discontinuidades entre las fases de las senoides de frecuencias f_1 y f_2. Este efecto, mostrado en la siguiente figura, produce un ensanchamiento del espectro de la señal FSK que dificulta la operación de algunos demoduladores.



En el entrenador de comunicaciones se ha usado un modulador de fase continua basado en el oscilador controlado por tensión (VCO) de un PLL (el NE564) -en el apartado 6 se profundizará más sobre el PLL-. La señal moduladora (entrada PCM) cambia la tensión de una patilla del circuito integrado, la cual hace variar la frecuencia de salida del VCO.

Finalmente se coloca un seguidor de tensión (IC35) para el aislamiento de impedancias. En la siguiente hoja se muestra el esquema del modulador FSK:

MODULADOR FSK

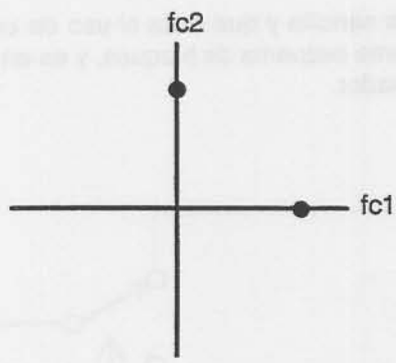


Un tipo de modulación FSK, más compleja de implementar, es la llamada MSK, que proporciona fase continua y mínimo ancho de banda para una FSK. La modulación MSK se puede considerar como una FSK, que cumple la siguiente relación entre las frecuencias de señalización y el tiempo de bit.

$$h=f_d T_b=0.5$$

donde,
h= desviación normalizada de la frecuencia,
f_d= diferencia entre las frecuencias de señalización (fc2-fc1),
T_b= tiempo de bit.

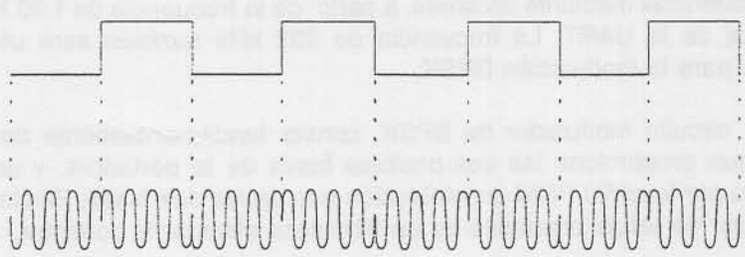
La representación de la modulación FSK es la siguiente,



En este caso los ejes no representan dos fases con diferencia de 90º, sino que cada eje representa una de las dos frecuencias transmitidas. Por tanto los puntos, simbolizan la amplitud de cada una de las frecuencias.

3.3 BPSK (Binary Phase-Shift Keying)

Esta es una modulación en la cual la fase de la señal transmitida se invierte en cada cambio de la señal PCM, como indica el siguiente gráfico.



La ecuación matemática de una modulación BPSK es,

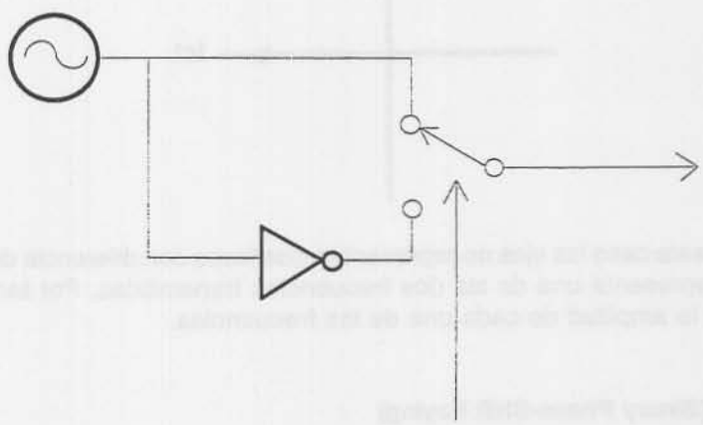
$$S(t) = u(t)\cos 2\pi f_c t$$

donde,

S(t) = señal modulada en fase binaria,
u(t) = señal moduladora binaria (los valores lógicos '1' y '0' toman en u(t) los valores 1 y -1 respectivamente),
f_c = frecuencia portadora.

El cambio de signo de la señal u(t) (1,-1), equivale a una inversión de fase (sumar 180º, modular en fase) del coseno. A partir de la ecuación, un esquema de bloques intuitivo sería utilizar un multiplicador que haga el producto entre un oscilador y la señal u(t).

Una alternativa más sencilla y que evita el uso de un multiplicador analógico es la mostrada por el siguiente esquema de bloques, y es en la que se basa el circuito implementado en el entrenador.

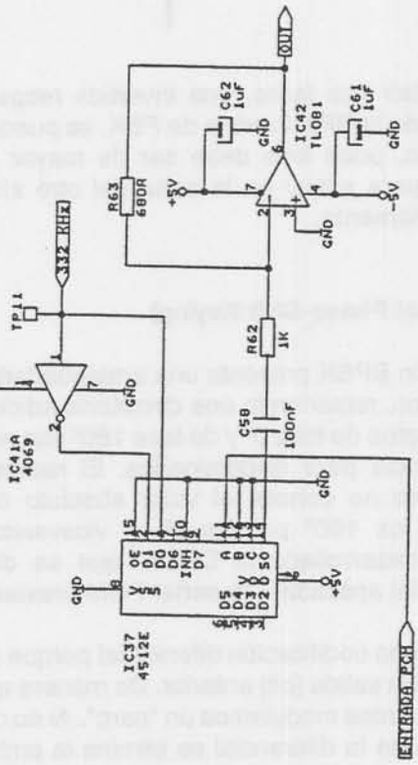


La frecuencia portadora es de 332 kHz que es un múltiplo de la frecuencia de bit, esto facilita la visualización de los saltos de fase en el osciloscopio y la obtención de las frecuencias mediante divisores, a partir de la frecuencia de 1.33 MHz utilizada como reloj de la UART. La frecuencia de 332 kHz también será utilizada como portadora para la modulación DPSK.

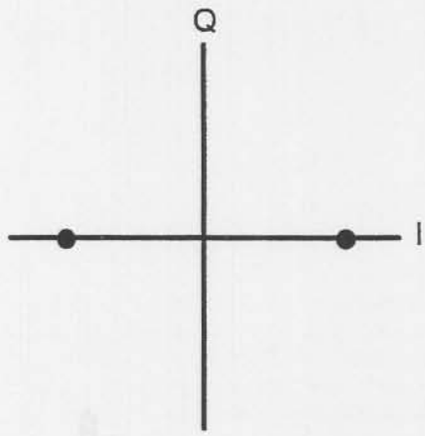
El circuito modulador de BPSK, consta fundamentalmente de un inversor (IC41A) que proporciona las dos posibles fases de la portadora, y un multiplexor controlado por la señal PCM que selección una de las dos fases. Finalmente hay un amplificador de salida precedido de un filtro para eliminar la continua.

El circuito que se presenta a continuación muestra lo explicado:

MODULADOR BPSK



La constelación de la modulación BPSK es la siguiente:



Se representan dos fases, una invertida respecto a la otra, con la misma amplitud. Comparando la BPSK con la de FSK, se puede comprobar que la BPSK es más inmune al ruido, pues éste debe ser de mayor potencia (mayor distancia a desplazar el punto para entrar en la zona del otro símbolo) para que el receptor decodifique incorrectamente.

3.4 DPSK (Differential Phase-Shift Keying)

La modulación BPSK presenta una ambigüedad en el demodulador entre las dos fases transmitidas, requiriendo una circuitería adicional para seleccionar la fase adecuada (los conceptos de fase 0º y de fase 180º son relativos, por lo que el receptor necesita una referencia para discriminarlos. El receptor "sabe" que recibe fases separadas 180º, pero no conoce el valor absoluto de cada fase por separado, pudiendo confundir los 180º por los 0º, y viceversa). Como alternativa a esta modulación se ha desarrollado la DPSK, que se distingue de la BPSK en la codificación diferencial aplicada a la señal PCM previamente a la modulación.

Se conoce como codificación diferencial porque el bit a transmitir depende de la entrada actual y de la salida (bit) anterior. De manera que si son iguales modulamos un "uno" y si son diferentes modulamos un "cero". Al no depender la demodulación de la fase absoluta sino de la diferencial se elimina la ambigüedad.

A continuación se muestra la relación lógica de codificación, una posible señal PCM (b_k) y la señal codificada diferencialmente (d_k) - el símbolo $\oplus$ representa una operación OR-exclusiva -.

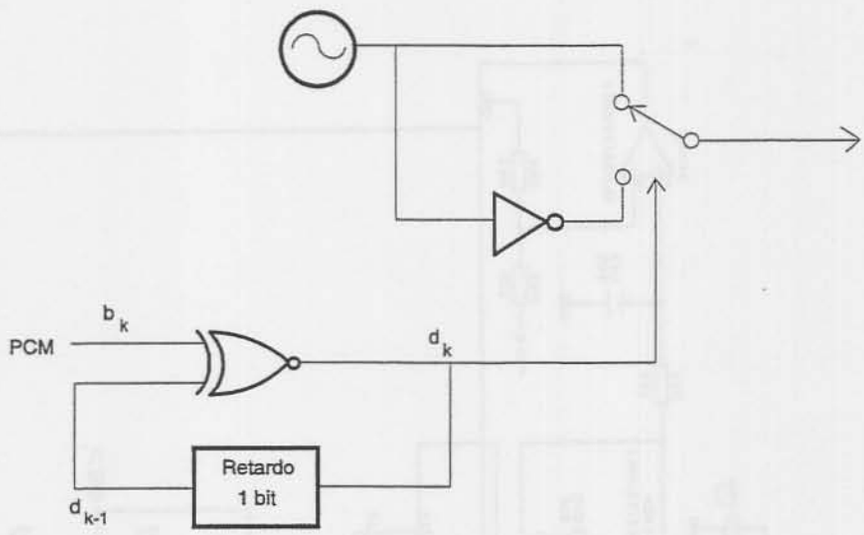
$$d_k=\overline{b_k \oplus d_{k-1}}$$

b_k 0 0 1 0 1 1 1 1 0 0 1 1 0 0 0 1 0 1 1 0

d_k 1 0 1 1 0 0 0 0 1 0 0 0 1 0 1 1 0 0 0 1

Podemos comprobar que la recuperación (proceso inverso) es fácil haciendo una NOR-EXCLUSIVA del dato actual d_k y del anterior, d_{k-1}. El resultado es la obtención de los datos b_k.

La codificación diferencial es fácilmente implementable mediante una puerta NOR-EXCLUSIVA, con una de las entradas conectada a la señal PCM y la otra a la salida mediante un retardador de un bit. El retardo se puede conseguir mediante un biestable tipo D. Para modular simplemente tomamos la salida diferencial y la pasamos por un modulador BPSK. El esquema de bloques es el que muestra la figura.



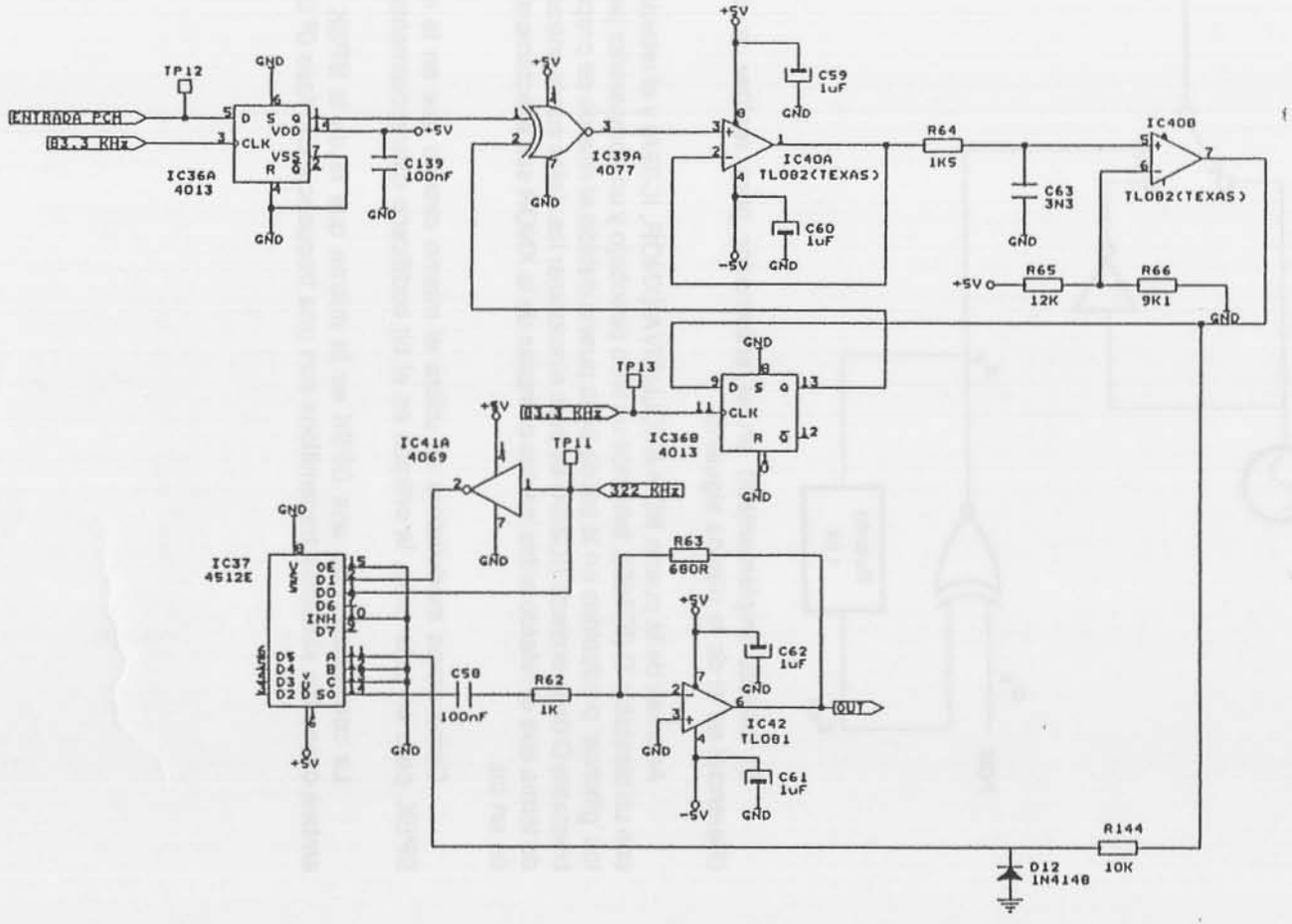
El circuito implementado en el entrenador para realizar la codificación diferencial es el de la página siguiente.

Además de la puerta NOR-EXCLUSIVA (XNOR, IC39A) y el retardador hecho con un biestable D (IC36B), tenemos un filtro pasobajo y un comparador para eliminar los 'glitches' producidos en la salida de la puerta debido al retardo de propagación. El biestable D de la entrada (IC36A) es para sincronizar los datos con la entrada del reloj, de forma que el retardo entre las dos entradas de la XNOR sea exactamente el tiempo de un bit.

Como etapa moduladora se utiliza el mismo circuito que en la modulación BPSK, pero en este caso, la entrada es el bit codificado diferencialmente.

La constelación de una DPSK es la misma que la de la BPSK porque en ambos casos los símbolos transmitidos son una frecuencia con fase 0º ó 180º.

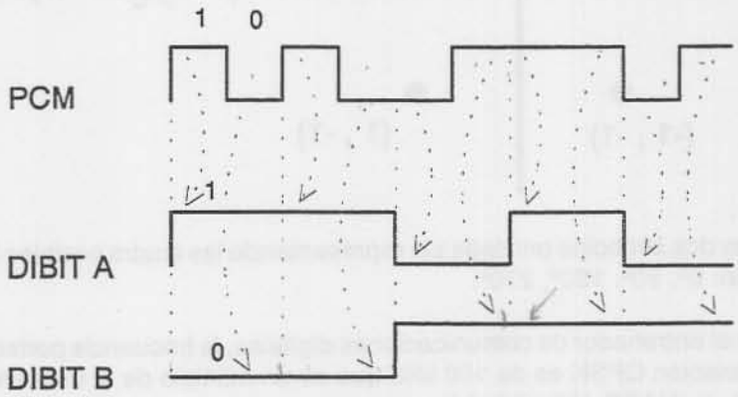
MODULADOR DPSK



3.5 QPSK (Quaternary Phase-Shift Keying)

En este tipo de modulación se agrupan los bits de la señal a transmitir de dos en dos (dibits), asociando a cada dibit una de las cuatro posibles fases que son transmitidas, las cuales tendrán una separación de 90º. Al pasar de bits a dibits la velocidad de variación de la señal a modular disminuye a la mitad, obteniéndose en la señal modulada un ancho de banda dos veces inferior a una señal BPSK.

La obtención de los dibits se realiza sin excesiva dificultad mediante biestables D. Una posible secuencia de bits con la conversión a dibits es la siguiente:



La asignación de los dibits a la fase transmitida es según la siguiente tabla:

A_k	B_k	FASE	I_k	Q_k
1	1	45º	1	1
0	1	135º	-1	1
0	0	225º	-1	-1
1	0	315º	1	-1

Comprobamos que la variación de fase, entre cualquier par de combinaciones que difieran en un sólo bit, es de 90º. Por tanto, en el caso de confundir una fase con una de las más cercanas (caso más probable), el error sería de un bit y no de dos.

En la tabla anterior, a los valores lógicos '0' y '1' de los dibits A_k y B_k, se asignan los valores -1 y 1 para I_k y Q_k, de forma que la expresión matemática de una modulación QPSK es,

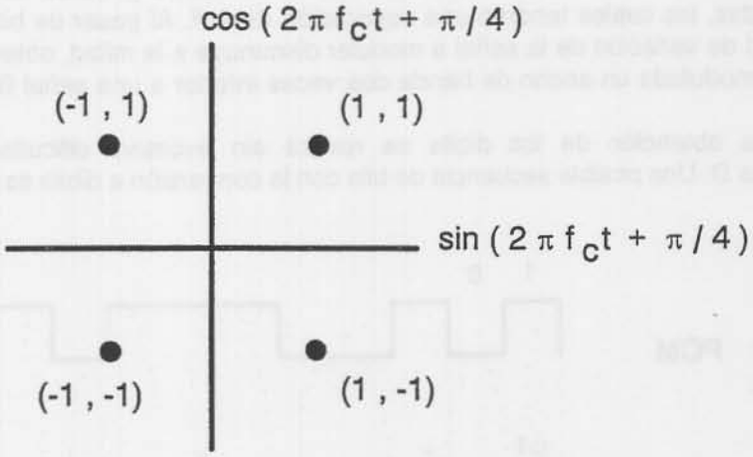
$$s(t) = I_k \cos 2\pi f_c t + Q_k sen\, 2\pi f_c t$$

donde,
s(t) = señal modulada en QPSK,
I_k, Q_k = representan los dibits,
f_c = frecuencia portadora.

Una representación alternativa, y más usada, de s(t) que desplaza las fases 45º es la siguiente:

$$s(t) = I_k \cos\left(2\pi f_c t + \frac{\pi}{4}\right) + Q_k sen\left(2\pi f_c t + \frac{\pi}{4}\right)$$

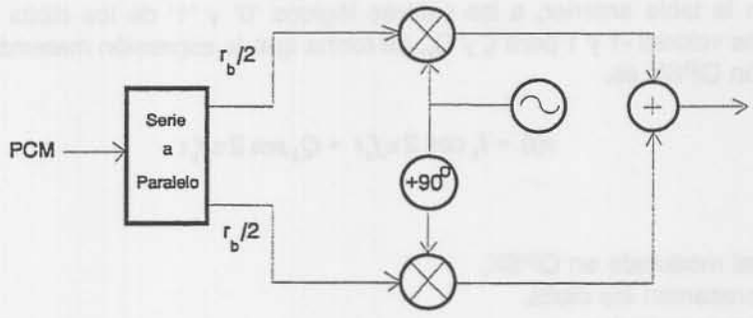
Si pensamos en una representación vectorial en la que el eje horizontal represente el coseno y el eje vertical el seno, comprobamos que las posibles combinaciones de I_k y Q_k nos proporcionan la fase indicada en la tabla anterior. La constelación de la modulación QPSK toma la siguiente forma:



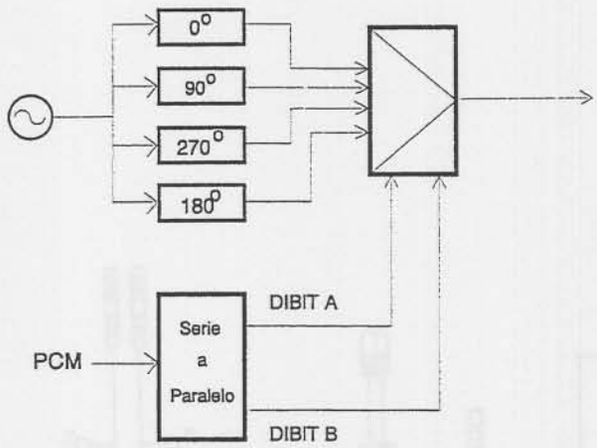
Hay dos símbolos por cada eje representando las cuatro posibles fases de esta modulación: 0º, 90º, 180º, 270º.

En el entrenador de comunicaciones digitales, la frecuencia portadora utilizada en la modulación QPSK es de 166 kHz que es un múltiplo de la frecuencia de salida de bits de la UART (83 Kbits/s), tal y como ocurría con BPSK (322 kHz). Las modulaciones DQPSK y 8-QAM también utilizarán la misma frecuencia portadora. La frecuencia portadora de la modulación QPSK es la mitad que la de la modulación BPSK, sin embargo, al hacer agrupaciones de dibits y transmitir con cuatro posibles fases, conseguimos tener el mismo número de ciclos de portadora dentro de cada símbolo, ya que el tiempo de un símbolo se duplica.

El esquema de bloques de un modulador QPSK, se obtiene fácilmente a partir de la ecuación generadora de la modulación. Consta de un convertidor serie a paralelo para pasar de bits a dibits, y dos multiplicadores que actúan sobre la portadora y un dibit; y la portadora desfasada 90º y el otro dibit. Finalmente el resultado de las dos ramas es sumado obteniendo cuatro posibles fases.



Una manera más sencilla de hacer un modulador QPSK, especialmente trabajando con lógica digital, es entrando a un multiplexor cuatro señales de la misma frecuencia (frecuencia portadora) desfasadas entre sí 90º y seleccionando en función de los dibits la adecuada. El esquema de bloques es el mostrado en la siguiente figura.



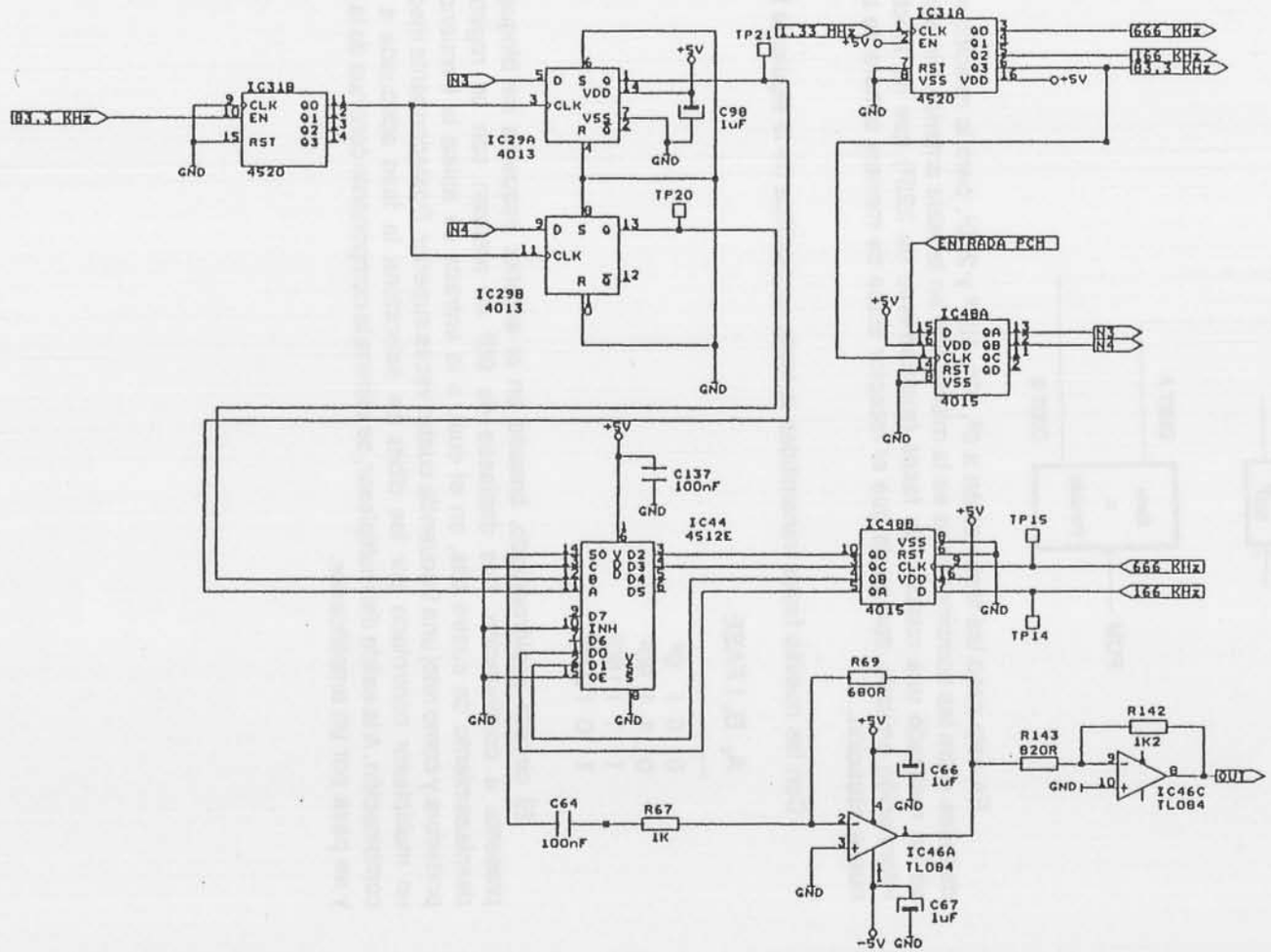
En este caso las fases están a 0º, 90º, 180º y 270º, pero la relación relativa de fases entre las combinaciones es la misma que en la tabla anterior. Simplemente se ha realizado una rotación de fases (exactamente de 225º) que no afecta a la información enviada, con tal de que el receptor actúe de manera coherente ante la nueva situación.

Con las nuevas fases transmitidas la tabla se modifica de la siguiente forma:

A_k	B_k	FASE
0	0	0º
0	1	90º
1	1	180º
1	0	270º

El circuito implementado, basado en el anterior esquema de bloques, se presenta a continuación. Los desfases de 90º se realizan con un registro de desplazamiento de cuatro bits, en el cual, a la entrada se aplica la frecuencia de portadora y como reloj una frecuencia cuatro veces superior. Posteriormente mediante un multiplexor controlado por los dibits se selecciona la fase adecuada a cada combinación. A la salida del multiplexor, se elimina la componente continua de la señal y se pasa por un amplificador.

MODULADOR QPSK



3.6 DQPSK (Differential Quaternary Phase-Shift Keying)

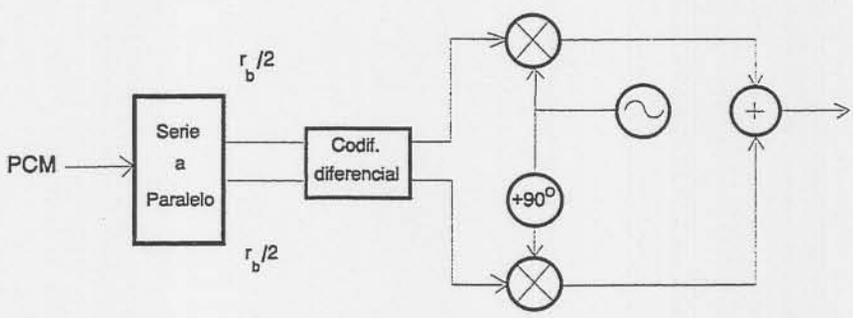
La modulación QPSK, como ocurría con BPSK presenta ambigüedades de fase. En el caso de QPSK podemos recuperar cuatro fases diferentes y sólo una de ellas es la correcta. De forma paralela a lo que hacia la DPSK respecto a la BPSK, existe una codificación diferencial, DQPSK, que resuelve el problema de las ambigüedades de fase de la modulación QPSK.

La codificación diferencial a aplicar en el caso cuaternario es:

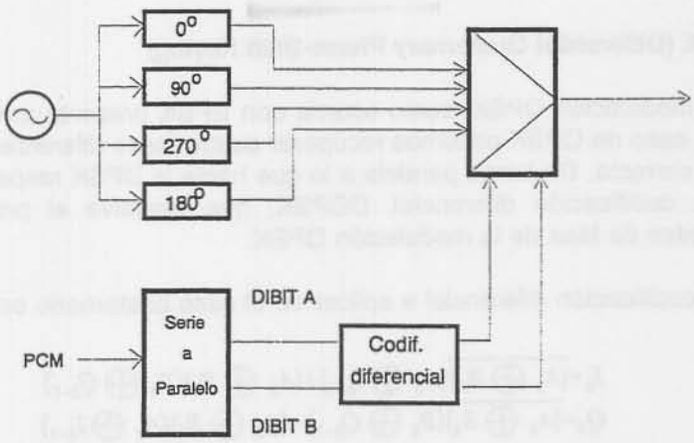
$$I_k=\overline{(A_k \oplus B_k)}(A_k \oplus I_{k-1})+(A_k \oplus B_k)(B_k \oplus Q_{k-1})$$
$$Q_k=\overline{(A_k \oplus B_k)}(B_k \oplus Q_{k-1})+(A_k \oplus B_k)(A_k \oplus I_{k-1})$$

donde A_k y B_k son los dibits originales e I_k y Q_k son los dibits codificados diferencialmente.

La modulación DQPSK consiste en generar los dibits de igual forma que los generamos para la QPSK. Una vez obtenidos los dibits, éstos son codificados diferencialmente como indica la fórmula anterior, por lo que el esquema de bloques de un modulador DQPSK es el de la siguiente figura, donde r_b es la velocidad en bps de la señal PCM (dibits a velocidad $r_b/2$):



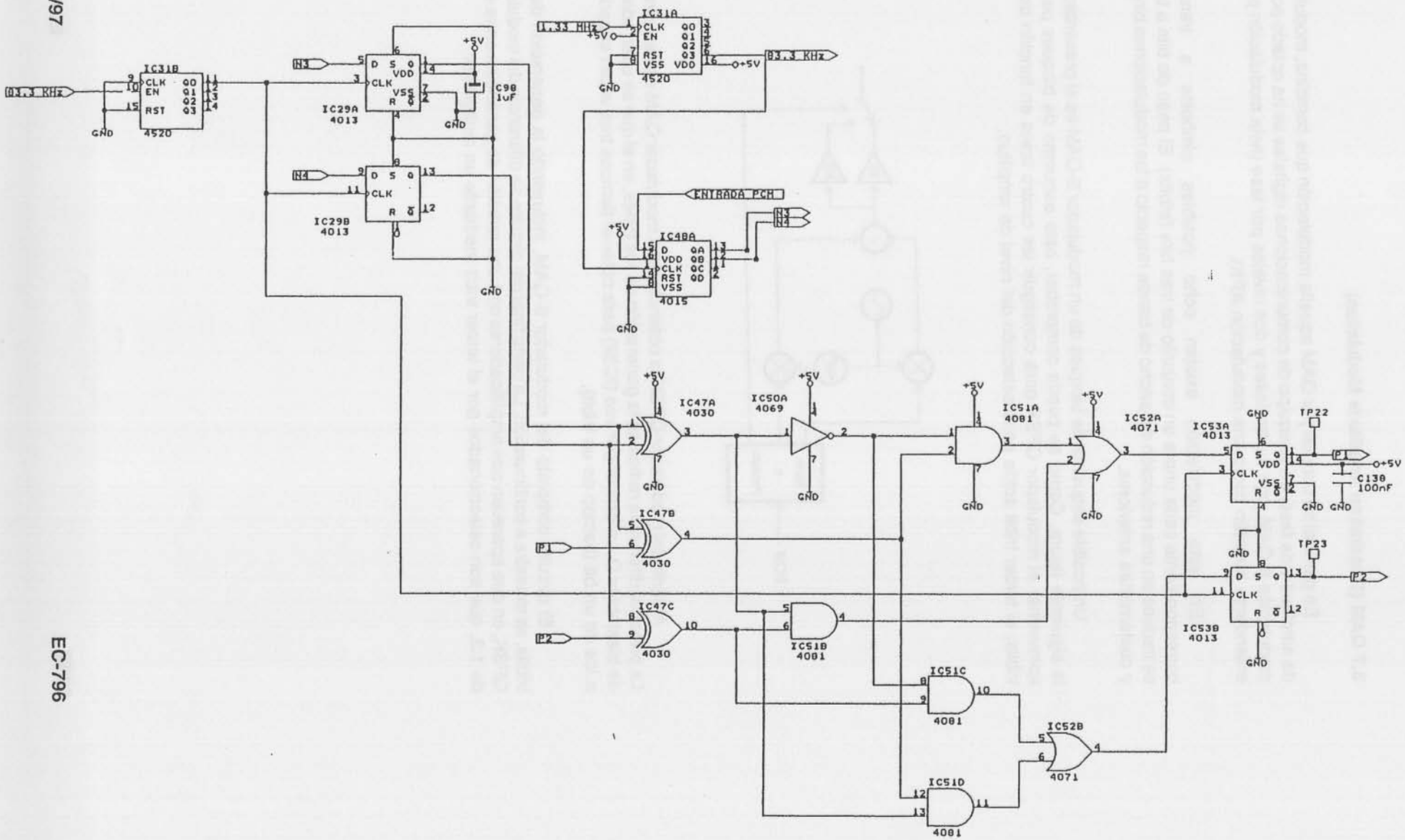
En el entrenador se utiliza el mismo circuito modulador para QPSK y DQPSK. Por lo cual, el esquema de bloques en el que se basa el circuito del equipo es el mostrado a continuación.



La codificación diferencial es directamente implementable con puertas lógicas a partir de las relaciones lógicas antes presentadas. El circuito utilizado para la codificación es el de la siguiente página.

La constelación de la DQPSK es la misma que en la modulación QPSK, puesto que independientemente de la codificación diferencial, las posibles fases que podemos encontrar en la salida son las mismas.

MODULADOR DQPSK

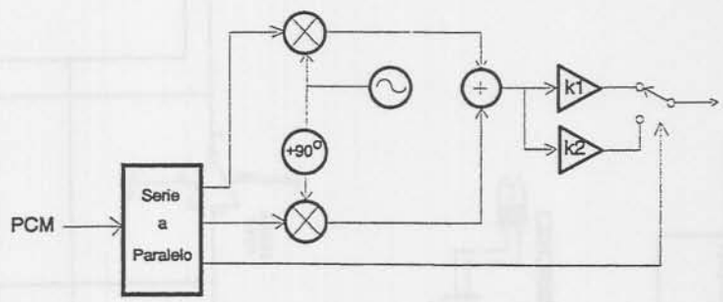


3.7 QAM (Quadrature Amplitude Modulation)

En general se conoce por QAM aquella modulación que combina, modulación de amplitud y de fase. En el equipo de comunicaciones digitales se ha optado por una modulación 8-QAM, con cuatro fases y dos niveles por fase (esta modulación puede entenderse también como una modulación APK).

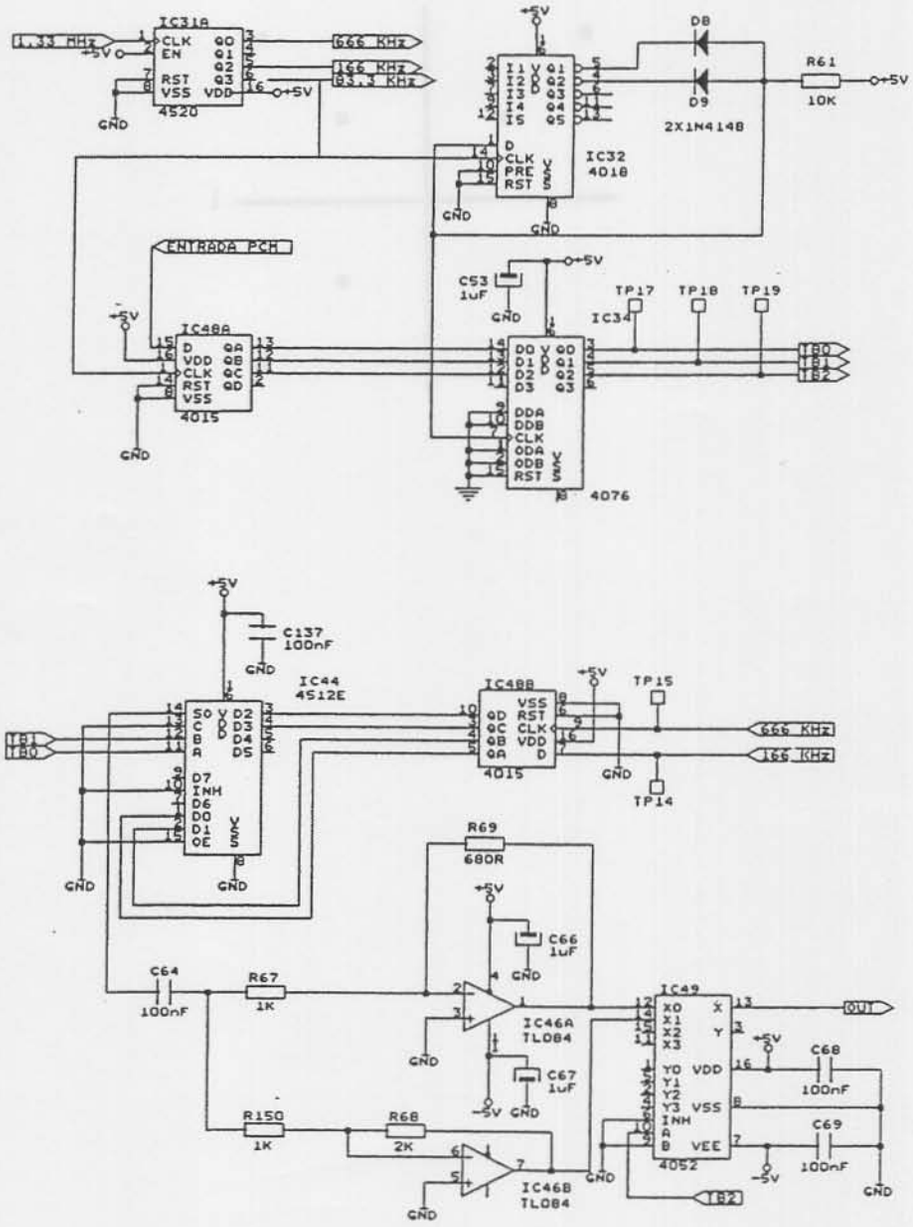
En esta modulación existen ocho posibles símbolos a transmitir correspondiente cada uno a un conjunto de tres bits (tribits). El paso de bits a tribits, se traduce en una reducción del ancho de banda respecto a las modulaciones binarias y cuaternarias anteriores.

Un posible esquema de bloques de un modulador 8-QAM es el presentado en la siguiente figura. Como se puede comprobar, este esquema de bloques permite aprovechar el modulador QPSK para conseguir las cuatro fases en función de dos tribits; el tercer tribit actúa en la selección del nivel de amplitud.



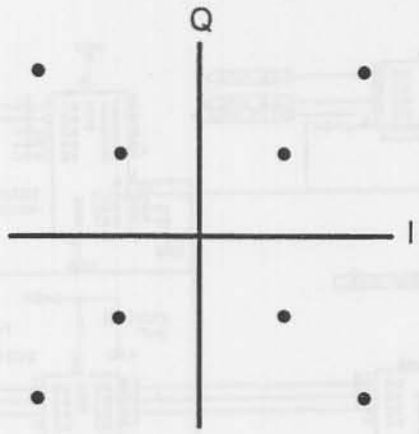
A partir del modulador QPSK la obtención del modulador QAM es casi directa. La principal diferencia radica en la generación de los tribits, en el que se usan además de biestables D, un divisor por tres (IC32) para obtener tiempos tres veces superiores a los de un bit (tiempo de un tribit).

El circuito completo del modulador 8-QAM, incluyendo la generación de los tribits, se muestra a continuación. La parte final del circuito se diferencia del modulador QPSK, en que aparecen dos amplificadores con una relación de ganancias entre ellos de 1:3, que son seleccionados por el tercer tribit mediante un multiplexor.



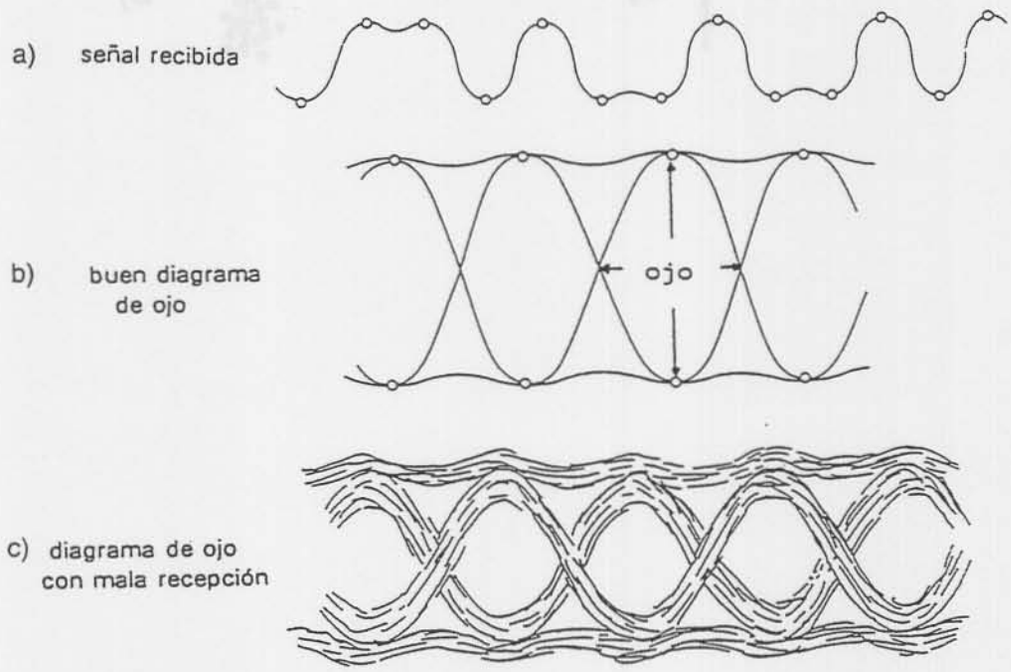
MODULADOR QAM

La constelación de la modulación implementada, en la que se puede observar que tenemos cuatro fases posibles con dos amplitudes por cada una se muestra a continuación.



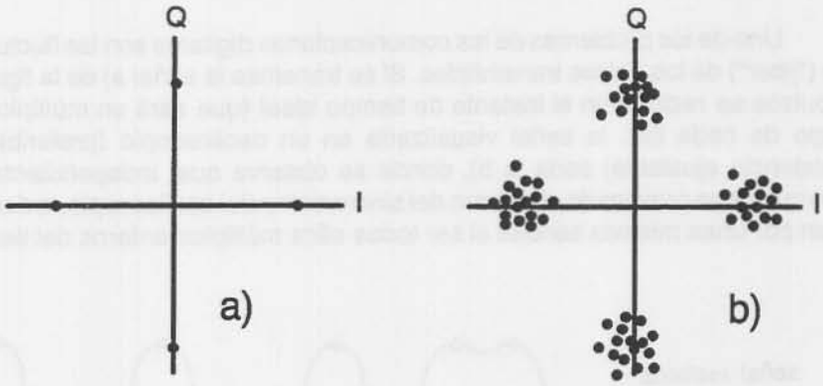
4 FLUCTUACIONES DE FASE. DIAGRAMAS DE OJO

Uno de los problemas de las comunicaciones digitales son las fluctuaciones de fase ("jitter") de los pulsos transmitidos. Si se transmite la señal a) de la figura, y todos los pulsos se reciben en el instante de tiempo ideal (que será un múltiplo entero del tiempo de cada bit), la señal visualizada en un osciloscopio (preferiblemente de persistencia ajustable) sería la b), donde se observa que, independientemente del pulso que haya provocado el disparo del sincronismo del osciloscopio, todos los pulsos pasan por unas mismas sendas al ser todos ellos múltiplos enteros del tiempo de bit.



Si, debido a fluctuaciones esto no es así, se vería un trazado en el osciloscopio como el de la figura c), donde, cuanta más fluctuación haya en los pulsos recibidos, más se cerrará el "ojo" que se ve en la pantalla. Uno de los principales motivos de las fluctuaciones de fase es el ruido captado por los PLL's, que puede producir variaciones de la frecuencia del VCO (ver Apéndice F).

Una información similar la ofrecen las constelaciones. Si no hay errores de fase ni ruidos, los puntos de cada constelación son siempre los mismos (fig a). Si aumenta el ruido se distribuyen en un entorno alrededor del punto teórico en la constelación, el cual será tanto mayor como mayor sea el efecto del ruido (fig. c). La figura muestra una constelación para una modulación QPSK sin ruido (b) y con ruido (c).


Q
I
a)
Q
I
b)

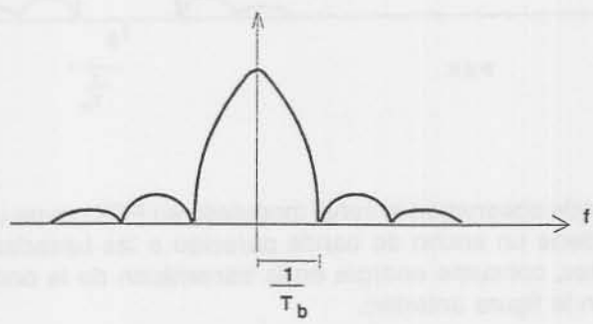
5 COMPARACIÓN DE LAS MODULACIONES

En este apartado se realiza una comparación entre las diferentes modulaciones.

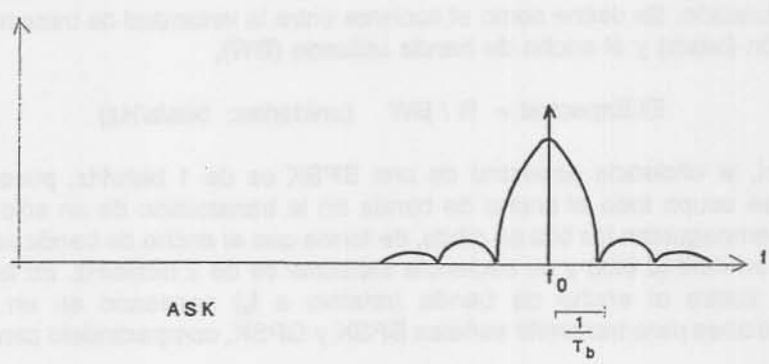
Algunos de los factores más importantes a tener en cuenta en las modulaciones digitales son: el ancho de banda de las modulaciones, porque determina la máxima velocidad de transmisión de bits por un canal (todo canal real presenta un efecto de filtrado en frecuencia), y la probabilidad de error, que es un indicativo de la calidad de la señal recuperada dada una determinada relación señal/ruido en recepción.

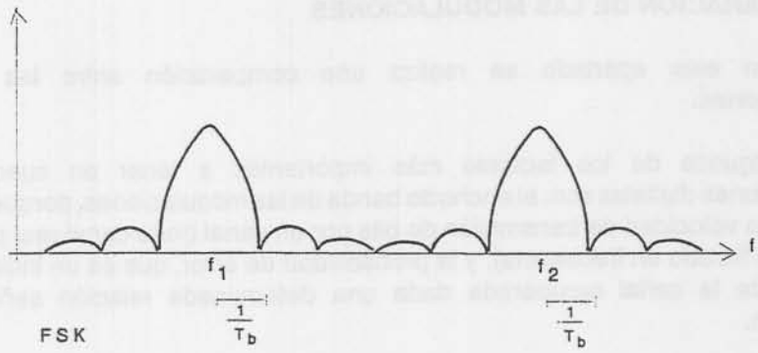
5.1 Anchos de banda de las modulaciones

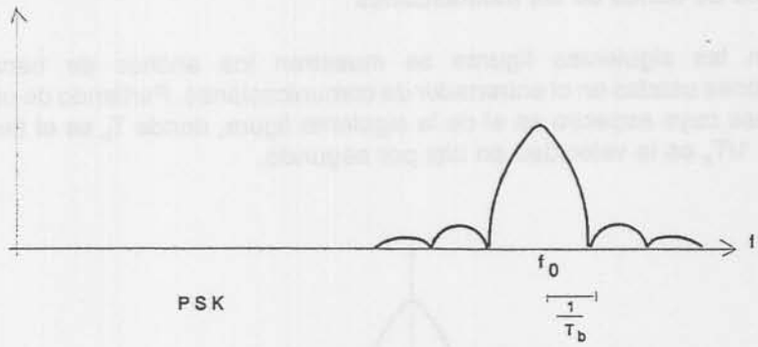
En las siguientes figuras se muestran los anchos de banda de las modulaciones usadas en el entrenador de comunicaciones. Partiendo de una señal en banda base cuyo espectro es el de la siguiente figura, donde T_b es el tiempo de un bit, y $R = 1/T_b$ es la velocidad en bits por segundo,



Los espectros de las señales moduladas con una portadora f_0 en ASK y PSK, y con portadoras f_1 y f_2 son los de las siguientes figuras:





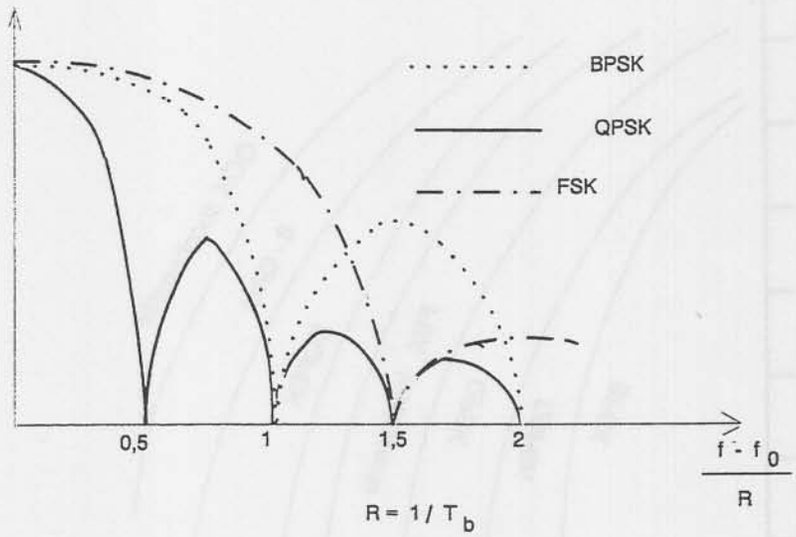


Como puede observarse la señal modulada en FSK ocupa un mayor ancho de banda. La ASK tiene un ancho de banda parecido a las basadas en PSK, pero, a diferencia de éstas, consume energía en la transmisión de la onda portadora (raya espectral en f_0 en la figura anterior).

Sin embargo, no son éstos anchos de banda los que más interesan en comunicaciones digitales. El parámetro de mayor interés es la **EFICIENCIA ESPECTRAL**, que es un indicador de lo "bien" que se utiliza el ancho de banda de cada modulación. Se define como el cociente entre la velocidad de transmisión de la información (bits/s) y el ancho de banda utilizado (BW),

Ef.Espectral = R / BW (unidades: bits/s/Hz)

Así, la eficiencia espectral de una BPSK es de 1 bit/s/Hz, pues, en cada instante, se ocupa todo el ancho de banda en la transmisión de un sólo bit. En la QPSK se empaquetan los bits en dibits, de forma que el ancho de banda se usa para transmitir un dibit (2 bits) y su eficiencia espectral es de 2 bits/s/Hz. En la siguiente figura se ilustra el ancho de banda (relativo a f_0) necesario en un canal de comunicaciones para transmitir señales BPSK y QPSK, comparándolo con el de una FSK,



f_0 : frecuencia portadora

Atendiendo al lóbulo principal, vemos que con la QPSK se pueden usar canales de comunicación con la mitad de ancho de banda del que sería necesario para la BPSK. Una ecuación aproximada para determinar el ancho de banda para modulaciones M-PSK y M-QAM (M: número de niveles) viene dada por la expresión:

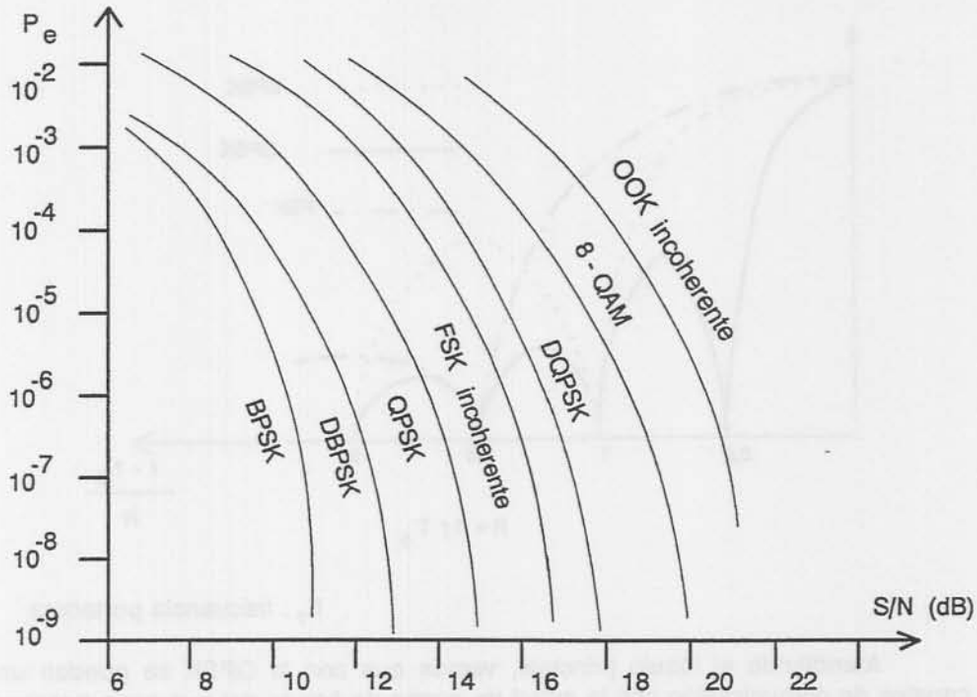
$$BW = 2\ R\ /\ N,$$

Siendo N el número de bits por símbolo (N=1 en BPSK, N=2 en QPSK y DQPSK, N=3 en 8-QAM).

5.2 Probabilidades de error

Ya se ha avanzado en la introducción que el principal mérito de las comunicaciones digitales respecto a las analógicas es su menor probabilidad de error, es decir, su mayor robustez frente a ruidos e interferencias.

Por probabilidad de error entendemos la probabilidad de que un símbolo transmitido sea erróneo después de haber transmitido un cierto número de ellos. Así, una probabilidad de error de 10^{-2} significa que la "esperanza" es de recibir un símbolo erróneo cada 100 símbolos transmitidos. Obviamente, esta probabilidad será mayor cuanto menor sea la potencia de la señal transmitida y mayor sea el ruido. Por ello, en la siguiente gráfica se comparará la probabilidad de error de las diferentes modulaciones del equipo respecto a la relación señal/ruido (S/N: signal to noise).



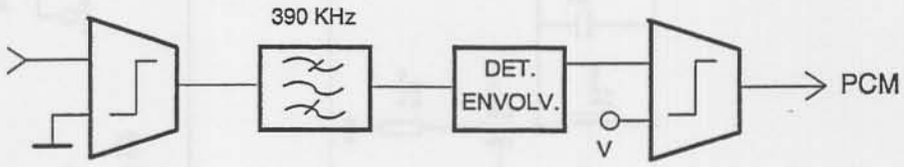
En teoría, la PSK es la más fiable, es decir, es la que más asegura recibir correctamente los símbolos transmitidos (un símbolo será un bit en todas las modulaciones, excepto en las QBSK y DQPSK, donde un símbolo es un dibit, y en la QAM, que es un tribit). Le siguen, por orden decreciente de fiabilidad, la DPSK, QPSK, FSK, DQPSK, 8-QAM y la ASK (OOK).

Sin embargo, esta ordenación obedece a criterios puramente matemáticos. En la práctica las modulaciones diferenciales (DPSK y DQPSK), al tener menos restricciones en la recuperación de una portadora sincronizada, pueden reducir el efecto de limitaciones circuitales mas notorias en modulaciones no diferenciales. Además, la opción circuital escogida para la realización específica de cada modulador y demodulador es otro factor clave en la fiabilidad de cada comunicación.

6 DEMODULACIONES

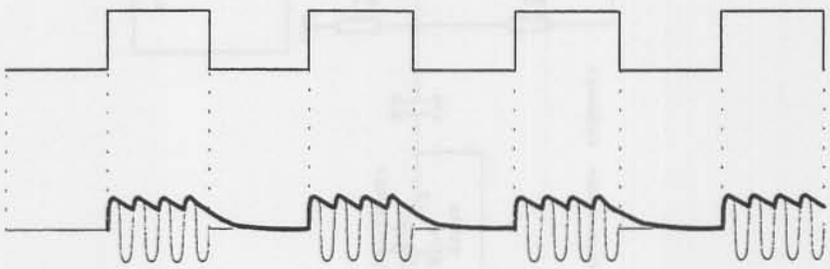
6.1 ASK

La demodulación de señales ASK se realiza discriminando entre el nivel de amplitud alto y el bajo. El esquema de bloques de un demodulador OOK es el presentado en la figura.



El primer paso es un comparador, encargado de conseguir a la salida el mismo nivel independientemente del nivel presente a la entrada (actúa como control de nivel). La comparación la podemos hacer puesto que se trata de una OOK (On-Off Keying), si utilizásemos una ASK con portadora presente en el nivel bajo destruiríamos la información al recuadrar la entrada. En este caso habría que recurrir a un circuito CAG (Control Automático de Ganancia) de los habituales en radiorecepción.

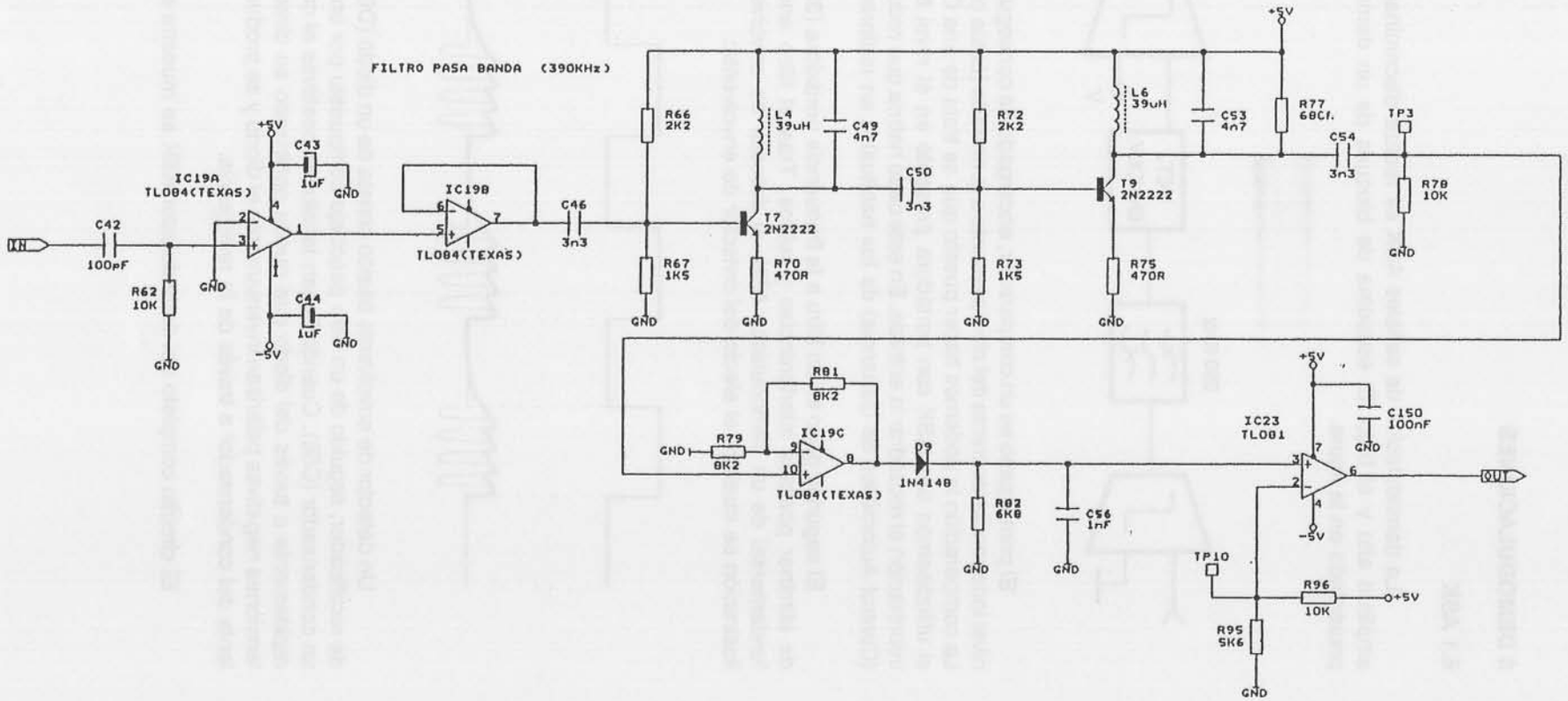
El segundo paso es un filtro a la frecuencia portadora (390 kHz) con el objeto de eliminar posibles interferencias y ruidos. Tras el filtro encontramos el bloque fundamental de un demodulador ASK, el detector de envolvente. En la siguiente ilustración se muestra el efecto del detector de envolvente:



Un detector de envolvente básico consta de un diodo (D9) haciendo la función de rectificador, seguido de un filtro pasobajo compuesto por una resistencia (R82) y un condensador (C56). Cuando llegan tensiones positivas el condensador se carga rápidamente a través del diodo que queda polarizado en directa, mientras que las tensiones negativas polarizan inversamente el diodo y se produce una descarga más lenta del condensador a través de la resistencia.

El circuito completo del demodulador ASK se muestra a continuación.

DEMODULADOR ASK

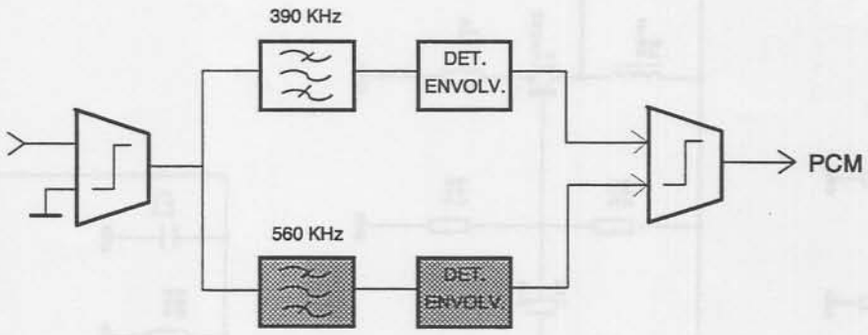


Es fácil diferenciar las siguientes partes:

- Comparador (IC19A), tras eliminar la componente continua.
- Filtro pasobanda a 390 kHz, realizado con dos etapas a transistores que incorporan un filtro L-C paralelo en el colector.
- Detector de envolvente.
- Comparador de salida (IC23), para obtener niveles TTL (+5,0).

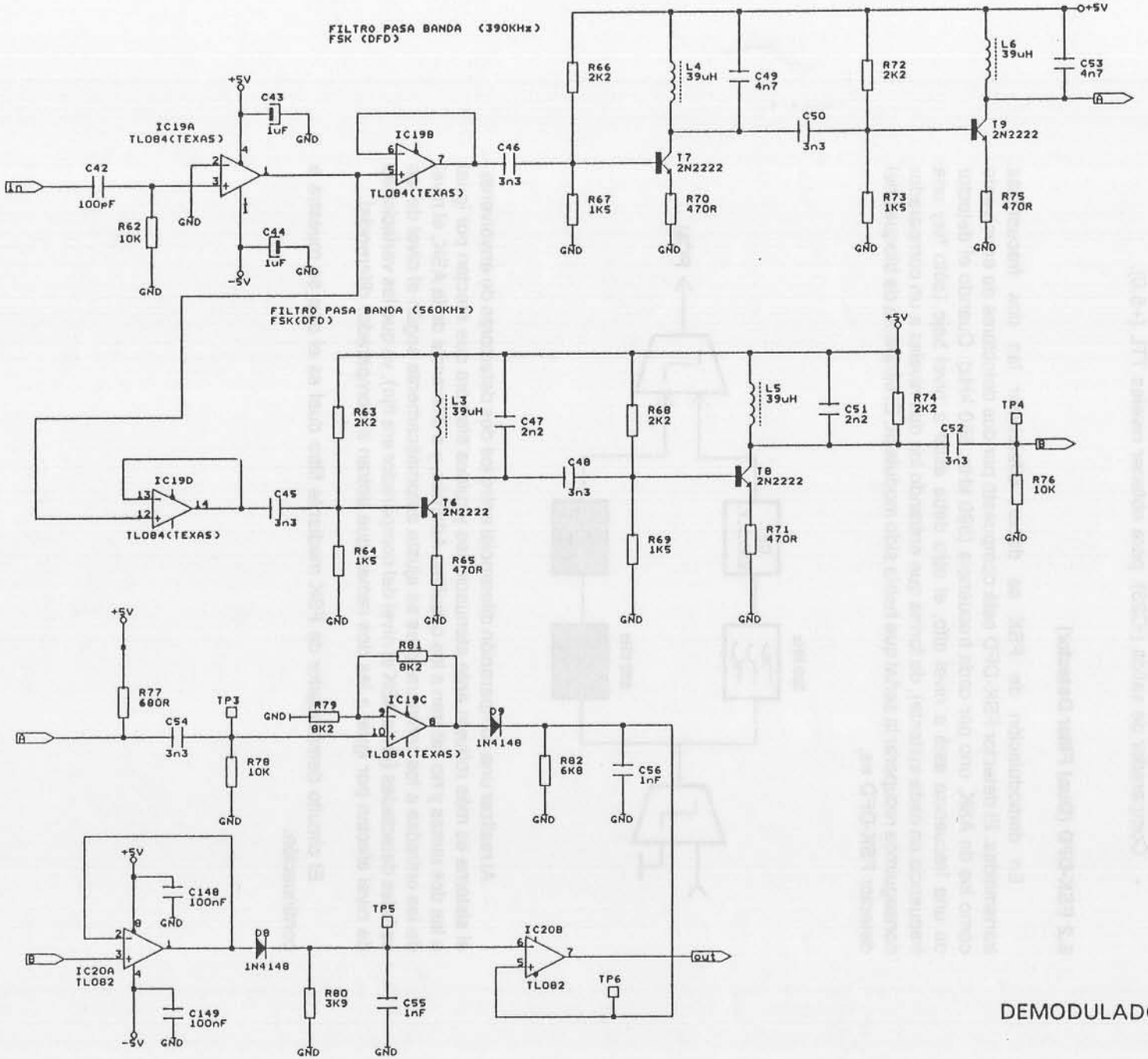
6.2 FSK-DFD (Dual Filter Detector)

En demodulación de FSK se deben diferenciar las dos frecuencias transmitidas. El detector FSK-DFD está compuesto por dos detectores de envolvente como los de ASK, uno por cada frecuencia (390 kHz, 560 kHz). Cuando el detector de una frecuencia está a nivel alto, el otro debe estar a nivel bajo (sólo hay una frecuencia en cada instante), de forma que entrando los dos niveles a un comparador conseguimos recuperar la señal que había sido modulada. El esquema de bloques del detector FSK-DFD es,



Al realizar una comparación diferencial entre los dos detectores de envolvente, el sistema es más robusto ante atenuaciones y ruidos siempre que afecten por igual a las dos ramas y no saturen a los circuitos. Además, y a diferencia de la ASK, el nivel de las entradas a los comparadores se ajusta automáticamente según el nivel de las señales detectadas (en la ASK el nivel del comparador era fijo), ya que las variaciones de nivel afectan por igual a las dos ramas que entran al comparador diferencial.

El circuito demodulador de FSK mediante filtro dual es el que se muestra a continuación:

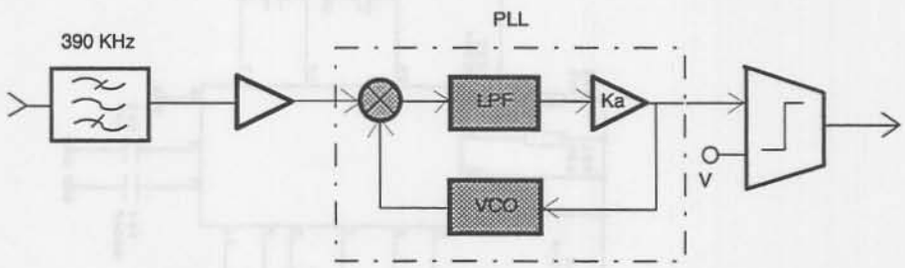


DEMODULADOR FSK-DFD

En el circuito observamos que tenemos dos etapas, una que actúa a 390 kHz (la misma que en ASK) y otra a 560 kHz. La salida de las dos etapas entra a un comparador (IC20B) que proporciona a la salida la señal demodulada.

6.3 FSK - PLL

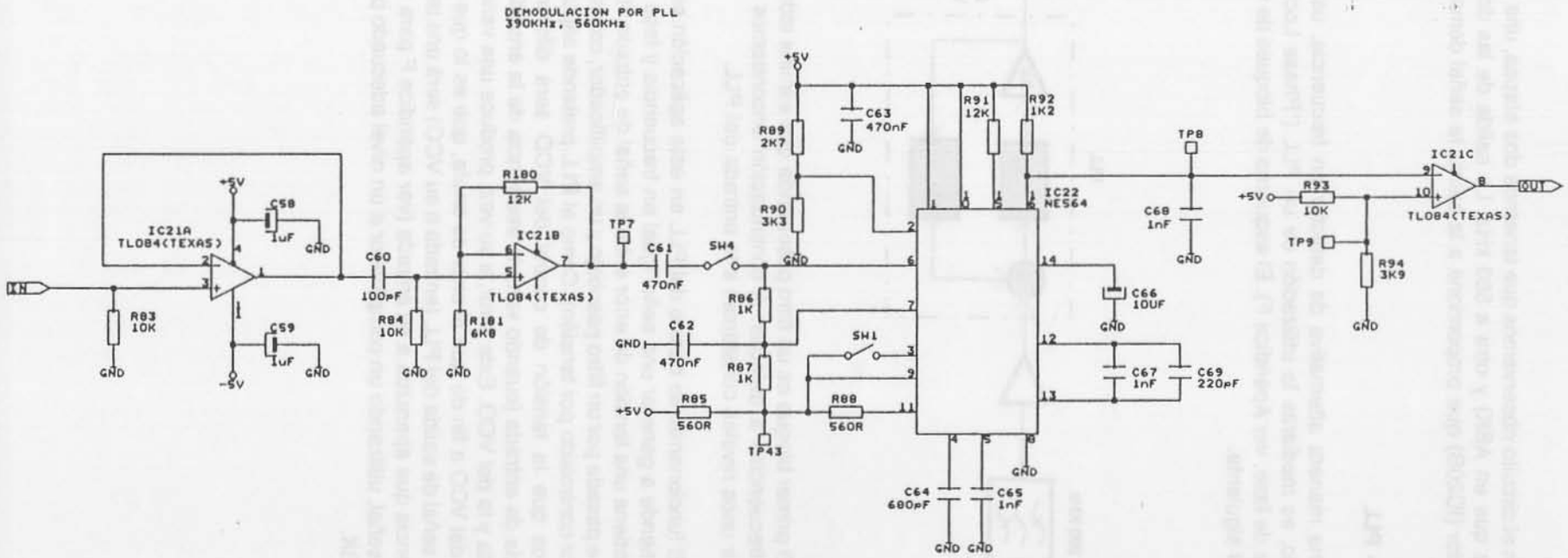
Una manera alternativa de detectar en frecuencia, usada en sistemas de telemando, es mediante la utilización de un PLL ("Phase Locked Loop" ó lazo de enganche de fase, ver Apéndice F). El esquema de bloques de un detector mediante PLL es el siguiente.



El primer bloque es un filtro pasobanda que elimina todo lo que no esté entre las dos frecuencias a detectar. A continuación encontramos un comparador para conseguir unos niveles constantes a la entrada del PLL.

El funcionamiento básico del PLL en esta aplicación es el siguiente: el VCO del PLL tiende a generar una señal igual en frecuencia y fase a la de entrada. Para ello se obtiene una tensión de error entre la señal de entrada al PLL y la de salida del VCO, que pasada por un filtro pasobajo y un amplificador, controla por tensión al VCO (oscilador controlado por tensión). Como el PLL pretende seguir la señal de entrada, tendremos que la tensión de control del VCO será diferente en función de la frecuencia de entrada (cuando varíe la frecuencia de la entrada se produce un error entre ésta y la del VCO. Este error, a su vez, produce una variación de la tensión de entrada del VCO a fin de que el error se anule, que es lo que persigue el PLL). Por tanto, la señal de salida del PLL (entrada a su VCO) será una tensión relacionada con la frecuencia que aparezca a su entrada (ver apéndice F para más detalles). A partir de esta señal, utilizando un comparador a un nivel adecuado podemos demodular la señal FSK.

DEMODULADOR FSK-PLL

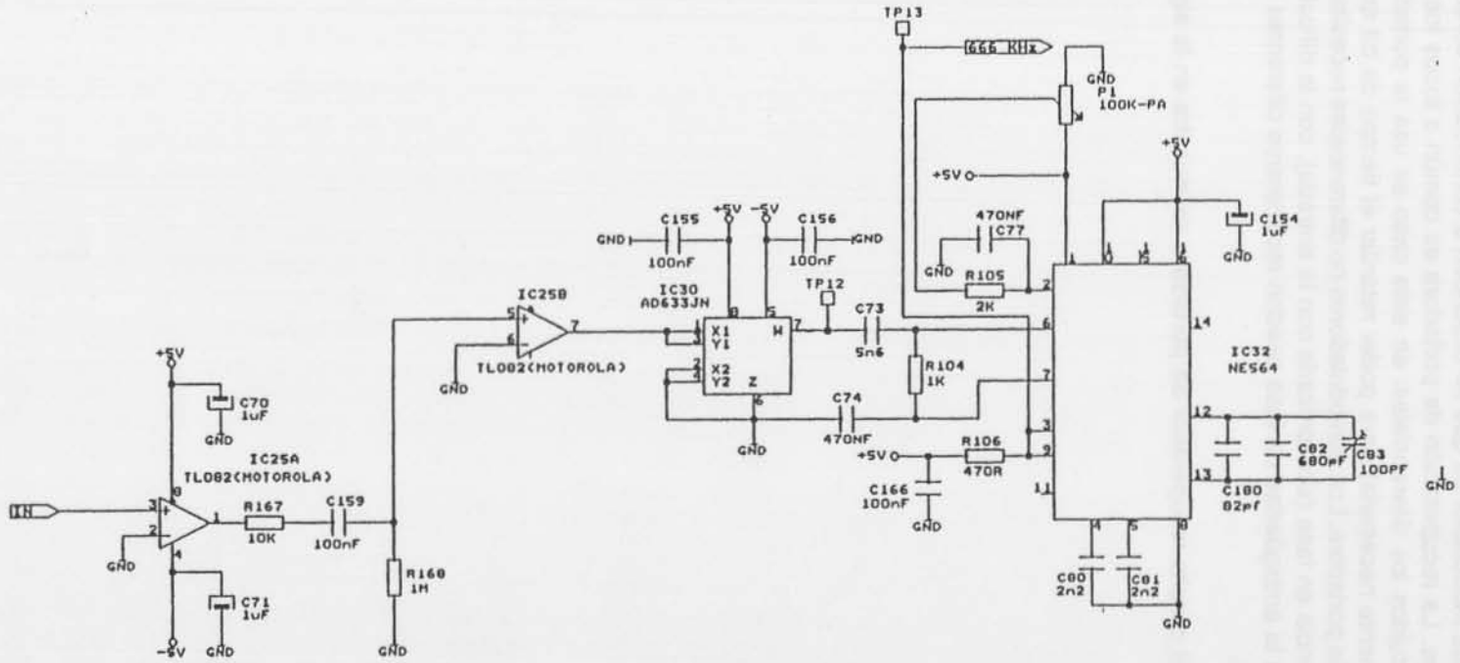


6.4 Recuperación de portadora

Las modulaciones que se describen a continuación contienen la información en la fase. La recuperación de portadora es común a todos los demoduladores de fase, incluidos los diferenciales: en este caso se usa la portadora (aunque no es estrictamente necesaria) para poder retardar el tiempo de bit que es múltiplo de la frecuencia portadora. Los demoduladores no diferenciales necesitan además recuperar la frecuencia en fase (sincronizada con la entrada), con la dificultad añadida de que debido a la ambigüedad de fase pueden recuperarse diferentes fases y sólo una es la válida.

El circuito recuperador de portadora se muestra en la siguiente figura:

RECUPERADOR DE PORTADORA



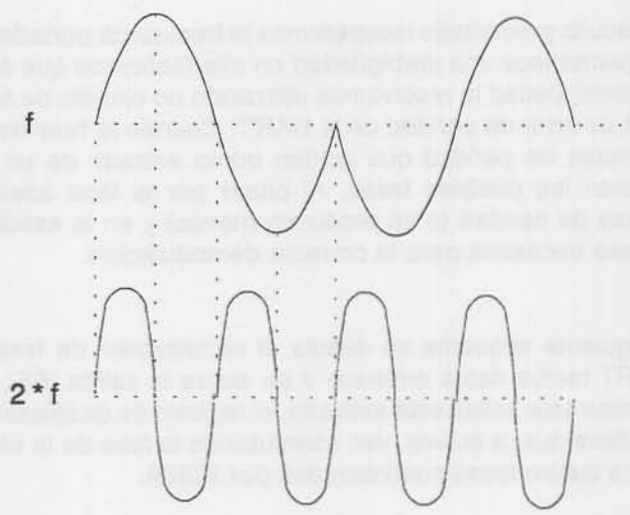
Una forma habitual de recuperar la portadora de una modulación de fase binaria, es elevar al cuadrado la señal de entrada y a continuación engancharla con un PLL que actúa como filtro de banda muy estrecha a la frecuencia doble. Una señal de fase binaria presenta dos posibles fases; por tanto, al elevar al cuadrado obtenemos una frecuencia doble que elimina los cambios de fase, según la ecuación (recuérdese que $\cos^2 x=(\cos 2x + 1)/2$):

$$\cos^2(\omega_0 t+\phi) = \cos(\omega_0 t+\phi).\cos(\omega_0 t+\phi) =$$

$$= \frac{\cos(2\omega_0 t+2\phi)+\cos 0}{2} = \frac{\cos(2\omega_0 t+2\phi)+1}{2}$$

Es decir, después de elevar al cuadrado aparece una componente contínua (de frecuencia 0) que el filtro basado en el PLL elimina y otra de frecuencia doble ($2w_0$). La fase también queda doblada; si es cero sigue siendo cero, y si es de 180º pasa a ser de 360º = 0º. De este modo desaparecen las variaciones de fase en la señal elevada al cuadrado (hay una única fase). Para recuperar la frecuencia portadora será suficiente un divisor por 2, fácil de realizar con circuitos lógicos.

En el siguiente gráfico, se puede observar que, efectivamente, con la frecuencia doble eliminamos los cambios de fase.



Para el caso de las señales con cuatro fases deberemos elevar la señal de entrada a la cuarta potencia, para obtener una frecuencia cuádruple de la de portadora, que será la adquirida por el filtro PLL. Trabajando con la cuarta frecuencia y dividiendo por cuatro, habremos eliminado los cambios de fase.

Habitualmente se utilizan elementos no lineales para conseguir elevar la señal. En nuestro caso, como se puede ver en el circuito analógico, utilizamos un comparador y un multiplicador (IC30). El comparador es no lineal. Esto unido al Slew Rate (tiempo de subida limitado), genera no linealidades que además son elevadas al cuadrado mediante el multiplicador, provocando la aparición de múltiples frecuencias.

El bloque de no linealidades presenta entre las frecuencias la deseada, que es la que capturamos utilizando el PLL (IC32) (con un margen de captura muy estrecho alrededor de la frecuencia deseada: su funcionamiento es similar al de un filtro paso banda muy estrecho). La salida del PLL, de nivel TTL, la enviamos directamente a un divisor para conseguir la frecuencia de la portadora.

El circuito es único para todas las modulaciones de fase del equipo, porque las binarias son transmitidas a frecuencia doble de las cuaternarias, haciendo posible que la frecuencia central del PLL sea la misma. El bloque que genera no linealidades, obtiene tanto potencias de dos (BPSK, DPSK) como de cuatro (QPSK, DQPSK, 8-QAM), por lo que es válido para todas las modulaciones de fase.

Con el circuito presentado recuperamos la frecuencia portadora con una única fase, pero aún permanece una ambigüedad en ella (sabemos que es única, pero no su valor). Esta ambigüedad la resolvemos utilizando un circuito de selección de fase basado en el bit de error de paridad de la UART. Cuando la fase no es la adecuada se producen errores de paridad que actúan como entrada de un contador cuyas salidas multiplexan las posibles fases. Al pasar por la fase adecuada, dejan de producirse errores de paridad (o se producen menos) y en la salida del multiplexor permanece la fase necesaria para la correcta demodulación.

En el siguiente esquema se detalla el recuperador de fase. Si ésta no es correcta, la UART recibe datos erróneos y se activa la salida 'PE', de ERROR DE PARIDAD. Mientras esta salida esté activada, el registro de desplazamiento IC34B va variando sus salidas que, a su vez, van conmutando la fase de la señal de salida de IC35 de entre las cuatro fases suministradas por IC33A.

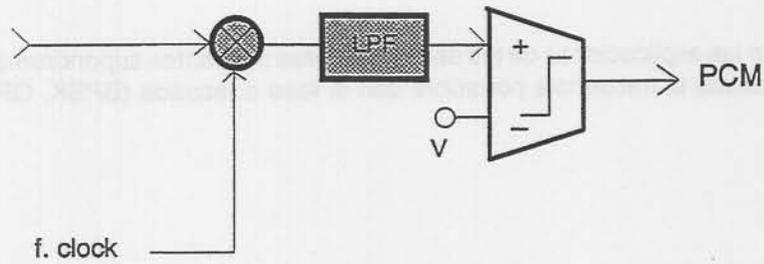
Al pasar el conmutador por la fase correcta, la señal se demodula correctamente y la señal de entrada a la UART no presenta errores, con lo que ya no se activa la salida 'PE'. A partir de este momento el sistema permanece en este estado de funcionamiento, del que ya no saldrá si no se producen nuevos errores, en cuyo caso se repetiría el proceso de búsqueda de fase.

Cuando transmitimos señal desde un generador TTL, que no pasa por la UART, existe un control manual de fase que nos permite con un conmutador elegir la fase que recupera correctamente la señal. En aplicaciones profesionales se suele eliminar la ambigüedad de fase mediante la transmisión periódica de mensajes reconocibles por el receptor, a partir de los cuales identifica la fase correcta.

En las explicaciones de los demoduladores siguientes supondremos que ya se ha recuperado la frecuencia portadora con la fase adecuada (BPSK, QPSK, QAM).

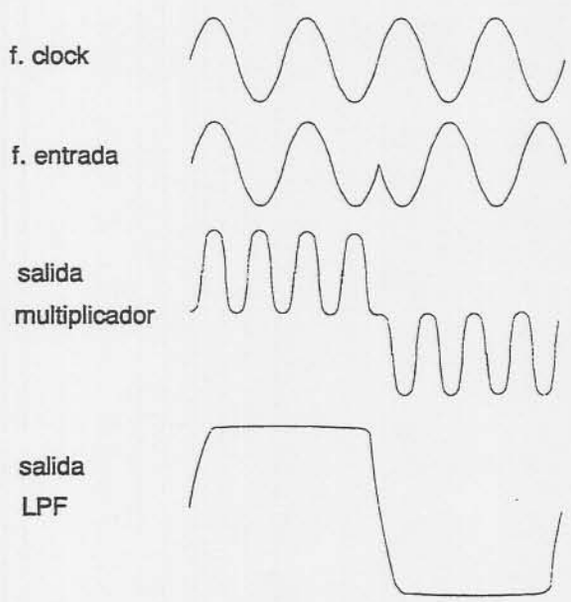
6.5 BPSK

El demodulador BPSK debe obtener, a partir de las dos fases posibles, los bits transmitidos. Un esquema de bloques válido para realizar esta función es el mostrado a continuación.



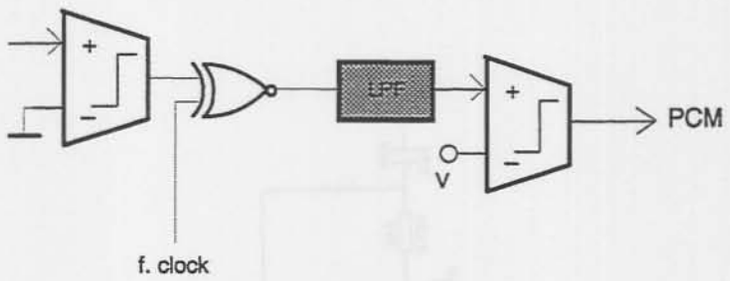
El multiplicador es el elemento principal en la demodulación. Al multiplicar la señal de entrada con la señal de referencia (portadora sinusoidal recuperada, de igual frecuencia a la de entrada y en fase con ella), obtenemos dos frecuencias: una continua y una señal de frecuencia doble. Aplicando la salida a un filtro pasobajo eliminamos la frecuencia doble. La componente continua será positiva cuando la señal de entrada esté en fase con la de referencia y negativa cuando exista un desfase de 180º. A partir de esta señal, mediante un comparador, se consigue obtener la señal de niveles TTL que había sido modulada.

A continuación se muestra gráficamente cómo se obtiene la señal, según los siguientes gráficos: señal de referencia, señal modulada, señal multiplicada y señal filtrada. (LPF: "Low Pass Filter" ó Filtro Pasobajo).



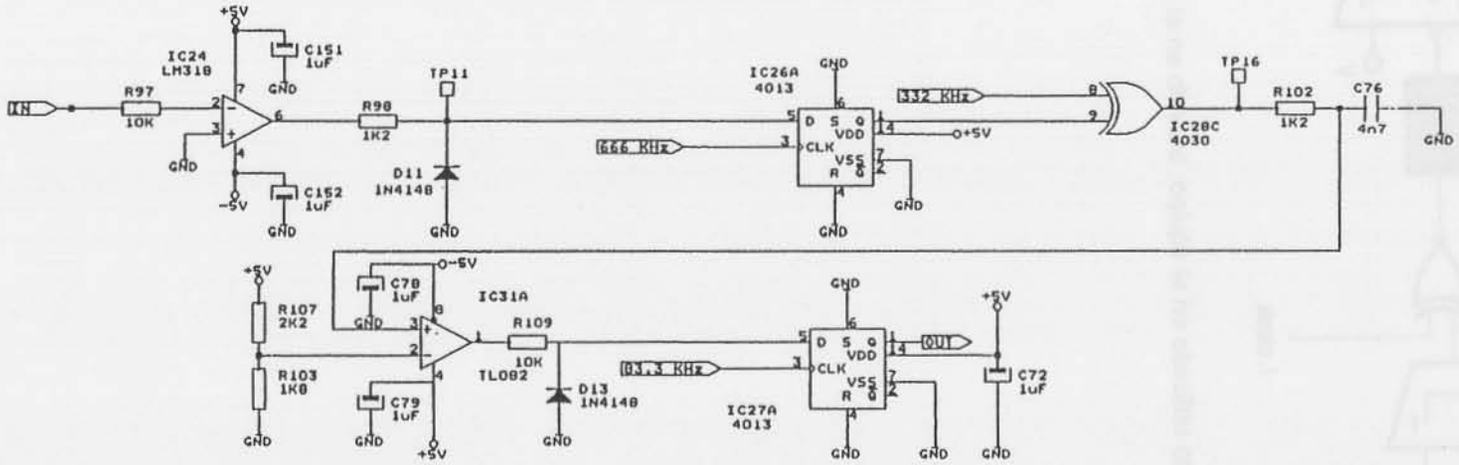
La implementación del circuito se ha realizado con lógica digital, por lo cual se ha substituido el multiplicador analógico por una puerta XNOR (IC28A). Recordemos que una puerta XNOR entrega un uno a la salida cuando las dos entradas son iguales (misma fase) y un cero cuando son diferentes (fase de 180º). Al utilizar una XNOR se ha utilizado un comparador a la entrada y un generador de onda cuadrada como señal de referencia.

El esquema de bloques utilizado trabajando con lógica digital es:



El circuito utilizado en el equipo, basado en el anterior esquema de bloques es:

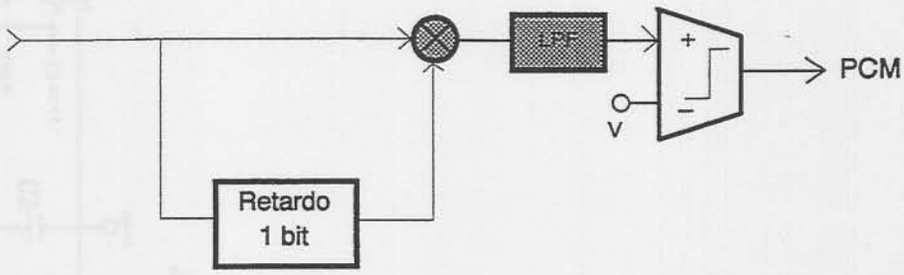
DEMODULADOR BPSK



El comparador final tiene a la salida una resistencia seguida de un diodo para entregar niveles TTL.

6.6 DPSK

La ventaja que ofrece la modulación DPSK respecto a la BPSK es que no requiere una señal de referencia en fase con la entrada. Simplemente es necesario retardar el tiempo de un bit la señal de entrada. Por tanto, el esquema de bloques de un demodulador DPSK queda de la siguiente manera.

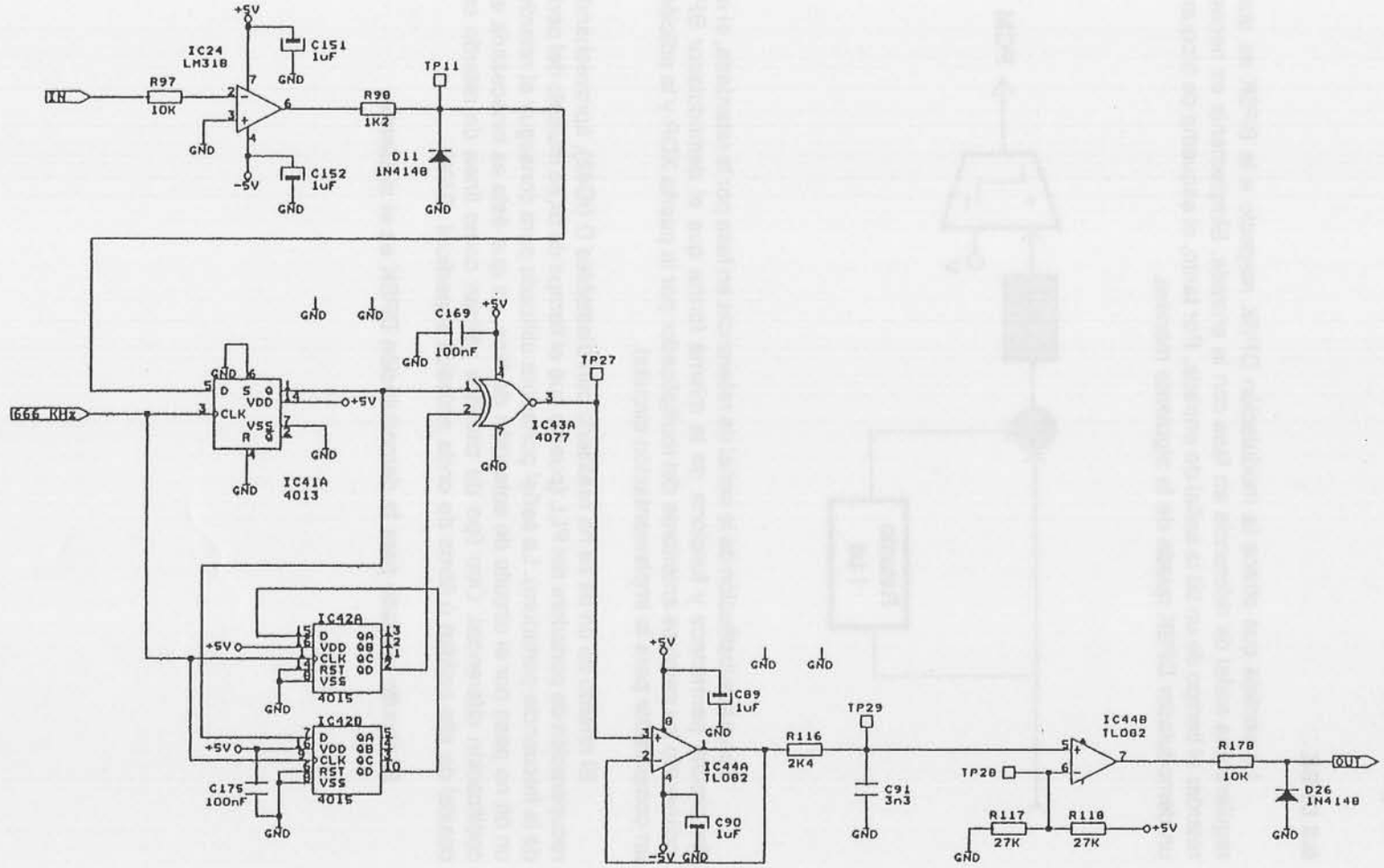


Salvo la substitución de la señal de referencia en fase por la retardada, el resto del circuito permanece y funciona de la misma forma que el demodulador BPSK, incluyendo los cambios anteriores del multiplicador por la puerta XOR y la adición de un comparador para la implementación circuital.

El retardo de un bit se ha realizado con biestables D (IC42), aprovechando la recuperación de portadora del PLL (puesto que el tiempo de bit es múltiplo del periodo de la frecuencia portadora). La señal portadora utilizada para conseguir el retardo de un bit no pasa por el circuito de selección de fase, ya que ésta es innecesaria en la codificación diferencial. Otro tipo de circuitos utilizan como línea de retardo cable coaxial de alta calidad ó filtros de onda acústica superficial (SAW).

El circuito utilizado para la demodulación DPSK es el siguiente:

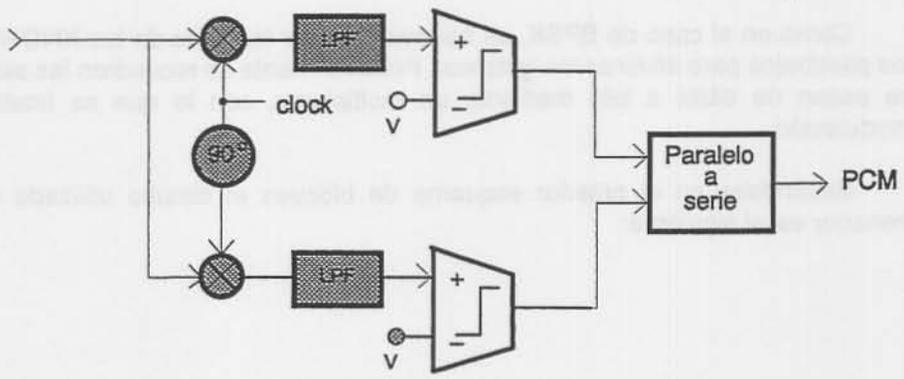
DEMODULADOR DPSK



El inconveniente de la modulación DPSK respecto a BPSK, es que presenta, teóricamente, una probabilidad de error doble (aunque compensada en situaciones degradadas donde sea difícil recuperar el sincronismo de fase, al no ser necesario). Esto se explica puesto que si hay un error en un símbolo, se producen dos errores de bit debido a la decodificación diferencial, ya que cada bit decodificado depende del símbolo actual y del anterior.

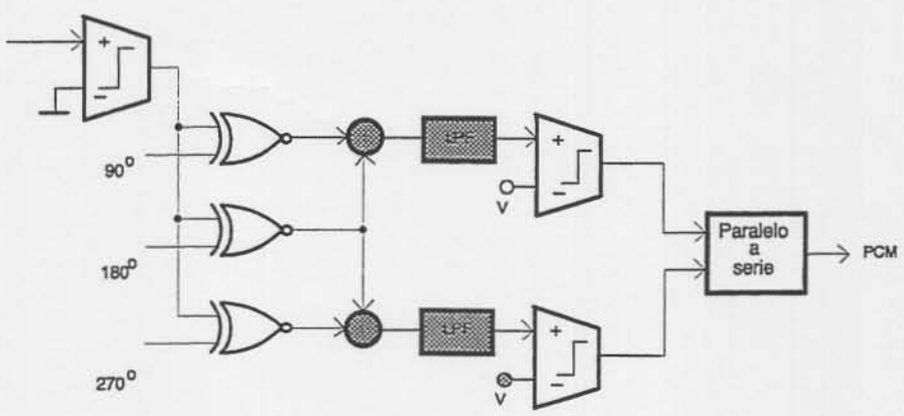
6.7 QPSK

Como en toda demodulación, se trata de hacer el paso inverso al modulador. El esquema de bloques de un demodulador QPSK es:



La señal modulada de entrada se descompone mediante multiplicadores en sus componentes seno y coseno multiplicándola por el reloj de referencia y el reloj de referencia desfasado 90º. Como ocurría al multiplicar en la BPSK, aparece además de la continua, una señal de frecuencia doble que eliminamos mediante los filtros pasobajo. Finalmente mediante el convertidor paralelo a serie pasamos de dibits a bits obteniendo la señal PCM.

Una forma sencilla de hacer una demodulación cuaternaria de fase mediante lógica digital, es la que se muestra a continuación.



En la modulación se asignó a cada dos dibits una fase:

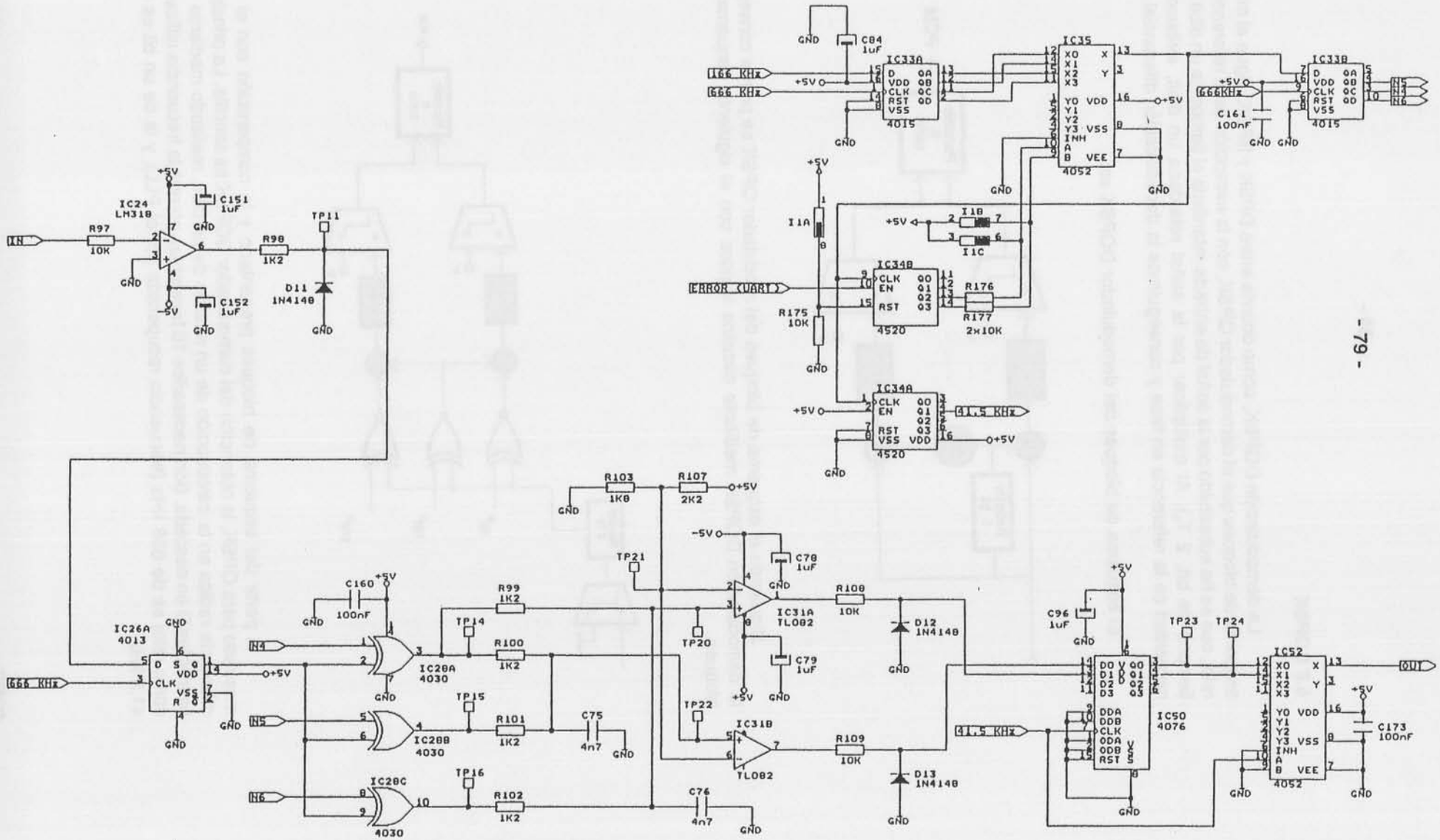
A_k	B_k	I	0º	90º	180º	270º
0	0	I	1	0	0	0
0	1	I	0	1	0	0
1	1	I	0	0	1	0
1	0	I	0	0	0	1

Si en la detección generamos las cuatro posibles fases y hacemos una XNOR entre la entrada y éstas, tendremos un '1' sólo en la fase transmitida. De la tabla anterior deducimos que de la suma de la salida correspondiente a la fase de 180º con la de 270º obtenemos A_k y de la suma de 90º y 180º obtenemos B_k. Esta es la base del esquema de bloques presentado.

Como en el caso de BPSK, es necesario pasar la salida de las XNOR's por filtros pasobajos para eliminar los 'glitches'. Posteriormente se recuadran las señales y se pasan de dibits a bits mediante un multiplexor, con lo que se finaliza la demodulación.

Basándose en el anterior esquema de bloques el circuito utilizado en el entrenador es el siguiente:

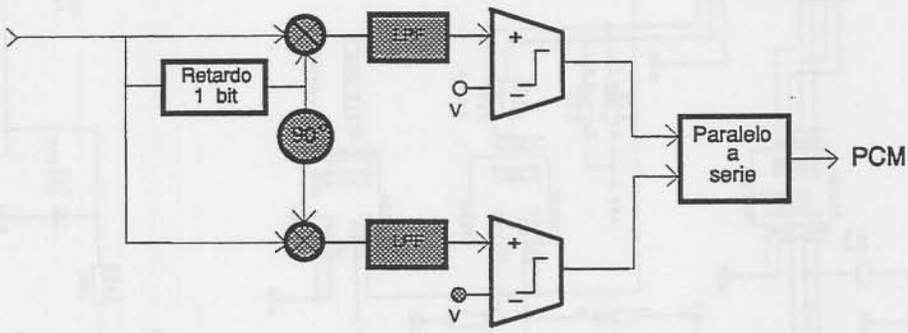
DEMODULADOR QPSK



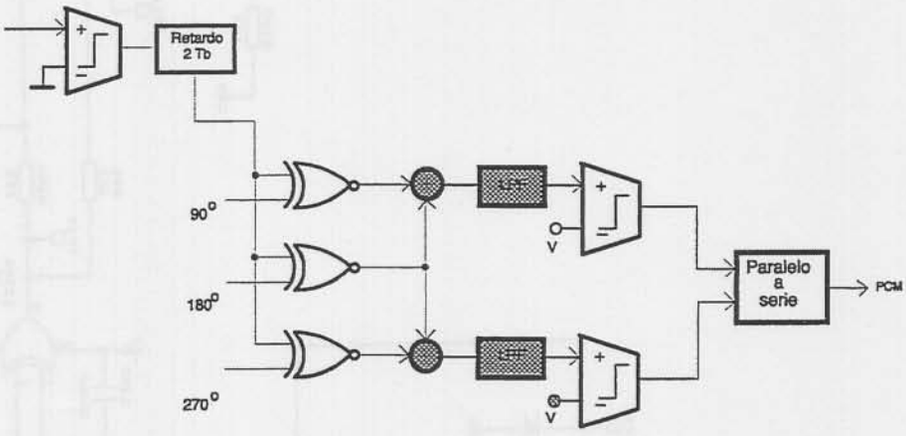
6.8 DQPSK

La demodulación DQPSK, como ocurría entre DPSK y BPSK, sigue el mismo esquema de bloques que el demodulador QPSK, con la excepción de la referencia de reloj, que se ha substituido por la señal de entrada retardada el tiempo de un dibit (dos tiempos de bit, 2 T_b). Al multiplicar por la señal retardada un dibit, evitamos la necesidad de la referencia en fase y conseguimos la decodificación diferencial.

El esquema de bloques del demodulador DQPSK es:

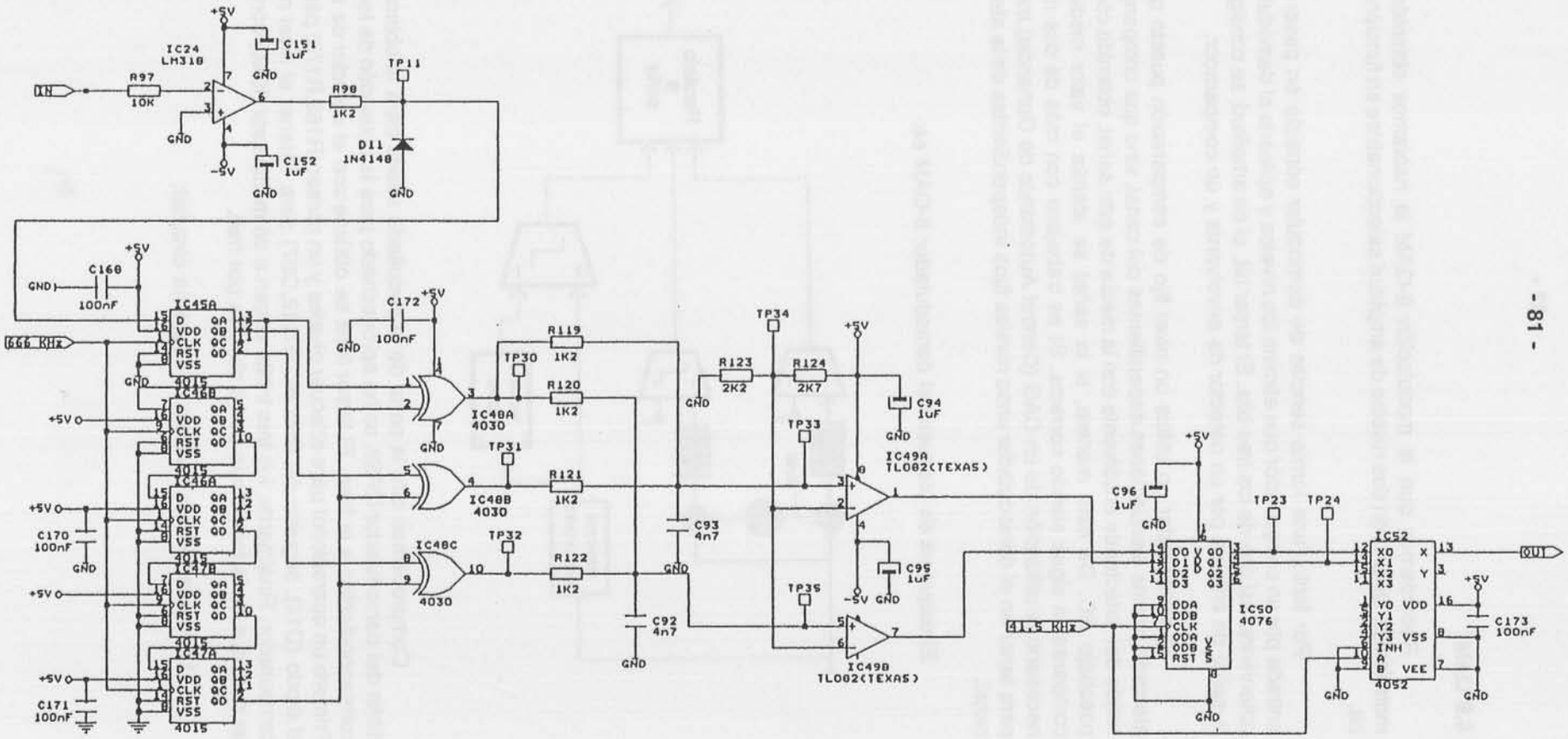


Siguiendo el esquema de bloques del modulador QPSK se puede conseguir la demodulación DQPSK mediante circuitos lógicos con el siguiente esquema de bloques.



A partir del esquema de bloques presentado y la comparación con el ya mostrado para QPSK, la obtención del demodulador DQPSK es sencilla. La principal diferencia radica en la introducción de un retardo de un dibit, realizado mediante 16 biestables D en cascada. Son necesarios 16 biestables porque la frecuencia utilizada como reloj es de 666 kHz (frecuencia recuperada por el PLL), y la de un bit es de 41.5 kHz.

DEMODULADOR DQPSK



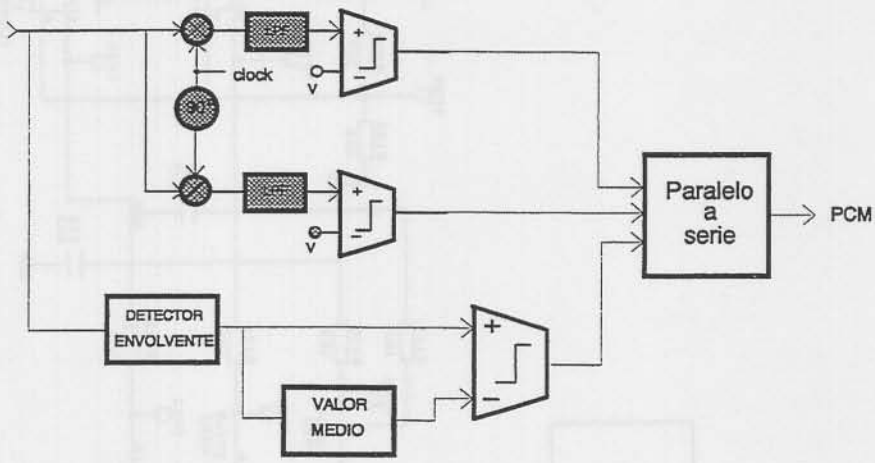
6.9 QAM

Recordemos que la modulación 8-QAM la habíamos obtenido como una modulación QPSK con dos niveles de amplitud seleccionables en función de un tercer bit.

Por tanto, una forma sencilla de demodular consiste en pasar la señal de entrada por un comparador que elimina los niveles y aplicarla al demodulador QPSK, obteniendo así dos de los tres bits. El tercer bit, el de amplitud, se consigue pasando la señal de entrada por un detector de envolvente y un comparador.

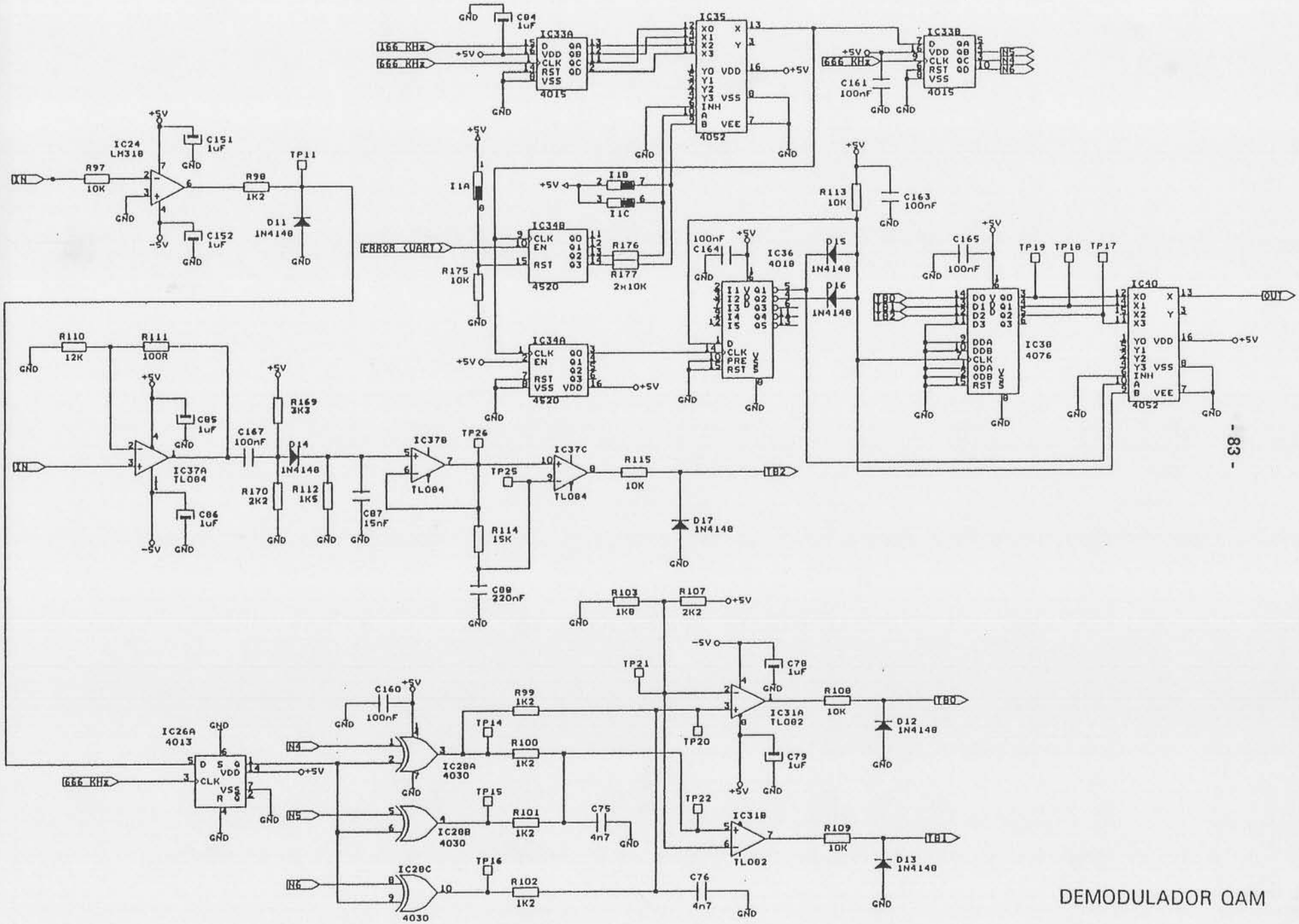
El comparador no utiliza un nivel fijo de comparación puesto que se vería afectado por las atenuaciones dependientes del canal, sino que compara la señal de salida del detector de envolvente con la media de esta señal, obtenida con un circuito pasobajo RC. De esta manera, si la señal se atenúa el valor medio baja y la comparación sigue siendo correcta. Sí se trabajase con más de dos niveles sería necesario la utilización de un CAG (Control Automático de Ganancia) más complejo para tener en el demodulador unos niveles fijos independientes de la atenuación del canal.

El esquema de bloques del demodulador 8-QAM es:



Comprobamos que la parte de la circuitería usada para la obtención de los dibits del demodulador QPSK se ha aprovechado para la obtención de los dos tribits correspondientes a la fase. El tercer tribit se obtiene con el detector de envolvente. Primero un operacional para adecuar niveles y un divisor (R169,R170) para polarizar el diodo (D14), seguido del filtro RC (R112,C87) para obtener el nivel medio y del comparador. Finalmente, los tres tribits entran a un multiplexor (IC40) controlado por un reloj que es la frecuencia de bit dividida por tres.

La siguiente hoja muestra el esquema circuital:



DEMODULADOR QAM

7 CANAL DE TRANSMISIÓN

Se entiende como canal de transmisión el enlace entre el emisor y el receptor. El equipo implementado dispone de cinco canales de transmisión que son: una línea bifilar, una línea coaxial, una fibra óptica, un enlace por infrarrojos y un enlace vía radio.

7.1 Línea bifilar

La transmisión de comunicaciones eléctricas por cables con pares metálicos representa la aplicación más antigua en la transmisión de señales analógicas telefónicas y telegráficas (digitales).

La línea bifilar está formada por dos hilos conductores situados paralelamente. La mayor ventaja que presenta es el precio. Una de las desventajas es la sensibilidad ante interferencias electromagnéticas (campo eléctrico y magnético). La interferencia de tipo magnético se puede reducir si el bucle formado por los dos hilos es pequeño, manteniendo una separación pequeña entre ellos y trenzando los cables. Con los dos hilos juntos se puede reducir la interferencia eléctrica. Otros inconvenientes de este tipo de canal es el pequeño ancho de banda que soporta, y que mantiene la continuidad óhmica entre el emisor y el receptor por lo que puede producir problemas debido a la falta de independencia de los dos sistemas. Frente a la línea coaxial tiene, como ventaja, una menor capacidad parásita.

7.2 Línea coaxial

A diferencia de los cables con pares simétricos que se utilizan básicamente para sistemas con capacidades de transmisión pequeñas, el cable coaxial se emplea en sistemas con mayor capacidad (mayor número de canales a transmitir), debido a que el ancho de banda que puede soportar es mucho mayor, así como su precio.

Una línea coaxial está formada por dos conductores concéntricos separados por un aislante. El conductor interno es el que lleva la información y el externo suele estar conectado a la tensión de referencia del circuito y hace de pantalla electrostática del conductor interno. El cable coaxial es mucho más robusto ante interferencias eléctricas debido al apantallamiento del que dispone, en cambio, es sensible a las magnéticas, aunque se vean reducidas por la proximidad de los dos conductores.

La capacidad parásita que presenta es mucho mayor que la de la línea bifilar debido al condensador formado entre el conductor interior y el exterior, que suele ser del orden de 50 a 100 pF/m, dependiendo de las dimensiones y distancia entre conductores. Al igual que la línea bifilar, mantiene la continuidad óhmica entre emisor y receptor.

7.3 Fibra óptica

La transmisión de comunicaciones electroópticas mediante fibras ópticas ofrece grandes ventajas técnicas y económicas.

La fibra óptica está formada por un material transmisor de la luz recubierto de otro material opaco. El material conductor de la luz, en las fibras de bajo precio, suele ser el plástico.

Las ventajas que ofrece la fibra óptica son:

- Bajas pérdidas.
- Gran ancho de banda, más incluso que el cable coaxial. Las limitaciones del ancho de banda, por lo general, dependen de fenómenos de dispersión ópticos.
- Pequeño tamaño.
- Bajo precio por fibra (calculado sobre grandes instalaciones).
- Insensibilidad ante interferencias electromagnéticas, debido a que es un sistema basado en transmisión óptica.
- Alta estabilidad con la temperatura.
- No hay continuidad óhmica entre emisor y receptor. Esto puede presentar una ventaja por ejemplo en el caso de que exista una diferencia de potencial alta entre las tomas de tierra del emisor y del receptor.

Según la propagación de las formas de onda (modos) luminosas en el núcleo, se diferencia entre fibras multimodo y fibras monomodo. Según sea el transcurso del índice de refracción a través de la sección transversal de una fibra óptica, entre fibras de salto de índice y de índice gradual.

En las fibras de salto de índice, más económicas, se produce un ensanche del impulso transmitido como consecuencia de los diferentes tiempos de propagación. Esto significa que el ancho de banda transmitido será menor cuanto mayores sean las diferencias de los tiempos de propagación en el punto de recepción.

Con las fibras de índice gradual se alcanzan anchuras de banda de transmisión sensiblemente mayores.

En la fibra monomodo, debido al pequeño diámetro sólo es posible la propagación de un modo. Su principal ventaja es su gran anchura de banda, por lo que es especialmente adecuada para sistemas de transmisión de gran velocidad.

7.4 Enlace por infrarrojos

A diferencia de la fibra óptica que es una emisión de radiación conducida por el interior de la fibra, en este caso la emisión infrarroja es en el espacio libre (vía "aire"). Esto repercute en una mayor atenuación y en un efecto de directividad entre el emisor y el receptor. Es el sistema clásico utilizado en mandos a distancia.

Debido a la atenuación que presenta este tipo de enlace es un sistema útil para distancias cortas, relativamente barato y cómodo. Debe existir visión óptica entre emisor y receptor, ya que los rayos infrarrojos no atraviesan las superficies opacas.

Tampoco es sensible a las interferencias electromagnéticas ni supone continuidad óhmica entre emisor y receptor. Sin embargo, debido a variaciones de la luz infrarroja en el ambiente, pueden producirse interferencias y captarse ruidos. Asimismo, los objetos a una cierta temperatura emiten infrarrojos, por lo que su presencia en el entorno del canal de comunicaciones puede modificar el nivel de ruido en la recepción.

Para mejorar la eficiencia de la comunicación suelen usarse ópticas en el emisor y/o en el receptor para concentrar los rayos infrarrojos transmitidos o recibidos.

7.5 Enlace vía radio

Es el sistema más utilizado hoy en día en comunicaciones y radiodifusión comercial.

En el equipo se transmite con una portadora a 27 MHz, con una modulación de amplitud. El medio, al igual que en infrarrojos, también introduce una degradación en la información. Al no existir un soporte físico este sistema resulta en general bastante barato, especialmente para largas distancias.

Es sensible a interferencias electromagnéticas que caigan dentro de la banda utilizada. La interferencia puede provenir de una máquina o incluso de otra emisora que esté utilizando una banda cercana a la nuestra.

BIBLIOGRAFIA

- *Señales: la ciencia de las telecomunicaciones.* J.R. Pierce, A.M. Noll, Ed. Reverté, 1995.
- *Electronic Communications Technology.* J.K. Hardy. Ed. Prentice Hall, 1986
- *Sistemas de Comunicación.* A.B. Carlson. Ed. Mc Graw-Hill, 1991.
- *Electronic Communication Techniques.* P.H. Young. Ed. MacMillan Publishing Co., 1994.
- *Communication Systems.* S. Haykin. Ed. Wiley, 1983.
- *Digital Communications.* B. Sklar, Ed. Prentice Hall, 1988.

APÉNDICE A

CONVERSIÓN ANALÓGICA-DIGITAL Y DIGITAL-ANALÓGICA

APÉNDICE A

CONVERSIÓN ANALÓGICA-DIGITAL Y DIGITAL-ANALÓGICA

La **adquisición de datos** es el proceso de transformar una señal eléctrica y analógica en señal digital para su posterior tratamiento, procesado o transmisión. El proceso inverso, de **extracción de datos** consiste en transformar la señal digital en analógica. Ambas operaciones conforman la denominada **interficie analógica** en sistemas digitales. El sistema de adquisición de datos se compone de una parte que capta una señal externa de la cual se desea una medida (sensores y transductores) y de un bloque de tratamiento y acondicionamiento (circuitos de multiplexación analógica, filtros antialiasing, de muestreo y mantenimiento (sample & hold) y **conversores analógicos-digitales (CAD)**). La extracción de datos se basa en **conversores digitales-analógicos (CDA)** y filtros reconstructores).

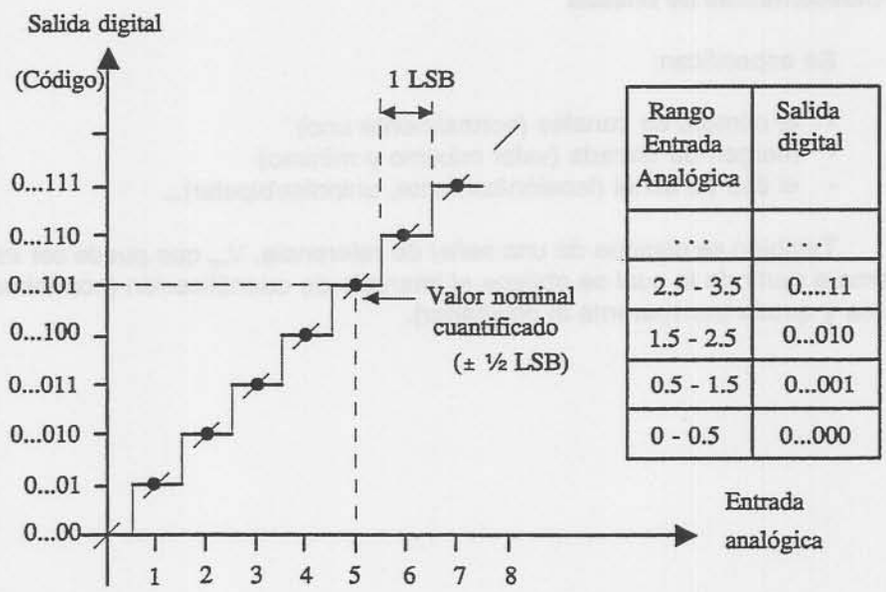
En Apéndice se centra en la presentación de los principales tipos de CAD y CDA, elementos clave que determinan la precisión del sistema. Se inicia con una presentación de las especificaciones de estos dispositivos y su manera de interpretarlas, para después presentar sus bases de funcionamiento.

1.- Terminología y especificaciones

Un conversor analógico digital (CAD) recibe a su entrada una señal continua que trata para presentarla a su salida en forma de código digital inteligible por un dispositivo digital.

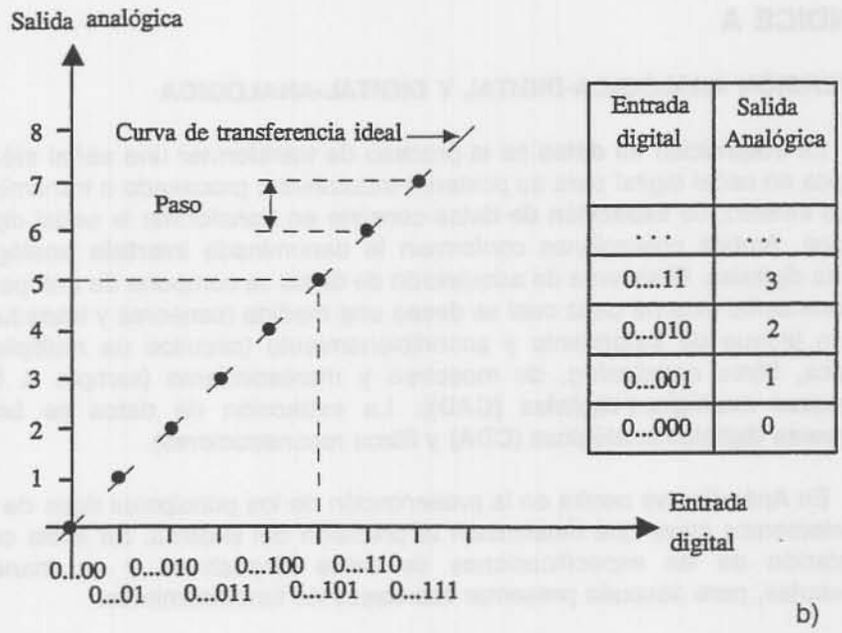
En el caso de un conversor digital analógico (CDA), éste acepta un código digital en sus entradas y lo convierte en una tensión (o corriente) analógica en su salida.

Se presentan en la figura 1.1 las curvas de transferencia ideales.



Rango Entrada Analógica	Salida digital
. . .	. . .
2.5 - 3.5	0....11
1.5 - 2.5	0...010
0.5 - 1.5	0...001
0 - 0.5	0...000

a)



Entrada digital	Salida Analógica
...	...
0....11	3
0...010	2
0...001	1
0...000	0

Figura 1.1 Curvas de transferencia para a) un CAD, b) un CDA.

En la realidad se producen ciertas desviaciones respecto al modelo aquí representado, las cuales se presentarán a medida que se vayan introduciendo las especificaciones. Estas se pueden dividir en tres tipos: de entrada, de salida y de relación salida-entrada.

Se estudian en este caso las correspondientes a un CAD (las más relevantes). Las de un CDA son similares si se tiene en cuenta que actúa en sentido inverso a como lo hace un CAD.

a.- Características de entrada

Se especifican:

- el número de canales (normalmente uno)
- margen de entrada (valor máximo y mínimo)
- el tipo de señal (tensión/corriente, unipolar/bipolar)...

También se dispone de una señal de referencia, V_{ref} que puede ser interna o externa a partir de la cual se obtiene el intervalo de cuantificación (normalmente es interna y queda transparente al diseñador).

b.- Características de salida

Se especifican:

- el número de bits de salida que determinan la **resolución** del CAD. Esta se define como el menor cambio que se debe producir en la señal analógica de entrada para tener un cambio perceptible a su salida. Esta magnitud define el **LSB** (Least Significant Bit), bit menos significativo, usado como unidad de referencia para otros parámetros en las especificaciones. Así, si se dispone de un conversor de n bits, se tienen 2^n códigos digitales posibles.

Por tanto, se tiene que:

1 LSB = $V_{fe} / (2^n - 1)$ donde V_{fe} es el valor de fondo de escala.

En la práctica la resolución viene limitada por el ruido presente en el sistema de adquisición.

- el código de salida (binario natural, BCD...)

- velocidad de salida (bit rate) en conversores de salida serie.

c.- Características de la relación entrada-salida

En la transformación de la señal se han de tener en cuenta los parámetros relativos a la **exactitud** y a la **velocidad de conversión**.

La **velocidad de conversión** se define como el tiempo que tarda el CAD para realizar una conversión para una entrada igual al fondo de escala con una resolución determinada. Se trata de uno de los parámetros más importantes a tener en cuenta en la elección de un CAD.

En el proceso de cuantificación, se acumulan una serie de errores que afectan a la **exactitud del sistema**. Estos errores estáticos quedan englobados, principalmente, en cinco términos:

- Error de cero (offset error), definido como la diferencia entre el valor de offset nominal y actual, como se muestra en la figura 1.1.a. En este caso, para un CAD, se produce un desplazamiento horizontal de la curva de un ½ LSB que afecta a todos los códigos.

- Error de ganancia (gain error), definido como la diferencia entre la pendiente de la curva de transferencia real y la ideal, en ausencia de otros errores (fig.1.1.b).

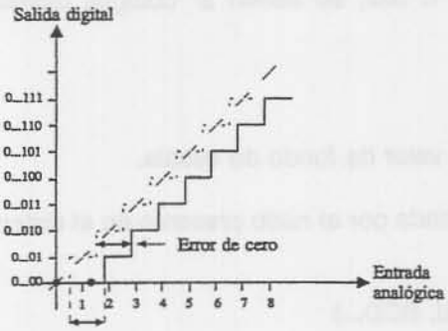
Estos dos errores se pueden corregir mediante calibración.

- No-linealidad diferencial (differential non linearity), definida como la anchura de paso de cuantificación actual y el valor ideal de un LSB. Por consiguiente, si éstos coinciden, este error es cero. Sino, se pueden perder códigos en la conversión (fig.1.1.c.).

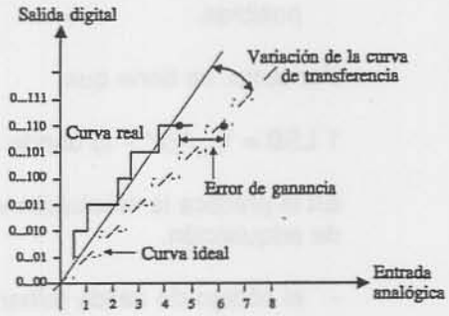
- No-linealidad integral (integral non-linearity), definida como la desviación de los valores de la función de transferencia actual con la ideal cuando los errores de cero y ganancia son nulos.

- Monotonicidad, es un parámetro que garantiza que el conversor no cambia de polaridad, de forma que no se puedan presentar dos salidas para una misma entrada.

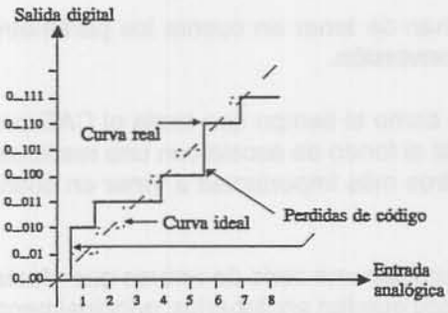
En las siguientes gráficas se presentan gráficamente los cinco tipos de errores, que sumados dan el **error absoluto de exactitud**. En el caso de un CAD, es la diferencia entre el valor del paso actual y el ideal e incluye todos los errores especificados anteriormente más el error de cuantificación del conversor.



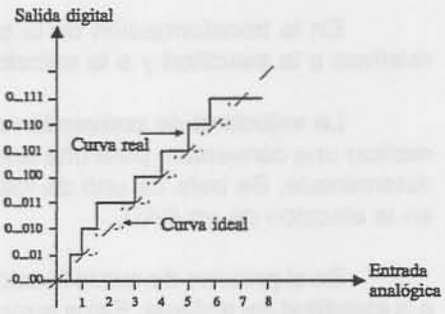
a) Error de cero



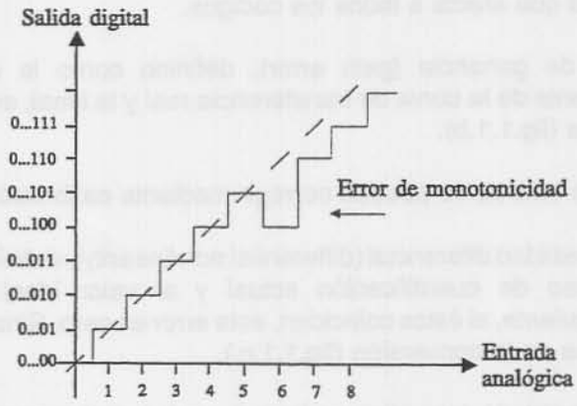
b) Error de ganancia



c) No-linealidad diferencial



d) No- linealidad integral



e) No monotonicidad

Figura 1.1.b Errores en un CAD

Después de ver las especificaciones para un CAD, se pueden retomar la mayoría de ellas para el caso de un CDA pues son similares.

2.- Tipos de conversores usados en el entrenador de comunicaciones digitales.

Los sistemas de adquisición de señal cubren un amplia gama de aplicaciones. Tanto en el campo de la instrumentación como en el campo de el procesado de audio o video, por ejemplo, se requiere el uso de estos dispositivos. Debido al hecho de que no todos los parámetros pueden ser optimizados simultáneamente, se han de considerar los requerimientos específicos de cada aplicación en la elección del tipo de conversor. El compromiso más restrictivo se encuentra entre el número de bits de resolución y el tiempo de conversión. Así, de entre las técnicas más comunes en la conversión analógica-digital, se ha de elegir el tipo que mejor se ajuste a las necesidades de la aplicación.

Aunque en la secuencia lógica dentro de un sistema de adquisición la conversión A/D precede la conversión D/A, resulta que algunos tipos de CAD están basados internamente en CDA's. Por ello conviene previamente conocer la estructura de éstos.

2.1.- Conversor digital/analógico (D/A).

La salida analógica de un conversor D/A binario de n bits de entrada, donde cada bit controla un interruptor MOS, que denominaremos $I_{n-1}, I_n ... I_0$ viene dado por una expresión del tipo:

$$V_o = V_{ref} \ (I_{n-1}2^{-1} + I_{n-2}2^{-2} + \ ... + I_0 2^{-n})$$

donde V_{ref} es la tensión analógica de referencia.

El diagrama de bloques de este tipo de conversores se compone de: un interfaz digital, una red de interruptores, una red de resistencias de precisión alimentadas por una tensión de referencia V_{ref} y un amplificador operacional.

En el equipo se ha usado un conversor del tipo de **resistencia en escalera (R-2R).**

En la figura 2.1, se muestra un conversor de este tipo que como se ve, dispone sólo de dos valores de resistencias en su red, R y 2R.

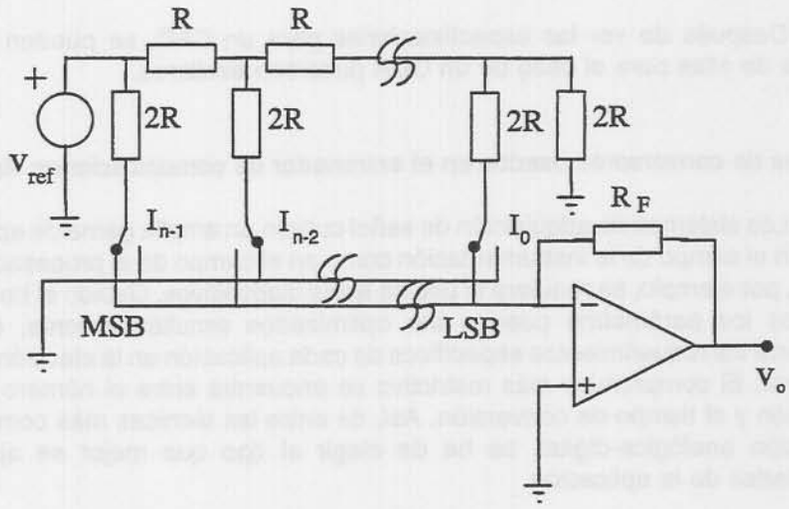


Figura 2.1.- CDA de resistencias en escalera

En los dos casos, las fuentes principales de error provienen de la estabilidad de la tensión de referencia, V_{ref} y de las tolerancias en las resistencias. Sin embargo, el conversor R-2R es mucho menos sensible a las tolerancias que otros tipos de conversores.

2.2.- Conversor analógico/digital (A/D)

En el mercado existe gran variedad de conversores A/D. El usado en el equipo es del tipo semiflash, basado en estructuras tipo flash como las explicadas en el capítulo de **MUESTREO, CUANTIFICACION Y CODIFICACION**, en el apartado de **Introducción a los conversores A/D.** Otro tipo de conversor, no usado en el entrenador de comunicaciones pero también de gran interés en la práctica es el de **aproximaciones sucesivas.** A continuación se presenta una breve descripción de este conversor, no porque se vaya a usar en las prácticas, sino esperando que con ello el estudiante no se quede con una información sesgada que le pueda conducir al "sólo existe lo que conozco".

El algoritmo de aproximaciones sucesivas ofrece un buen compromiso entre velocidad de conversión (de 100 µs hasta 1 µs) y la resolución (entre 8 y 16 bits). Recibe este nombre por el hecho de ir realizando sucesivas comparaciones de una señal de entrada desconocida con una serie de valores ponderados de referencia, decrementando o incrementando un registro en función del resultado obtenido en cada comparación. En la figura 2.2.b, se muestra como se van ajustando los bits de salida en cada comparación. Su funcionamiento recuerda el de una balanza basculante de las que se usaban hace tiempo en los comercios: se determinaba el peso desconocido de una plato poniendo y quitando pesas (en el conversor serán bits) en el otro hasta que se equilibraba.

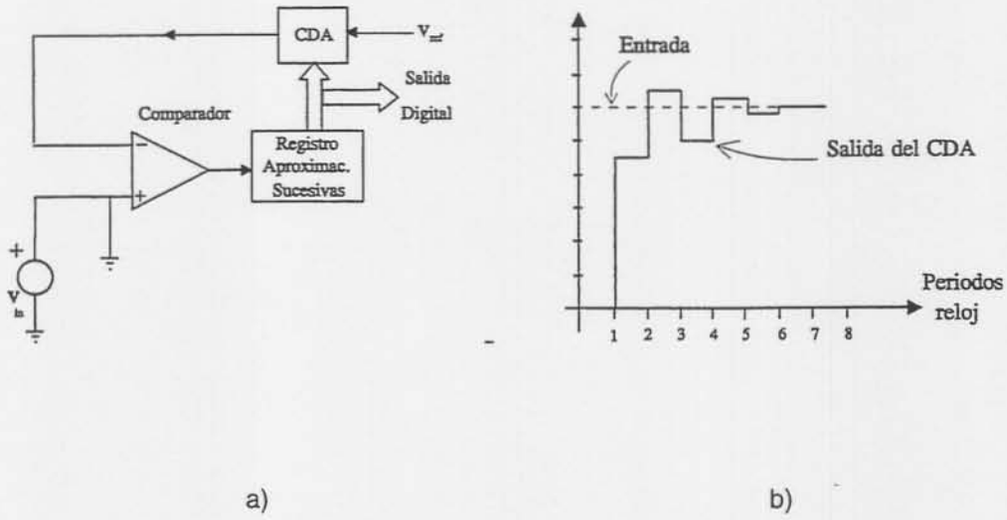


Figura 2.2.b.- CAD de aproximaciones sucesivas a) Esquema de bloques, b) Salidas del conversor D/A sucesivas en el tiempo.

Se inicia la comparación de la señal de entrada V_{in} con una entrada 100..00 al CDA, o sea con sólo el bit más significativo (de mayor peso) a uno, y se determina si V_{in} está por encima o por debajo de la salida del CDA, El resultado se almacena en un registro: si V_{in} está por encima se deja el bit a uno, sino se pone a cero. Posteriormente, se va repitiendo el proceso añadiendo cada vez un bit de menor peso, hasta llegar a la comparación con el bit menos significativo.

Este método requiere un número importante de comparaciones y por consiguiente, se necesita que la señal de entrada no varíe durante el tiempo de conversión. Esto se consigue intercalando un circuito de muestreo y mantenimiento (sample & hold) a la entrada. Se trata de un conversor muy sensible a las variaciones bruscas a su entrada, y por consiguiente al ruido. Están saliendo al mercado nuevos modelos de conversores de este tipo que llevan un mecanismo de autocalibración para evitar esta clase de problema.

Este tipo de conversor es de los de uso más extendido (junto con los conversores tipo flash) al tener un buen equilibrio entre el precio, la velocidad y la resolución.

APÉNDICE B

CARACTERÍSTICAS DEL ADC0820

8-Bit, high-speed, μP-compatible A/D converter with track/hold function

ADC0820

DESCRIPTION

By using a half-flash conversion technique, the 8-bit ADC0820 CMOS A/D offers a 1.5μs conversion time while dissipating a maximum 75mW of power. The half-flash technique consists of 31 comparators, a most significant 4-bit ADC and a least significant 4-bit ADC.

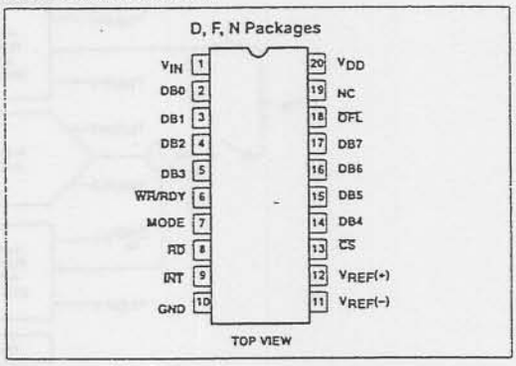
The input to the ADC0820 is tracked and held by the input sampling circuitry, eliminating the need for an external sample-and-hold for signals slewing at less than 100mV/μs.

For ease of interface to microprocessors, the ADC0820 has been designed to appear as a memory location or I/O port without the need for external interfacing logic.

FEATURES

- Built-in track-and-hold function
- No missing codes
- No external clocking
- Single supply—$5V_{DC}$
- Easy interface to all microprocessors, or operates stand-alone
- Latched 3-State outputs
- Logic inputs and outputs meet both MOS and TTL voltage level specifications
- Operates ratiometrically or with any reference value equal to or less than V_{DD}
- 0V to 5V analog input voltage range with single 5V supply
- No zero- or full-scale adjust required
- Overflow output available for cascading
- 0.3" standard width 20-pin DIP

PIN CONFIGURATION



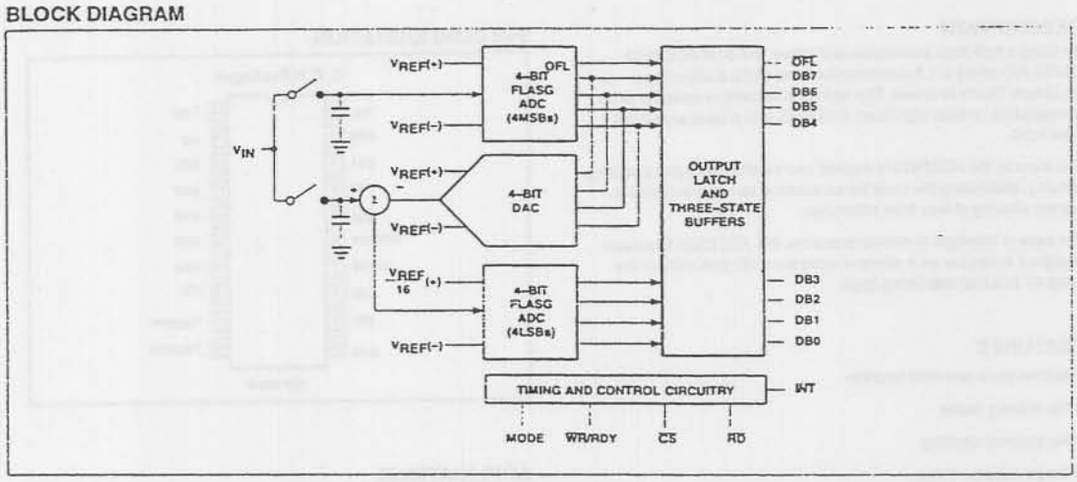
APPLICATIONS

- Microprocessor-based monitoring and control systems
- Transducer/μP interface
- Process control
- Logic analyzers
- Test and measurement

ORDERING INFORMATION

DESCRIPTION	TEMPERATURE RANGE	ORDER CODE	DWG #
20-Pin Plastic Dual In-Line Package (DIP)	0 to +70°C	ADC0820CNEN	0408B
20-Pin Plastic Small Outline (SO) package	0 to +70°C	ADC0820CNED	1021B

BLOCK DIAGRAM



PIN DESCRIPTION

PIN NO	SYMBOL	DESCRIPTION
1	V_{IN}	Analog input; range=GND≤V_{IN}≤V_{DD}
2	DB0	3-state data output—Bit 0 (LSB)
3	DB1	3-state data output—Bit 1
4	DB2	3-state data output—Bit 2
5	DB3	3-state data output—Bit 3
6	$\overline{WR}$/RDY	**WR-RD Mode** $\overline{WR}$: With $\overline{CS}$ Low, the conversion is started on the falling edge of $\overline{WR}$. Approximately 800ns (the preset internal time out, t_i) after the $\overline{WR}$ rising edge, the result of the conversion will be strobed into the output latch, provided that $\overline{RD}$ does not occur prior to this time out (see Figures 3a and 3b). **RD Mode** RDY: This is an open-drain output (no internal pull-up device). RDY will go Low after the falling edge of $\overline{CS}$; RDY will go 3-State when the result of the conversion is strobed into the output latch. It is used to simplify the interface to a microprocessor system (see Figure 1).
7	Mode	Mode: Mode selection input—it is internally tied to GND through a 30μA current source. RD Mode: When mode is Low. WR-RD Mode: When mode is High.
8	$\overline{RD}$	**WR-RD Mode** With $\overline{CS}$ Low, the 3-State data outputs (DB0-DB7) will be activated when $\overline{RD}$ goes Low. $\overline{RD}$ can also be used to increase the speed of the converter by reading data prior to the preset internal time out (T_i ~ 800ns). If this is done, the data result transferred to output latch is latched after the falling edge of the $\overline{RD}$ (see Figures 3a and 3b). **RD Mode** With $\overline{CS}$ Low, the conversion will start with $\overline{RD}$ going Low; also, $\overline{RD}$ will enable the 3-State data outputs at the completion of the conversion. RDY going 3-State and $\overline{INT}$ going Low indicate the completion of the conversion (see Figure 1).
9	$\overline{INT}$	**WR-RD Mode** $\overline{INT}$ going Low indicates that the conversion is completed and the data result is in the output latch. $\overline{INT}$ will go Low ~ 800ns (the preset internal time out, t_i) after the rising edge of $\overline{WR}$ (see Figure 3a); or $\overline{INT}$ will go Low after the falling edge of $\overline{RD}$, if $\overline{RD}$ goes Low prior to the 800ns time out (see Figure 3b). $\overline{INT}$ is reset by the rising edge of $\overline{RD}$ or $\overline{CS}$ (see Figures 3a and 3b).

PIN DESCRIPTION (Continued)

PIN NO	SYMBOL	DESCRIPTION
		RD Mode $\overline{INT}$ going Low indicates that the conversion is completed and the data result is in the output latch. $\overline{INT}$ is reset by the rising edge of $\overline{RD}$ or $\overline{CS}$ (see Figure 1).
10	GND	Ground
11	$V_{REF}(-)$	The bottom of resistor ladder, voltage range: $GND \le V_{REF}(-) \le V_{REF}(+)$
12	$V_{REF}(+)$	The top of resistor ladder, voltage range: $V_{REF}(-) \le V_{REF}(+) \le V_{DD}$.
13	$\overline{CS}$	$\overline{CS}$ must be Low in order for the $\overline{RD}$ or $\overline{WR}$ to be recognized by the converter.
14	DB4	3-State data output—Bit 4
15	DB5	3-State data output—Bit 5
16	DB6	3-State data output—Bit 6
17	DB7	3-State data output—Bit 7 (MSB)
18	$\overline{OFL}$	Overflow output—if the analog input is higher than the $V_{REF}(+)$- LSB, $\overline{OFL}$ will be low at the end of conversion. It can be used to cascade 2 or more devices to have more resolution (9, 10-bit). It is always active and never becomes 3-state.
19	NC	No connection
20	V_{DD}	Power supply voltage

ABSOLUTE MAXIMUM RATINGS[1, 2]

SYMBOL	PARAMETER	RATING	UNIT
V_{DD}	Supply voltage	7	V
	Logic control inputs	-0.2 to V_{DD}+0.2	V
	Voltage at other inputs and output	-0.2 to V_{DD}+0.2	V
T_{STG}	Storage temperature range	-65 to +150	°C
P_D	Maximum power dissipation[3] T_A=25°C(still-air)		
	N package	1690	mW
	D package	1390	mW
T_{SOLD}	Lead temperature (soldering, 10sec)	300	°C
T_A	Operating ambient temperature range	$T_{MIN} \le T_A \le T_{MAX}$	
	ADC0820CNEN/CNED	0 to +70	°C

NOTES:
1. Absolute Maximum Ratings are those values beyond which the life of the device may be impaired.
2. All voltages are measured with respect to GND, unless otherwise specified.
3. Derate above 25°C at the following rates:
   N package at 13.5mW/°C
   D package at 11.1mW/°C

DC ELECTRICAL CHARACTERISTICS

RD mode (Pin 7=0), V_{DD}=5V, $V_{REF}(+)$=5V, and $V_{REF}(-)$=GND, unless otherwise specified. Limits apply from T_{MIN} to T_{MAX}.

SYMBOL	PARAMETER	TEST CONDITIONS		LIMITS			UNIT
				Min	Typ[3]	Max	
	Resolution			8	8	8	bits
	Unadjusted error[1]	ADC0820C				±1	LSB
R_{REF}	Reference resistance			1	1.6	4	kΩ
$V_{REF}(+)$	Input voltage[5]			$V_{REF}(-)$		$-V_{DD}$	V
$V_{REF}(-)$	Input voltage			GND		$V_{REF}(+)$	V
V_{IN}	Input voltage[5]			GND-0.1		V_{DD}+0.1	V
	Maximum analog input leakage current	$\overline{CS}=V_{DD}$ $V_{IN}=V_{DD}$ V_{IN}=GND		-3		3	μA
	Power supply sensitivity	V_{DD}=5V±5%			±1/16	±1/4	LSB
$V_{IN(1)}$	Logical "1" input voltage	V_{DD}=5.25V	$\overline{CS}$, $\overline{WR}$, $\overline{RD}$	2.0		V_{DD}	V
			Mode	3.5		V_{DD}	
$V_{IN(0)}$	Logical "0" input voltage	V_{DD}=4.75V	$\overline{CS}$, $\overline{WR}$, $\overline{RD}$	GND		0.8	V
			Mode	GND		1.5	
$I_{IN(1)}$	Logical "1" input current	$V_{IN(1)}$=5V; $\overline{CS}$, $\overline{RD}$ $V_{IN(1)}$=5V; $\overline{WR}$ $V_{IN(1)}$=5V; Mode				1 3 200	μA
$I_{IN(0)}$	Logical "0" input current	$V_{IN(0)}$=0V; $\overline{CS}$, $\overline{RD}$, $\overline{WR}$, Mode		-1			μA
$V_{OUT(1)}$	Logical "1" output voltage	V_{DD}=4.75V, I_{OUT}=-360μA; DB0-DB7, $\overline{OFL}$, $\overline{INT}$		2.4	4.6		V
		V_{DD}=4.75V, I_{OUT}=-10μA DB0-DB7, $\overline{OFL}$, $\overline{INT}$		4.5	4.74		
$V_{OUT(0)}$	Logical "0" output voltage	V_{DD}=4.75V, I_{OUT}=1.6mA; DB0-DB7, $\overline{OFL}$, $\overline{INT}$, RDY			0.2	0.4	V
I_{OZ}	3-state output current	V_{OUT}=5V; DB0-DB7, RDY				3	μA
		V_{OUT}=0V; DB0-DB7, RDY		-3			
I_{SOURCE}	Output source current	V_{OUT}=0V, DB0-DB7, $\overline{OFL}$		6	12		mA
		$\overline{INT}$		4.5	8		
I_{SINK}	Output sink current	V_{OUT}=5V; DB0-DB7, $\overline{OFL}$, $\overline{INT}$, RDY		7	20		mA
I_{DD}	Supply current	$\overline{CS}$=$\overline{WR}$=$\overline{RD}$=0			6	15	mA
V_{DD}	Range			4.5		5.5	V

AC ELECTRICAL CHARACTERISTICS

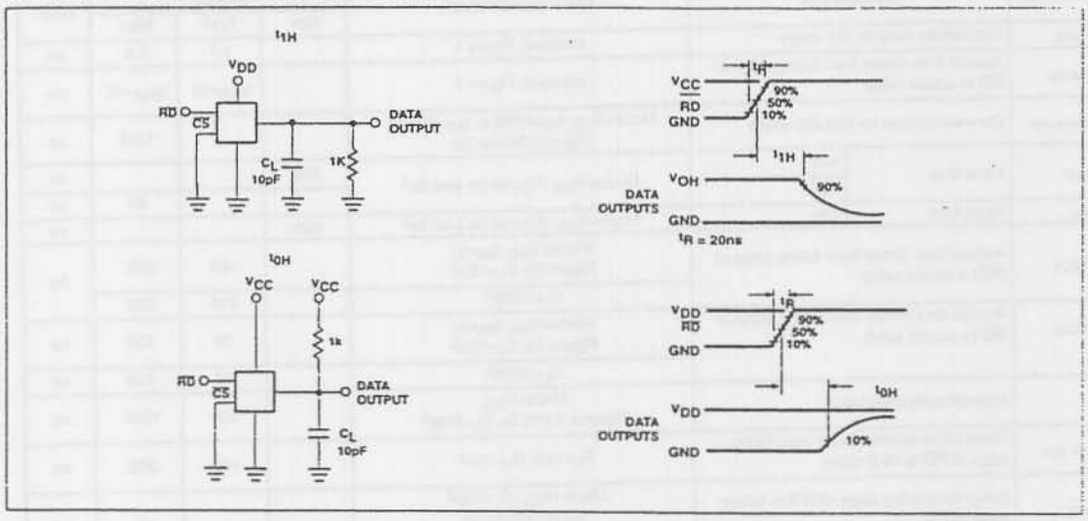
V_{DD} = 5V, t_R = t_F = 20ns, $V_{REF(+)}$ = 5V, $V_{REF(-)}$ = 0V, and T_A = 25°C, unless otherwise specified.

SYMBOL	PARAMETER		TEST CONDITIONS	LIMITS[4]			UNIT
				Min	Typ[3]	Max	
t_{CRD}	Conversion time for RD mode		Mode=0, Figure 1		1.6	2.5	µs
t_{ACCO}	Access time (delay from falling edge of $\overline{RD}$ to output valid)		Mode=0, Figure 1		t_{CRD}+20	t_{CRD}+50	ns
t_{CWR-RD}	Conversion time for WR-RD mode		Mode=V_{DD}, t_{WR}=600ns, t_{RD}=600ns; Figures 3a and 3b			1.52	µs
t_{WR}	Write time	Min	Mode=V_{DD}, Figures 3a and 3b[2]	600			ns
		Max				50	µs
t_{RD}	Read time	Min	Mode=V_{DD}, Figures 3a and 3b[2]	600			ns
t_{ACC1}	Access time (delay from falling edge of $\overline{RD}$ t o output valid)		Mode=V_{DD}, t_{RD}<t_i; Figure 3b, C_L=15pF		190	280	ns
			C_L=100pF		210	320	
t_{ACC2}	Access time (delay from falling edge of $\overline{RD}$ t o output valid)		Mode=V_{DD}, t_{RD}>t_i; Figure 3a, C_L=15pF		70	120	ns
			C_L=100pF		90	150	ns
t_i	Internal comparison time		Mode=V_{DD}; Figures 2 and 3a, C_L=50pF		800	1300	ns
t_{1H}, t_{0H}	Three-state control (delay from rising edge of $\overline{RD}$ to Hi-Z state)		R_L=1kΩ, C_L=10pF		100	200	ns
$t_{\overline{INTL}}$	Delay from rising edge of $\overline{WR}$ to falling edge of $\overline{INT}$		Mode=V_{DD}, C_L=50pF t_{RD}>t_i; Figure 3a t_{RD}<t_i; Figure 3b		 t_{RD}+200	 t_i t_{RD}+290	 ns ns
$t_{\overline{INTH}}$	Delay from rising edge of $\overline{RD}$ to rising edge of $\overline{INT}$		Figures 1, 3a, and 3b, C_L=50pF		125	225	ns
$t_{\overline{INTHWR}}$	Delay from rising edge of $\overline{WR}$ to rising edge of $\overline{INT}$		Figure 2, C_L=50pF		175	270	ns
t_{RDY}	Delay from $\overline{CS}$ to RDY		Figure 1, C_L=50pF, Mode=0		50	100	ns
t_{ID}	Delay from $\overline{INT}$ to output valid		Figure 2		20	50	ns
t_{RI}	Delay from $\overline{RD}$ to $\overline{INT}$		Mode=V_{DD}, t_{RD}<t_i; Figure 3b		200	290	ns
t_P	Delay from end of conversion to next conversion		Figures 1, 2, 3a, and 3b[2]	500			ns
SR	Slew rate, tracking				0.1		V/µs
C_{VIN}	Analog input capacitance				45		pF
C_{OUT}	Logic output capacitance				5		pF
C_{IN}	Logic input capacitance				5		pF

NOTES:
1. Unadjusted error includes offset, full-scale, and linearity errors.
2. Accuracy may degrade if t_{WR} or t_{RD} is shorter than the minimum value specified.
3. Typical values are at 25°C and represent most likely parametric norm.
4. Guaranteed but not 100% production tested. These limits are not used to calculate outgoing quality levels.

5. V_{REF} and VIN must be applied after V_{CC} has been turned on to prevent possibility of latching.

3-STATE TEST CIRCUITS AND WAVEFORMS



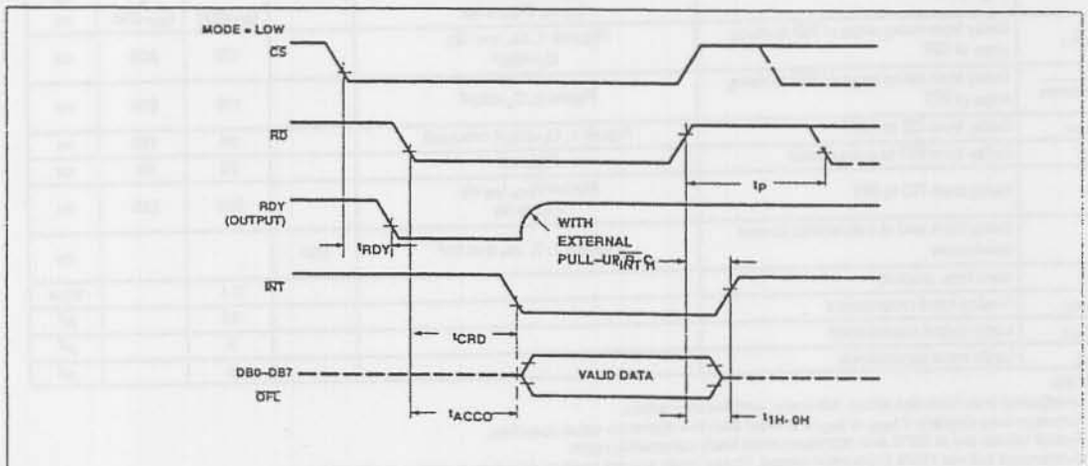


Figure 1. RD Mode

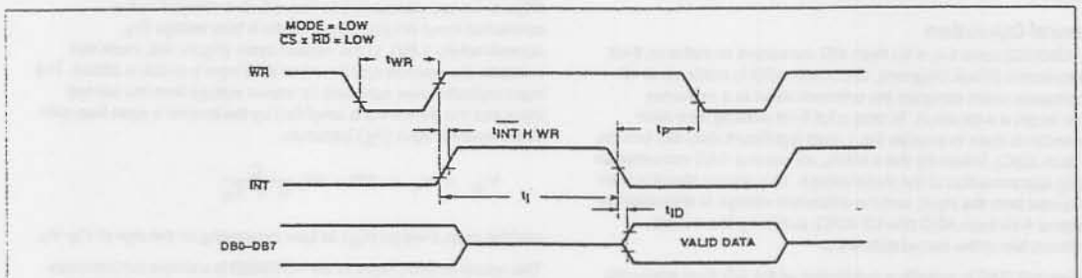
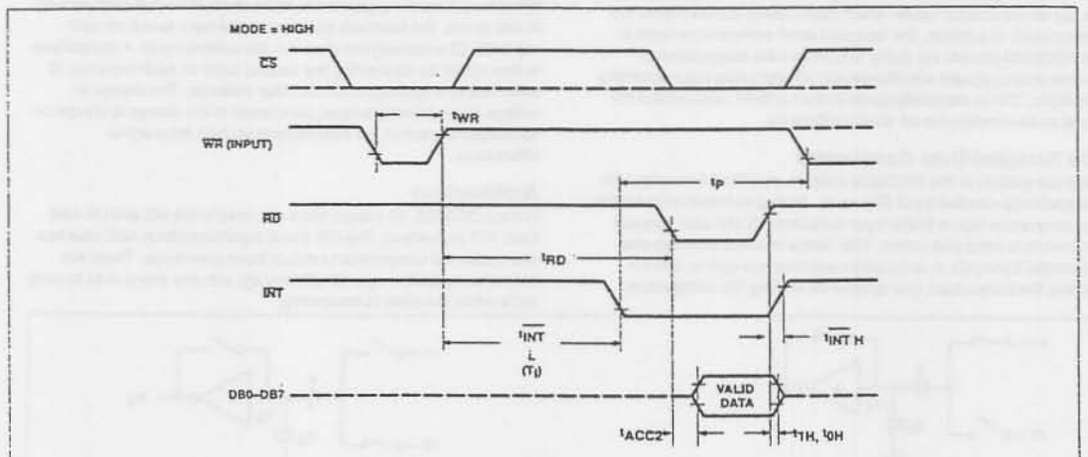
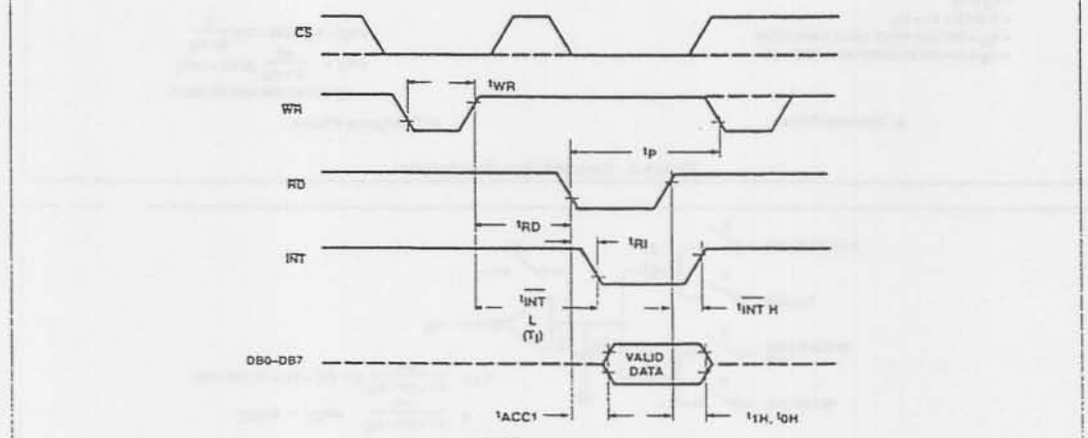


Figure 2. Stand-Alone Mode



a. WR-RD Mode ($t_{RD} > t_I$)



b. WR-RD Mode ($t_{RD} < t_I$)

Figure 3. WR-RD Mode

FUNCTIONAL DESCRIPTION

General Operation

The ADC0820 uses two 4-bit flash A/D converters to make an 8-bit measurement (Block Diagram). Each flash ADC is made up of 15 comparators which compare the unknown input to a reference ladder to get a 4-bit result. To take a full 8-bit reading, one flash conversion is done to provide the 4 most significant data bits (via the MS flash ADC). Driven by the 4 MSBs, an internal DAC recreates an analog approximation of the input voltage. This analog signal is then subtracted from the input, and the difference voltage is converted by a second 4-bit flash ADC (the LS ADC), providing the 4 least significant bits of the output data word.

The internal DAC is actually a subsection of the MS flash converter. This is accomplished by using the same resistor ladder for the A/D as well as for generating the DAC signal. The DAC output is actually the tap on the resistor ladder which most closely approximates the analog input. In addition, the "sampled data" comparators used in the ADC0820 provide the ability to compare the magnitudes of several analog signals simultaneously, without using input summing amplifiers. This is especially useful in the LS flash ADC, where the signal to be converted is an analog difference.

The Sampled-Data Comparator

Each comparator in the ADC0820 consists of a CMOS inverter with a capacitively-coupled input (Figure 4). Analog switches connect the two comparator inputs to the input capacitor (C) and also connect the inverter's input and output. This device in effect now has one differential input pair. A comparison requires two cycles, one for zeroing the comparator, and another for making the comparison.

In the first cycle, one input switch and the inverter's feedback switch (Figure 4a) are closed. In this interval, C is charged to the connected input (V1) less the inverter's bias voltage (V_S, approximately 1.6V). In the second cycle (Figure 4b), these two switches are opened and the other (V2) input's switch is closed. The input capacitor now subtracts its stored voltage from the second input and the difference is amplified by the inverter's open loop gain. The inverter's input ($V_{S'}$) becomes

$$V'_{S'} = V_S + (V2 - V1)\frac{C}{C + C_S}$$

and the output will go High or Low depending on the sign of $V'_S - V_S$.

The actual circuitry used in the ADC0820 is a simple but important expansion of the basic comparator described above. By adding a second capacitor and another set of switches to the input (Figure 5), the scheme can be expanded to make dual differential comparisons. In this circuit, the feedback switch and one input switch on each capacitor (Z switches) are closed in the zeroing cycle. A comparison is then made by connecting the second input on each capacitor (S switches) and opening all of the other switches. The change in voltage at the inverter's input, as a result of the change in charge on each input capacitor, will now depend on both input signal differences.

Architecture

In the ADC0820, 15 comparators are used in the MS and LS 4-bit flash A/D converters. The MS (most significant) flash ADC also has one additional comparator to detect input over-range. These two sets of comparators operate alternately, with one group in its zeroing cycle while the other is comparing.

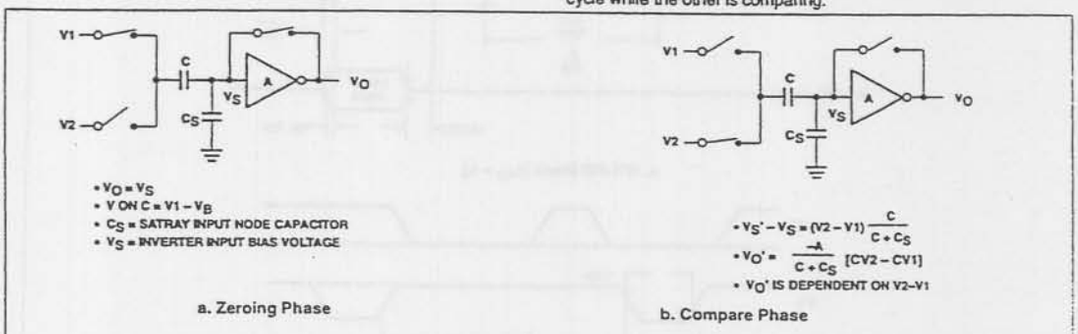


Figure 4. Sampled Data Comparator

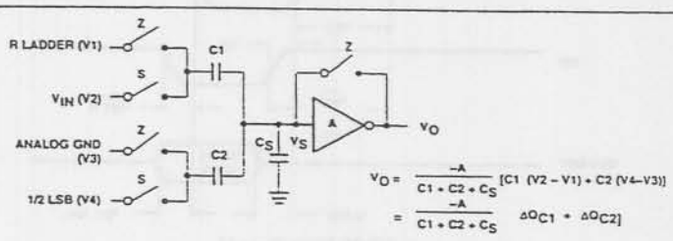


Figure 5. ADC0820 Comparator (From MS Flash ADC)

To start a conversion in the WR-RD mode, the $\overline{WR}$ line is brought Low. At this instant the MS comparators go from zeroing to comparison mode (Figure 8). When $\overline{WR}$ is returned High after at least 600ns, the output from the first set of comparators (the first flash) is decoded and latched. At this point the two 4-bit converters change modes and the LS (least significant) flash ADC enters its compare cycle. No less than 600ns later, the $\overline{RD}$ line may be pulled Low to latch the lower four data bits and finish the 8-bit conversion. When $\overline{RD}$ goes Low, the flash A/Ds change state once again in preparation for the next conversion.

Figure 8 also outlines how the converter's interface timing relates to its analog input (V_{IN}). In WR-RD mode, V_{IN} is measured while $\overline{WR}$ is Low. In RD mode, sampling occurs during the first 800ns of $\overline{RD}$. Because of the input connections to the ADC0820's LS and MS comparators, the converter has the ability to sample V_{IN} at one instant, despite the fact that two separate 4-bit conversions are being done. More specifically, when $\overline{WR}$ is Low the MS flash is in compare mode (connected to V_{IN}, and the LS flash is in zero mode (also connected to V_{IN}). Therefore both flash ADCs sample V_{IN} at the same time.

Digital Interface

The ADC0820 has two basic interface modes which are selected by strapping the Mode pin High or Low.

RD Mode (Figure 6a)

With the Mode pin grounded, the converter is set to Read mode. In this configuration, a complete conversion is done by pulling $\overline{RD}$ Low until output data appears. An $\overline{INT}$ line is provided which goes Low at the end of the conversion as well as a RDY output which can be used to signal a processor that the converter is busy or can also serve as a system Transfer Acknowledge signal.

When in RD mode, the comparator phases are internally triggered. At the falling edge of $\overline{RD}$, the MS flash converter goes from zero to compare mode and the LS ADC's comparators enter their zero cycle. After 800ns, data from the MS flash is latched and the LS flash ADC enters compare mode. Following another 800ns, the lower four bits are recovered.

WR Then RD Mode (Figures 6b and c)

With the Mode pin tied High, the A/D will be set up for the WR-RD mode. Here, a conversion is started with the $\overline{WR}$ input; however, there are two options for reading the output data which relate to interface timing. If an interrupt-driven scheme is desired, the user can wait for $\overline{INT}$ to go Low

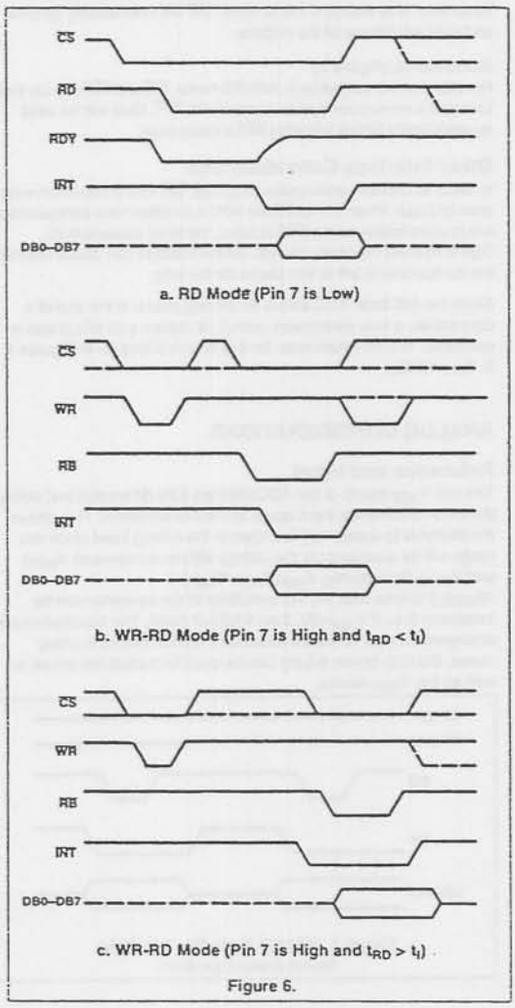


Figure 6.

before reading the conversion result. $\overline{INT}$ will typically go Low 800ns after $\overline{WR}$'s rising edge. However, if a shorter conversion time is desired, the processor need not wait for $\overline{INT}$ and can exercise a Read after only 600ns. If this is done, $\overline{INT}$ will immediately go Low and data will appear at the outputs.

Stand-Alone (Figure 7)

For stand-alone operation in WR-RD mode, $\overline{CS}$ and $\overline{RD}$ can be tied Low and a conversion can be started with $\overline{WR}$. Data will be valid approximately 800ns following $\overline{WR}$'s rising edge.

Other Interface Considerations

In order to maintain conversion accuracy, $\overline{WR}$ has a maximum width spec of 50µs. When the MS flash ADC's sampled data comparators are in comparison mode ($\overline{WR}$ is Low), the input capacitors (C, Figure 5) must hold their charge. Switch leakage can cause errors if the comparator is left in this phase for too long.

Since the MS flash ADC enters its zeroing phase at the end of a conversion, a new conversion cannot be started until this phase is complete. The minimum spec for this time is 500ns (t_P in Figures 1, 2, 3a, and 3b).

ANALOG CONSIDERATIONS

Reference and Input

The two V_{REF} inputs of the ADC0820 are fully differential and define the zero- to full-scale input range of the A/D converter. This allows the designer to easily vary the span of the analog input since this range will be equivalent to the voltage difference between $V_{IN}(+)$ and $V_{IN}(-)$. By reducing V_{REF}(V_{REF}=$V_{REF}(+)$ -$V_{REF}(-)$) to less than 5V, the sensitivity of the converter can be increased (i.e., if V_{REF}=2V, then 1 LSB=7.8mV). The input/reference arrangement also facilitates ratiometric operation and, in many cases, the chip power supply can be used for transducer power as well as the V_{REF} source.

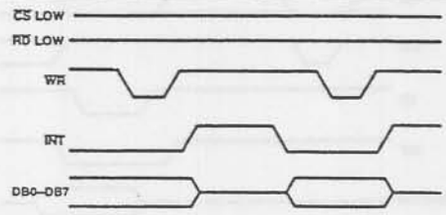


Figure 7. WR-RD Mode (Pin 7 is High) Stand-Alone Operation

This reference flexibility lets the input span not only be varied, but also offset from zero. The voltage at $V_{REF}(-)$ sets the input level which produces a digital output of all zeroes. Though V_{IN} is not itself differential, the reference design affords nearly differential-input capability for most measurement applications. Figure 9 shows some of the configurations that are possible.

Input Current

Due to the unique conversion techniques employed by the ADC0820, the analog input behaves somewhat differently than in conventional devices. The A/D's sampled data comparators take varying amounts of input current depending on which cycle the conversion is in.

The equivalent input circuit of the ADC0820 is shown in Figure 10a. When a conversion starts ($\overline{WR}$ Low, WR-RD mode), all input switches close, connecting V_{IN} to 31 1pF capacitors. Although the two 4-bit flash circuits are not both in their compare cycle at the same time, V_{IN} still sees all input capacitors at once. This is because the MS flash converter is connected to the input during its compare interval and the LS flash is connected to the input during its zeroing phase. In other words, the LS ADC uses V_{IN} as its zero-phase input.

The input capacitors must charge to the input voltage through the on resistance of the analog switches (about 5kΩ to 10kΩ). In addition, about 12pF of input stray capacitance must also be charged. For large source resistances, the analog input can be modeled as an RC network as shown in Figure 10b. As R_S increases, it will take longer for the input capacitance to charge.

In RD mode, the input switches are closed for approximately 800ns at the start of the conversion. In WR-RD mode, the time that the switches are closed to allow this charging is the time that $\overline{WR}$ is Low. Since other factors force this time to be at least 600ns, input time constants of 100ns can be accommodated without special consideration. Typical total input capacitance values of 45pF allow R_S to be 1.5kΩ without lengthening $\overline{WR}$ to give V_{IN} more time to settle.

Input Filtering

It should be made clear that transients in the analog input signal, caused by charging current flowing into V_{IN}, will not degrade the A/D's performance in most cases. In effect, the ADC0820 does not "look" at the input when these transients occur. The comparators' outputs are not latched while $\overline{WR}$ is Low, so at least 600ns will be provided to charge the ADC's input capacitance. It is

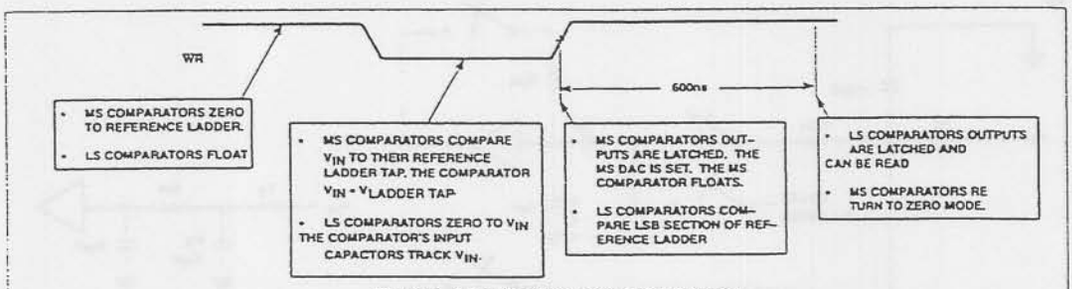
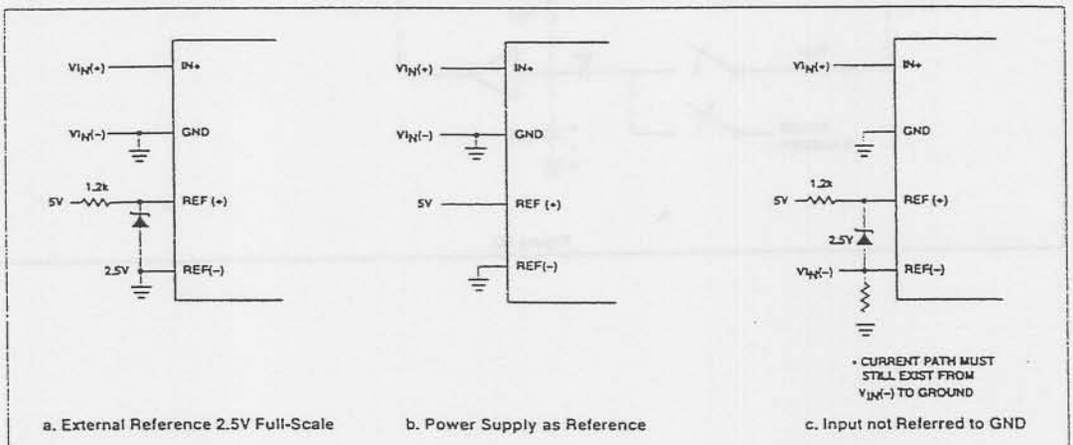


Figure 8. Operating Sequence (WR-RD Mode)



a. External Reference 2.5V Full-Scale

b. Power Supply as Reference

c. Input not Referred to GND

Figure 9. Analog Input Options

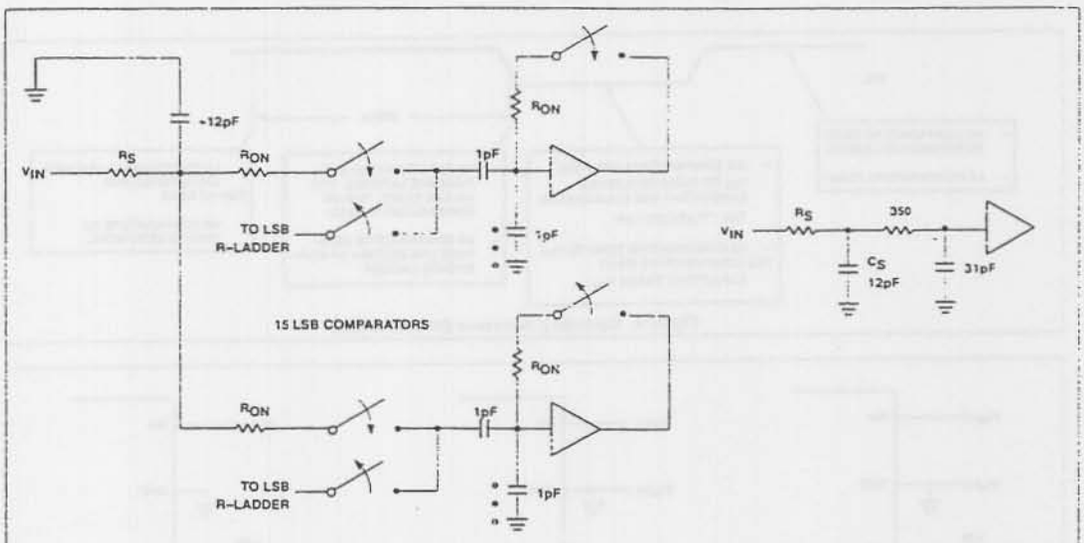

~12pF
VIN
RS
RON
1pF
TO LSB
R-LADDER
1pF
15 LSB COMPARATORS
RON
RON
1pF
TO LSB
R-LADDER
1pF
a.
VIN
RS
350
CS
12pF
31pF
b.

Figure 10.

therefore not necessary to filter out these transients by putting an external cap on the V_{IN} terminal, if an input amplifier that can settle within 600ns is used to drive the input. The NE530 is a suitable op amp for driving the input of the ADC0820.

Inherent Sample-Hold

Another benefit of the ADC0820's input mechanism is its ability to measure a variety of high-speed signals without the help of an external sample-and-hold. In a conventional SAR type converter, regardless of its speed, the input must remain at least 1/2LSB stable throughout the conversion process if full accuracy is to be maintained. Consequently, for many high-speed signals, this signal must be externally sampled, and held stationary during the conversion.

Sampled data comparators, by nature of their input switching, already accomplish this function to a large degree (Section 1.2). Although the conversion time for the ADC0820 is 1.5µs, the time through which V_{IN} must be 1/2LSB stable is much smaller. Since the MS flash ADC uses V_{IN} as its "compare" input and the LS ADC uses V_{IN} as its "zero" input, the ADC0820 only "samples" V_{IN} when $\overline{WR}$ is Low. Even though the two flashes are not done simultaneously, the analog signal is measured at one instant. The value of V_{IN} approximately 100ns after the rising edge of $\overline{WR}$ (100ns due to internal logic propagation delay) will be the measured value.

Input signals with slew rates typically below 100mV/µs can be converted without error. However, because of the input time constants, and charge injection through the opened comparator input switches, faster signals may cause errors. Still, the ADC0820's loss in accuracy for a given increase in signal slope is far less than what would be witnessed in a conventional successive approximation device. An SAR type converter with a conversion time as fast as 1µs would still not be able to measure a 5V, 1kHz sine wave without the aid of an external sample-and-hold. The ADC0820, with no such help, can typically measure 5V, 7kHz waveforms.

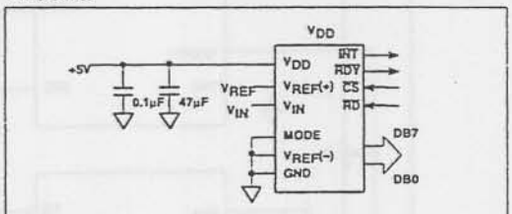


Figure 11. 8-Bit Resolution Configuration

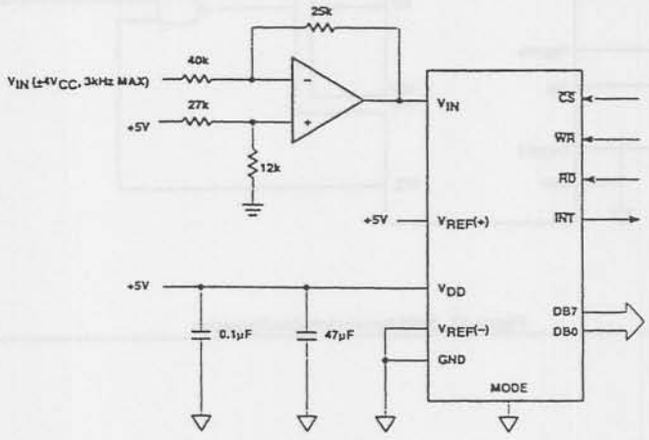


Figure 12. Telecom A/D Converter

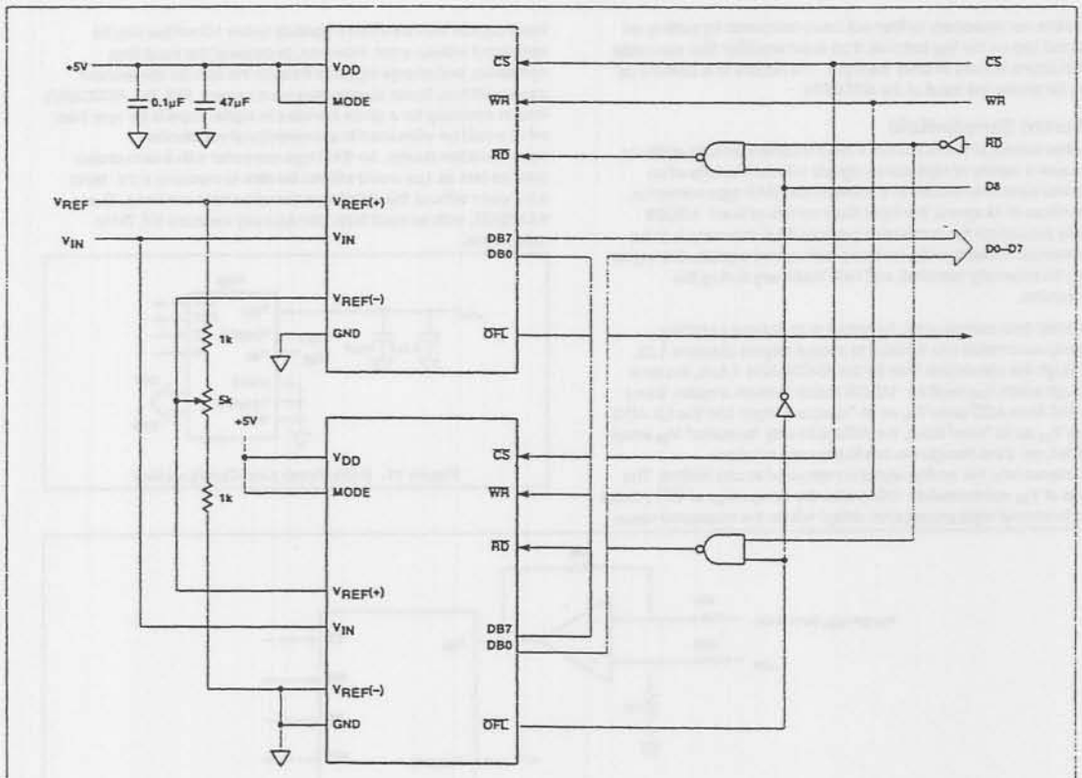


Figure 13. 9-Bit Resolution Configuration

APÉNDICE C

CARACTERÍSTICAS DEL DAC08

8-Bit high-speed multiplying D/A converter — DAC08 Series

DESCRIPTION

The DAC08 series of 8-bit monolithic multiplying Digital-to-Analog Converters provide very high-speed performance coupled with low cost and outstanding applications flexibility.

Advanced circuit design achieves 70ns settling times with very low glitch and at low power consumption. Monotonic multiplying performance is attained over a wide 20-to-1 reference current range. Matching to within 1 LSB between reference and full-scale currents eliminates the need for full-scale trimming in most applications. Direct interface to all popular logic families with full noise immunity is provided by the high swing, adjustable threshold logic inputs.

Dual complementary outputs are provided, increasing versatility and enabling differential operation to effectively double the peak-to-peak output swing. True high voltage compliance outputs allow direct output voltage conversion and eliminate output op amps in many applications.

All DAC08 series models guarantee full 8-bit monotonicity and linearities as tight as 0.1% over the entire operating temperature range. Device performance is essentially unchanged over the ±4.5V to ±18V power supply range, with 37mW power consumption attainable at ±5V supplies.

The compact size and low power consumption make the DAC08 attractive for portable and military aerospace applications.

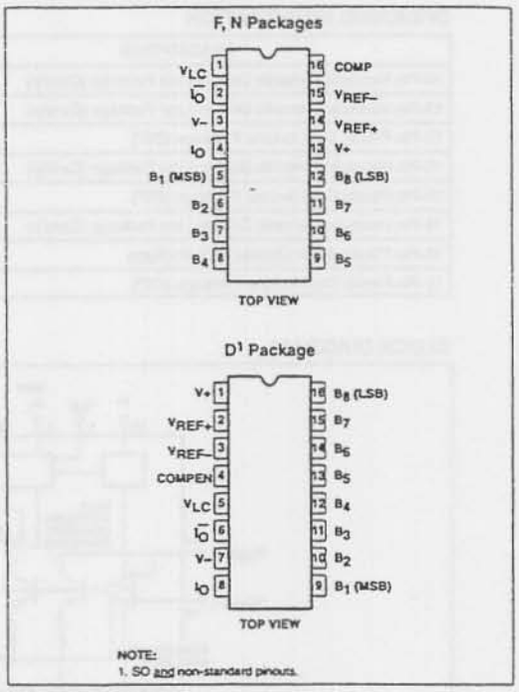
FEATURES

- Fast settling output current—70ns
- Full-scale current prematched to ±1 LSB
- Direct interface to TTL, CMOS, ECL, HTL, PMOS
- Relative accuracy to 0.1% maximum over temperature range
- High output compliance -10V to +18V
- True and complemented outputs
- Wide range multiplying capability
- Low FS current drift — ±10ppm/°C
- Wide power supply range—±4.5V to ±18V
- Low power consumption—37mW at ±5V

APPLICATIONS

- 8-bit, 1µs A-to-D converters
- Servo-motor and pen drivers

PIN CONFIGURATIONS

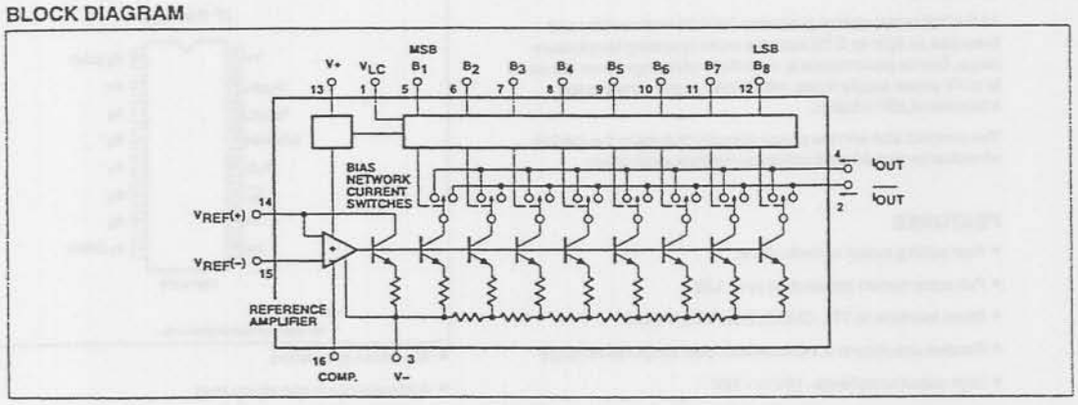


- Waveform generators
- Audio encoders and attenuators
- Analog meter drivers
- Programmable power supplies
- CRT display drivers
- High-speed modems
- Other applications where low cost, high speed and complete input/output versatility are required
- Programmable gain and attenuation
- Analog-Digital multiplication

ORDERING INFORMATION

DESCRIPTION	TEMPERATURE RANGE	ORDER CODE	DWG #
16-Pin Hermetic Ceramic Dual In-Line Package (Cerdip)	-55°C to +125°C	DAC08F	0582B
16-Pin Hermetic Ceramic Dual In-Line Package (Cerdip)	-55°C to +125°C	DAC08AF	0582B
16-Pin Plastic Dual In-Line Package (DIP)	0 to +70°C	DAC08CN	0406C
16-Pin Hermetic Ceramic Dual In-Line Package (Cerdip)	0 to +70°C	DAC08CF	0582B
16-Pin Plastic Dual In-Line Package (DIP)	0 to +70°C	DAC08EN	0406C
16-Pin Hermetic Ceramic Dual In-Line Package (Cerdip)	0 to +70°C	DAC08EF	0582B
16-Pin Plastic Small Outline (SO) Package	0 to +70°C	DAC08ED	0005D
16-Pin Plastic Dual In-Line Package (DIP)	0 to +70°C	DAC08HN	0406C

BLOCK DIAGRAM



ABSOLUTE MAXIMUM RATINGS

SYMBOL	PARAMETER	RATING	UNIT
V+ to V-	Power supply voltage	36	V
V_5-V_{12}	Digital input voltage	V- to V- plus 36V	
V_{LC}	Logic threshold control	V- to V+	
V_0	Applied output voltage	V- to +18	V
I_{14}	Reference current	5.0	mA
V_{14}, V_{15}	Reference amplifier inputs	V_{EE} to V_{CC}	
P_D	Maximum power dissipation T_A=25°C (still-air)[1]		
	F package	1190	mW
	N package	1450	mW
	D package	1090	mW
T_{SOLD}	Lead soldering temperature (10sec max)	300	°C
T_A	Operating temperature range		
	DAC08, DAC08A	-55 to +125	°C
	DAC08C, E, H	0 to +70	°C
T_{STG}	Storage temperature range	-65 to +150	°C

NOTES:
1. Derate above 25°C, at the following rates:
   F package at 9.5mW/°C
   N package at 11.6mW/°C
   D package at 8.7mW/°C

DC ELECTRICAL CHARACTERISTICS

Pin 3 must be at least 3V more negative than the potential to which R_{15} is returned. V_{CC}=±15V, I_{REF}=2.0mA. Output characteristics refer to both I_{OUT} and $\overline{I_{OUT}}$ unless otherwise noted. DAC08C, E, H: T_A=0°C to 70°C DAC08/08A: T_A=-55°C to 125°C

SYMBOL	PARAMETER	TEST CONDITIONS	DAC08C			DAC08E DAC08			UNIT
			Min	Typ	Max	Min	Typ	Max	
	Resolution		8	8	8	8	8	8	Bits
	Monotonicity		8	8	8	8	8	8	Bits
	Relative accuracy	Over temperature range			±0.39			±0.19	%FS
	Differential non-linearity				±0.78			±0.39	%FS
TCI_{FS}	Full-scale tempco			±10			±10		ppm/°C
V_{OC}	Output voltage compliance	Full-scale current change< 1/2LSB	-10		+18	-10		+18	V
I_{FS4}	Full-scale current	V_{REF}=10.000V, R_{14}, R_{15}=5.000kΩ	1.94	1.99	2.04	1.94	1.99	2.04	mA
I_{FSS}	Full-scale symmetry	I_{FS4}-I_{FS2}		±2.0	±16		±1.0	±8.0	µA
I_{ZS}	Zero-scale current			0.2	4.0		0.2	2.0	µA
I_{FSR}	Full-scale output current range	R_{14}, R_{15}=5.000kΩ V_{REF}=+15.0V, V-=-10V V_{REF}=+25.0V, V-=-12V	2.1 4.2			2.1 4.2			mA
V_{IL} V_{IH}	Logic input levels Low High	V_{LC}=0V	 2.0		0.8	 2.0		0.8	V
I_{IL} I_{IH}	Logic input current Low High	V_{LC}=0V V_{IN}=-10V to +0.8V V_{IN}=2.0V to 18V		 -2.0 0.002	 -10 10		 -2.0 0.002	 -10 10	µA
V_{IS}	Logic input swing	V-=-15V	-10		+18	-10		+18	V
V_{THR}	Logic threshold range	V_S=±15V	-10		+13.5	-10		+13.5	V
I_{15}	Reference bias current			-1.0	-3.0		-1.0	-3.0	µA
dI/dt	Reference input slew rate		4.0	8.0		4.0	8.0		mA/µs
$PSSI_{FS+}$ PSI_{FS-}	Power supply sensitivity Positive Negative	I_{REF}=1mA V+=4.5 to 5.5V, V-=-15V; V+=13.5 to 16.5V, V-=-15V V-=-4.5 to -5.5V, V+=+15V; V-=-13.5 to -16.5, V+=+15V		 0.0003 0.002	 0.01 0.01		 0.0003 0.002	 0.01 0.01	%FS/%VS
I+ I-	Power supply current Positive Negative	V_S=±5V, I_{REF}=1.0mA		3.1 -4.3	3.8 -5.8		3.1 -4.3	3.8 -5.8	mA
I+ I-	Positive Negative	V_S=+5V, -15V, I_{REF}=2.0mA		3.1 -7.1	3.8 -7.8		3.1 -7.1	3.8 -7.8	
I+ I-	Positive Negative	V_S=±15V, I_{REF}=2.0mA		3.2 -7.2	3.8 -7.8		3.2 -7.2	3.8 -7.8	
P_D	Power dissipation	±5V, I_{REF}=1.0mA +5V, -15V, I_{REF}=2.0mA ±15V, I_{REF}=2.0mA		37 122 156	48 136 174		37 122 156	48 136 174	mW

DC ELECTRICAL CHARACTERISTICS (Continued)

Pin 3 must be at least 3V more negative than the potential to which R15 is returned. V_{CC} = +15V, I_{REF} = 2.0mA. Output characteristics refer to both I_{OUT} and $\overline{I_{OUT}}$, unless otherwise noted. DAC08C, E, H: T_A = 0°C to 70°C. DAC08/08A: T_A = -55°C to 125°C.

SYMBOL	PARAMETER	TEST CONDITIONS	DAC08H DAC08A			UNIT
			Min	Typ	Max	
	Resolution		8	8	8	Bits
	Monotonicity		8	8	8	Bits
	Relative accuracy	Over temperature range			±0.1	%FS
	Differential non-linearity				±0.19	%FS
TCI_{FS}	Full-scale tempco			±10	±50	ppm/°C
V_{OC}	Output voltage compliance	Full-scale current change 1/2LSB	-10		+18	V
I_{FS4}	Full-scale current	V_{REF}=10.000V, R_{14}, R_{15}=5.000kΩ	1.984	1.992	2.000	mA
I_{FSS}	Full-scale symmetry	I_{FS4}-I_{FS2}		±1.0	±4.0	µA
I_{ZS}	Zero-scale current			0.2	1.0	µA
I_{FSR}	Full-scale output current range	R_{14}, R_{15}=5.000kΩ V_{REF}=+15.0V, V-=-10V V_{REF}=+25.0V, V-=-12V	 2.1 4.2			mA
	Logic input levels					
V_{IL}	Low	V_{LC}=0V			0.8	V
V_{IH}	High		2.0			
	Logic input current	V_{LC}=0V				
I_{IL}	Low	V_{IN}=-10V to +0.8V		-2.0	-10	µA
I_{IH}	High	V_{IN}=2.0V to 18V		0.002	10	
V_{IS}	Logic input swing	V-=-15V	-10		+18	V
V_{THR}	Logic threshold range	V_S=±15V	-10		+13.5	V
I_{15}	Reference bias current			-1.0	-3.0	µA
dI/dt	Reference input slew rate		4.0	8.0		mA/µs
	Power supply sensitivity	I_{REF}=1mA				
$PSSI_{FS+}$	Positive	V+=4.5 to 5.5V, V-=-15V; V+=13.5 to 16.5V, V-=-15V		0.0003	0.01	%FS/%VS
PSI_{FS-}	Negative	V-=-4.5 to -5.5V, V+=+15V; V-=-13.5 to -16.5, V+=+15V		0.002	0.01	
	Power supply current					
I+	Positive	V_S=±5V, I_{REF}=1.0mA		3.1	3.8	mA
I-	Negative			-4.3	-5.8	
I+	Positive	V_S=+5V, -15V, I_{REF}=2.0mA		3.1	3.8	
I-	Negative			-7.1	-7.8	
I+	Positive	V_S=±15V, I_{REF}=2.0mA		3.2	3.8	
I-	Negative			-7.2	-7.8	
P_D	Power dissipation	±5V, I_{REF}=1.0mA		37	48	mW
		+5V, -15V, I_{REF}=2.0mA		122	136	
		±15V, I_{REF}=2.0mA		156	174	

AC ELECTRICAL CHARACTERISTICS

SYMBOL	PARAMETER	TEST CONDITIONS	DAC08C			DAC08E DAC08			DAC08H DAC08A			UNIT
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
t_S	Settling time	To ± 1/2LSB, all bits switched on or off, T_A=25°C		70	135		70	135		70	135	ns
	Propagation delay											
t_{PLH}	Low-to-High	T_A=25°C, each bit.										ns
t_{PHL}	High-to-Low	All bits switched		35	60		35	60		35	60	

TEST CIRCUITS

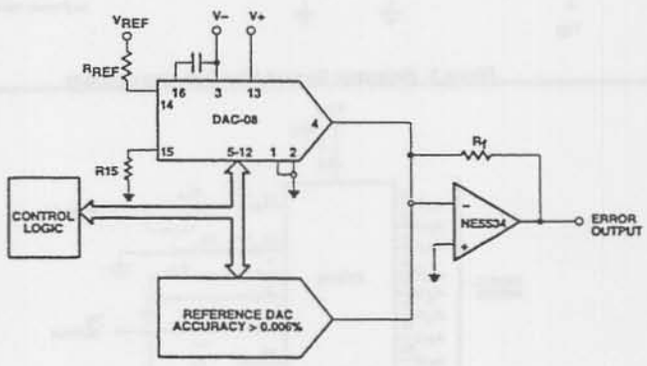


Figure 1. Relative Accuracy Test Circuit

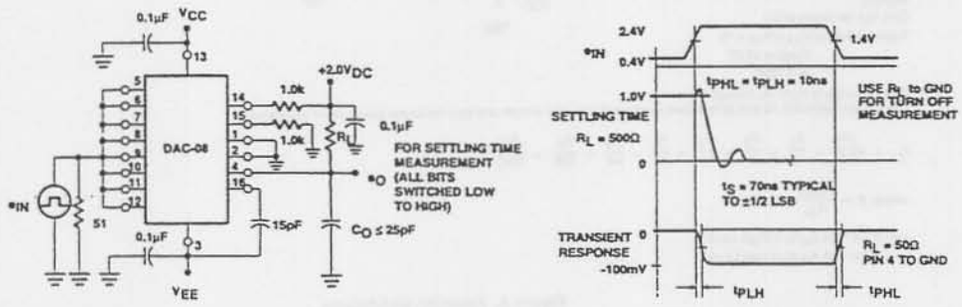


Figure 2. Transient Response and Settling Time

TEST CIRCUITS (Continued)

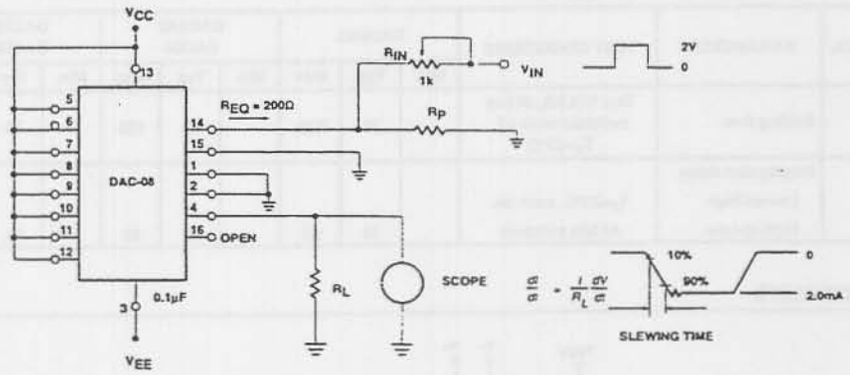
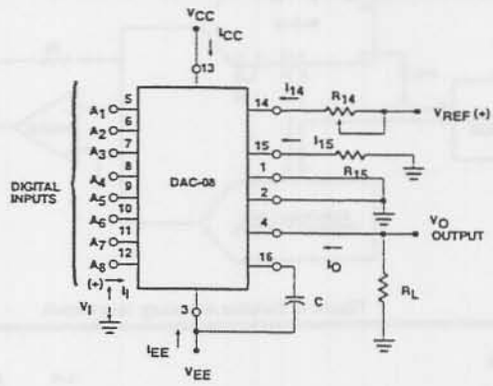


Figure 3. Reference Current Slew Rate Measurement



NOTES:
(See text for values of C.)
Typical values of $R_{14} = R_{15} = 1k$
$V_{REF} = +2.0V$
$C = 15pF$

V_I and I_I apply to inputs A_1 through A_8
The resistor tied to Pin 15 is to temperature compensate the bias current and may not be necessary for all applications.

$$I_O = K\left[\frac{A_1}{2} + \frac{A_2}{4} + \frac{A_3}{8} + \frac{A_4}{16} + \frac{A_5}{32} + \frac{A_6}{64} + \frac{A_7}{128} + \frac{A_8}{256}\right]$$

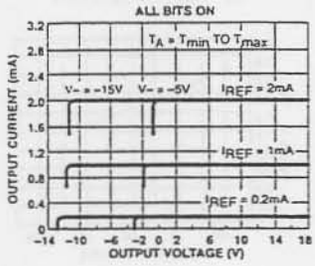
$$\text{where } K = \frac{V_{REF}}{R_{14}}$$

and A_N = '1' if A_N is at High Level
A_N = '0' if A_N is at Low Level

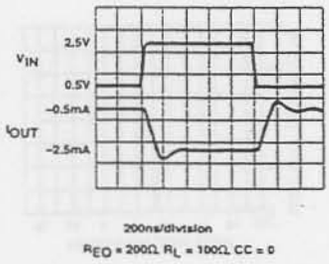
Figure 4. Notation Definitions

TYPICAL PERFORMANCE CHARACTERISTICS

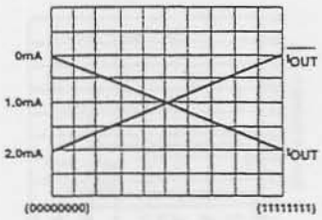
Output Current vs Output Voltage (Output Voltage Compliance)



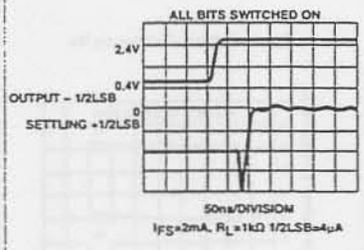
Fast Pulsed Reference Operation



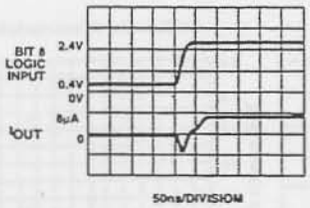
True and Complementary Output Operation



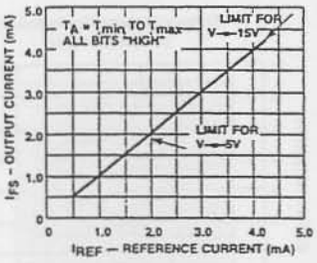
Full-Scale Settling Time



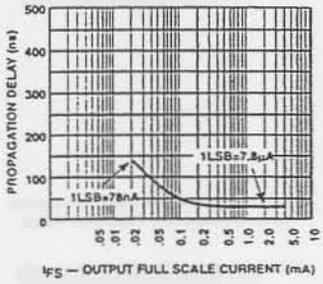
LSB Switching



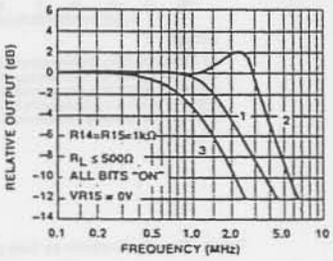
Full-Scale Current vs Reference Current



LSB Propagation Delay vs IFS



Reference Input Frequency Response

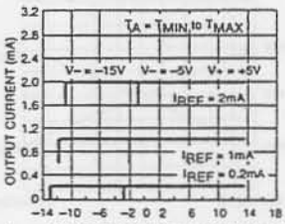


NOTES:

Curve 1: CC = 15pF, V_{IN} = 2.0Vp-p centered at +1.0V
Curve 1: CC = 15pF, V_{IN} = 5m0Vp-p centered at +200mV
Curve 1: CC = 15pF, V_{IN} = 100m0Vp-p centered at 0V and applied through 50Ω connected to Pin 14 +2.0V applied to R_{14}

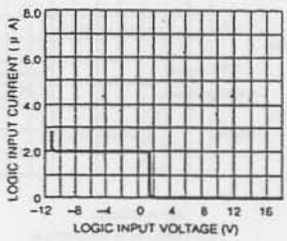
TYPICAL PERFORMANCE CHARACTERISTICS (Continued)

Reference AMP Common-Mode Range All Bits On

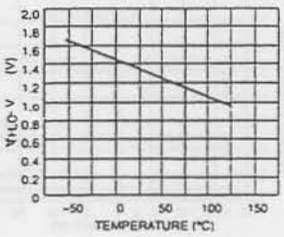


POSITIVE COMMON-MODE RANGE IS ALWAYS (V+) −1.5V.

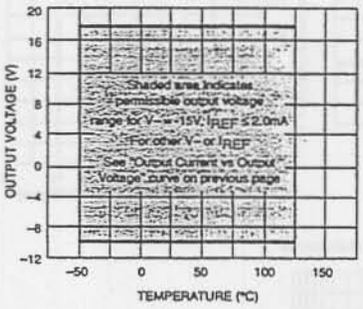
Logic Input Current vs Input Voltage



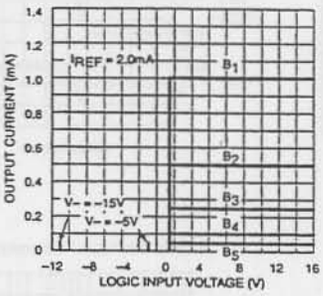
$V_{TH} - V_{LC}$ vs Temperature



Output Voltage Compliance vs Temperature



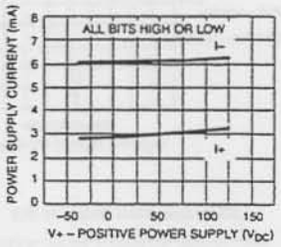
Bit Transfer Characteristics



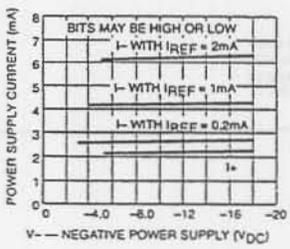
NOTES:

B_1 through B_8 have identical transfer characteristics. Bits are fully switched, with less than 1/2LSB error, at less than ±100mV from actual threshold. These switching points are guaranteed to lie between 0.8 and 2.0V over the operating temperature range (V_{LC} = 0.0V).

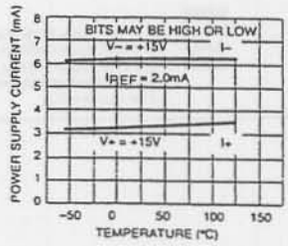
Power Supply Current vs V+



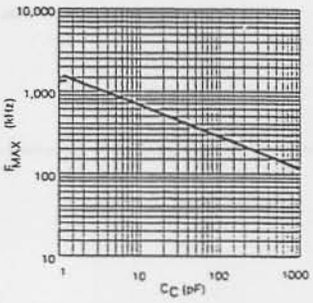
Power Supply Current vs V−



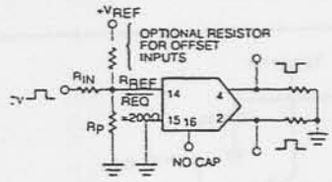
Power Supply Current vs Temperature



Maximum Reference Input Frequency vs Compensation Capacitor Value



TYPICAL APPLICATION



NOTES:
REQ = R_{IN} ll Rp
Typical Values
R_{IN} = 5kΩ
$+V_{IN}$ = 10V

Pulsed Referenced Operation

FUNCTIONAL DESCRIPTION

Reference Amplifier Drive and Compensation

The reference amplifier input current must always flow into Pin 14 regardless of the setup method or reference supply voltage polarity.

Connections for a positive reference voltage are shown in Figure 1. The reference voltage source supplies the full reference current. For bipolar reference signals, as in the multiplying mode, R_{15} can be tied to a negative voltage corresponding to the minimum input level. R_{15} may be eliminated with only a small sacrifice in accuracy and temperature drift.

The compensation capacitor value must be increased as R_{14} value is increased. This is in order to maintain proper phase margin. For R_{14} values of 1.0, 2.5, and 5.0kΩ, minimum capacitor values are 15, 37, and 75pF, respectively. The capacitor may be tied to either V_{EE} or ground, but using V_{EE} increases negative supply rejection. (Fluctuations in the negative supply have more effect on accuracy than do any changes in the positive supply.)

A negative reference voltage may be used if R_{14} is grounded and the reference voltage is applied to R_{15} as shown. A high input impedance is the main advantage of this method. The negative reference voltage must be at least 3.0V above the V_{EE} supply. Bipolar input signals may be handled by connecting R_{14} to a positive reference voltage equal to the peak positive input level at Pin 15.

When using a DC reference voltage, capacitive bypass to ground is recommended. The 5.0V logic supply is not recommended as a reference voltage, but if a well regulated 5.0V supply which drives logic is to be used as the reference, R_{14} should be formed of two series resistors with the junction of the two resistors bypassed with 0.1μF to ground. For reference voltages greater than 5.0V, a clamp diode is recommended between Pin 14 and ground.

If Pin 14 is driven by a high impedance such as a transistor current source, none of the above compensation methods applies and the amplifier must be heavily compensated, decreasing the overall bandwidth.

Output Voltage Range

The voltage at Pin 4 must always be at least 4.5V more positive than the voltage of the negative supply (Pin 3) when the reference current is 2mA or less, and at least 8V more positive than the negative supply when the reference current is between 2mA and 4mA. This is necessary to avoid saturation of the output transistors, which would cause serious accuracy degradation.

Output Current Range

Any time the full-scale current exceeds 2mA, the negative supply must be at least 8V more negative than the output voltage. This is due to the increased internal voltage drops between the negative supply and the outputs with higher reference currents.

Accuracy

Absolute accuracy is the measure of each output current level with respect to its intended value, and is dependent upon relative accuracy, full-scale accuracy and full-scale current drift. Relative accuracy is the measure of each output current level as a fraction of the full-scale current after zero-scale current has been nulled out. The relative accuracy of the DAC08 series is essentially constant over the operating temperature range due to the excellent temperature tracking of the monolithic resistor ladder. The reference current may drift with temperature, causing a change in the absolute accuracy of output current. However, the DAC08 series has a very low full-scale current drift over the operating temperature range.

The DAC08 series is guaranteed accurate to within ± LSB at +25°C at a full-scale output current of 1.992mA. The relative accuracy test circuit is shown in Figure 1. The 12-bit converter is calibrated to a full-scale output current of 1.99219mA, then the DAC08 full-scale current is trimmed to the same value with R_{14} so that a zero value appears at the error amplifier output. The counter is activated and the error band may be displayed on the oscilloscope, detected by comparators, or stored in a peak detector.

Two 8-bit D-to-A converters may not be used to construct a 16-bit accurate D-to-A converter. 16-bit accuracy implies a total of ± part in 65,536, or ±0.00076%, which is much more accurate than the ±0.19% specification of the DAC08 series.

Monotonicity

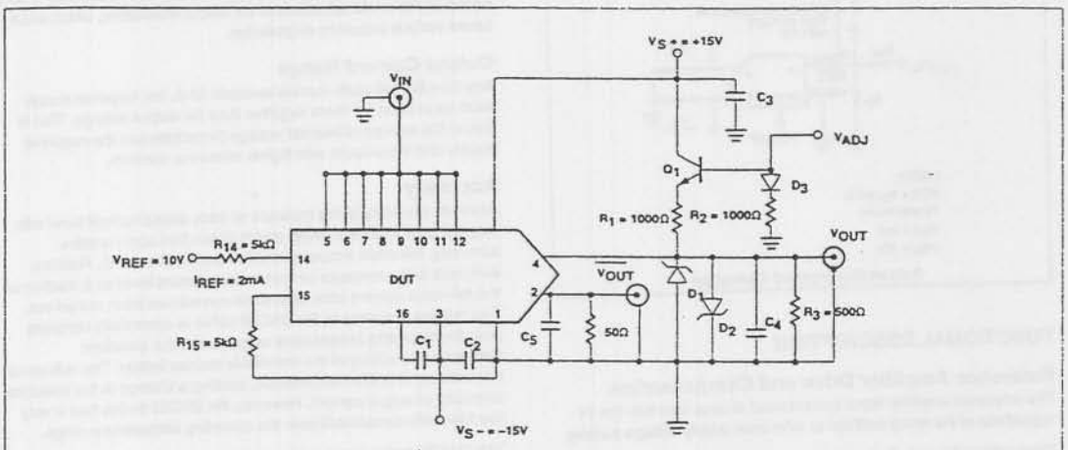
A monotonic converter is one which always provides analog output greater than or equal to the preceding value for a corresponding increment in the digital input code. The DAC08 series is monotonic for all values of reference current above 0.5mA. The recommended range for operation is a DC reference current between 0.5mA and 4.0mA.

Settling Time

The worst-case switching condition occurs when all bits are switched on, which corresponds to a low-to-high transition for all input bits. This time is typically 70ns for settling to within LSB for 8-bit accuracy. This time applies when R_L<500Ω and C_O<25pF. The slowest single switch is the least significant bit, which typically turns on and settles in 65ns. In applications where the DAC functions in a positive-going ramp mode, the worst-case condition does not occur and settling times less than 70ns may be realized.

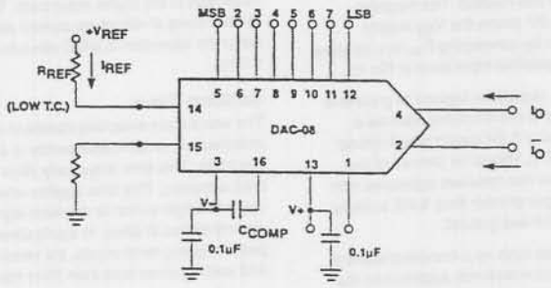
Extra care must be taken in board layout since this usually is the dominant factor in satisfactory test results when measuring settling time. Short leads, 100μF supply bypassing for low frequencies, minimum scope lead length, and avoidance of ground loops are all mandatory.

SETTLING TIME AND PROPAGATION DELAY



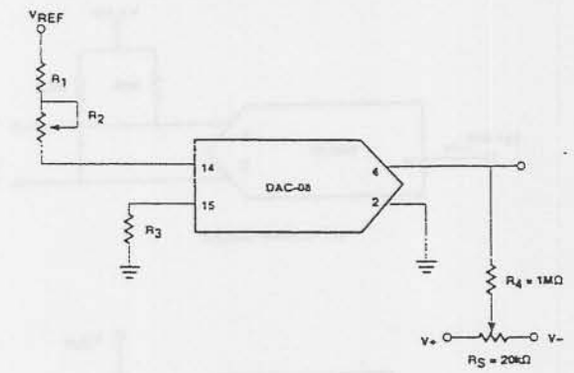
NOTES:
D_1, D_2 = IN6263 or equivalent
D_3 = IN914 or equivalent
C_1 = 0.01μF
C_2, C_3 = 0.1μF
Q_1 = 2N3904
C_4, C_5 = 15pF and includes all probe and fixturing capacitance.

BASIC DAC08 CONFIGURATION



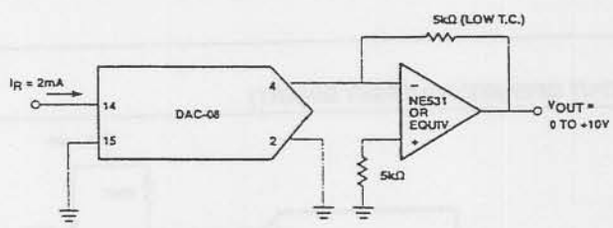
NOTES:
$I_{FS} = \frac{+V_{REF}}{R_{REF}} \times \frac{255}{256}$; $I_O + \bar{I}_O = I_{FS}$ for all logic states

RECOMMENDED FULL-SCALE AND ZERO-SCALE ADJUST

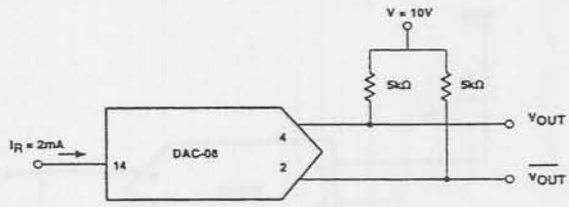


NOTES:
R_1 = low T.C.
$R_3 = R_1 + R_2$
$R_2 = 0.1\ R_1$ to minimize pot. contribution to full-scale drift

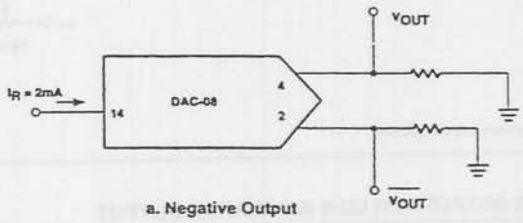
UNIPOLAR VOLTAGE OUTPUT FOR LOW IMPEDANCE OUTPUT



UNIPOLAR VOLTAGE OUTPUT FOR HIGH IMPEDANCE OUTPUT

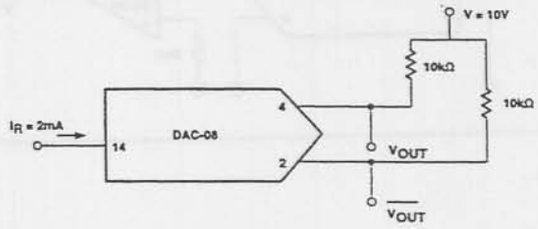


a. Positive Output



a. Negative Output

BASIC BIPOLAR OUTPUT OPERATION (OFFSET BINARY)



	B_1	B_2	B_3	B_4	B_5	B_6	B_7	B_8	V_{OUT}	$\overline{V_{OUT}}$
Positive full-scale	1	1	1	1	1	1	1	1	−9.920V	+10.000
Positive FS − 1LSB	1	1	1	1	1	1	1	0	−9.840V	+9.920
+ Zero-scale + 1LSB	1	0	0	0	0	0	0	1	−0.080V	+0.160
Zero-scale	1	0	0	0	0	0	0	0	0.000	+0.080
Zero-scale − 1LSB	0	1	1	1	1	1	1	1	0.080	0.000
Negative full scale − 1LSB	0	0	0	0	0	0	0	1	+9.920	−9.840
Negative full scale	0	0	0	0	0	0	0	0	+10.000	−9.920

Applying the DAC08 AN101

Reference Amplifier Setup

The DAC08 Series are multiplying D-to-A converters in which the output current is the product of a digital number and the input reference current. The reference current may be fixed or may vary from nearly zero to +4.0mA. The full-scale output current is a linear function of the reference current and is given by this equalization where $I_{REF}=I_{14}$

$$I_{FS} = \frac{255}{256} \times I_{REF}$$

In positive reference applications shown in Figure 1, an external positive reference voltage forces current through R14 into the V_{REF} (+) terminal (Pin 14) of the reference amplifier. Alternatively, a negative reference may be applied to V_{REF} (-) at Pin 15, shown in Figure 2. Reference current flows from ground through R14 into V_{REF}(+) as in the positive reference case. This negative reference connection has the advantage of a very high impedance presented at Pin 15. The voltage at Pin 14 is equal to and tracks the voltage at Pin 15 due to the high gain of the internal reference amplifier. R15 (nominally equal to R14) is used to cancel bias current errors. R15 may be eliminated with only a minor increase in error.

Bipolar references may be accommodated by offsetting V_{REF} or Pin 15 as shown in Figure 3. The negative common-mode range of the reference amplifier is given by the following equation:

$$V_{CM} - = V - + (I_{REF} \cdot 1k\Omega) + 2.5V$$

When a DC reference is used, a reference bypass capacitor is recommended. A 5.0V TTL logic supply is not recommended as a reference. If a regulated power supply is used as a reference, R14 should be split into 2 resistors with the junction bypassed to ground with a 0.1µF capacitor.

For most applications, a +10.0V reference is recommended for optimum full-scale temperature coefficient performance. This will minimize the contributions of reference amplifier V_{OS} and TCV_{OS}. For most applications, the tight relationship between I_{REF} and I_{FS} will eliminate the need for trimming I_{REF}. If required, full-scale trimming may be accomplished by adjusting the value of R14, or by using a potentiometer for R14. An improved method of full-scale trimming which eliminates potentiometer TC effects is shown in Figure 4.

Using lower values of reference current reduces negative power supply current and increases reference amplifier negative common-mode range. The recommended range for operation with a DC reference current is +0.2mA to +4.0mA.

The reference amplifier must be compensated by using a capacitor from Pin 16 to V-. For fixed reference operation, a 0.01µF capacitor is recommended. For variable reference applications, see section entitled "Reference Amplifier Compensation for Multiplying Applications".

Multiplying Operation

The DAC08 Series provides excellent multiplying performance with an extremely linear relationship between I_{FS} and I_{REF} over a range of 4mA to 4µA. Monotonic operation is maintained over a typical range of I_{REF} from 100µA to 4.0mA.

Reference Amplifier Compensation for Multiplying Applications

AC reference applications will require the reference amplifier to be compensated using a capacitor from Pin 16 to V-. The value of this capacitor depends on the impedance presented to Pin 14. For R14 values of 1.0, 2.5 and 5.0kΩ minimum values of C_C are 15, 37 and 75pF. Larger values of R14 require proportionately increased values of C_C for proper phase margin.

For fastest multiplying response, low values of R14 enabling small C_C values should be used. If Pin 14 is driven by a high impedance such as a transistor current source, none of the preceding values will suffice and the amplifier must be heavily compensated, which will decrease overall bandwidth and slew rate. For R14=1kΩ and CC=15pF, the reference amplifier slews at 4mA/µs enabling a transition from I_{REF}=0 to I_{REF}=2mA in 500ns.

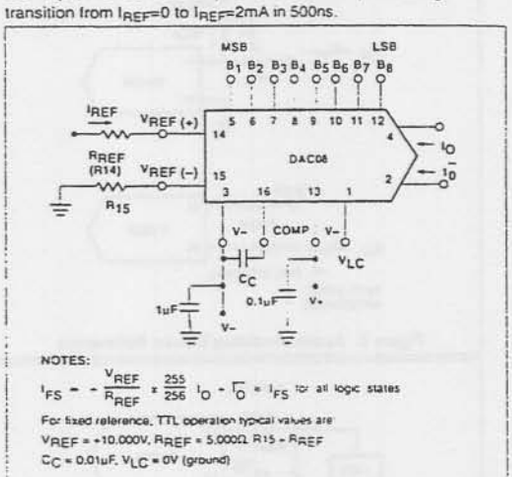


Figure 1. Basic Positive Reference Operation

Operation with pulse inputs to the reference amplifier may be accommodated by an alternate compensation scheme shown in Figure 5. This technique provides lowest full-scale transition times. Full-scale transition (0 to 2mA) occurs in 120ns when the equivalent impedance at Pin 14 is 200Ω and C_C=0. This yields a reference slew rate of 16mA/µs, which is relatively independent of R_{IN} and V_{IN} values.

Logic Inputs

The DAC08 design incorporates a logic input circuit which enables direct interface to all popular logic families and provides maximum noise immunity. This feature is made possible by the large input swing capability, 2µA logic input current and completely adjustable logic threshold voltage. For V-=-15V, the logic inputs may swing between -11V and +18V. This enables direct interface with +15V CMOS logic, even when the DAC08 is powered from a +5V supply. Minimum input logic swing is given by the following equation:

$$V - + (I_{REF} \cdot 1k\Omega) + 2.5V$$

The logic threshold may be adjusted over a wide range by placing an appropriate voltage at the logic threshold control in (Pin 1, V_{LC}). Figure 6 shows the relationship between V_{LC} and V_{TH} over the temperature range, with V_{TH} nominally 1.4 above V_{LC}. For TTL and DTL interface, simply ground Pin 1. When interfacing ECL, an I_{REF}=1mA is recommended. For interfacing other logic families, see Figure 7. For general setup of the logic control circuit, it should be noted that Pin 1 may source up to 200µA. External circuitry should be designed to accommodate this current.

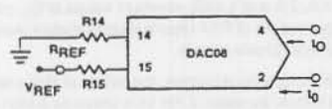


Figure 2. Basic Negative Reference Operation

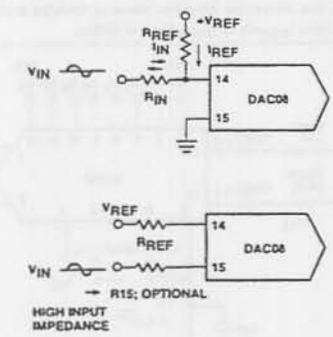


Figure 3. Accommodating Bipolar References

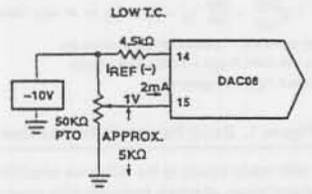


Figure 4. Recommended Full-Scale Adjustment Circuit

Fastest settling times are obtained when Pin 1 sees a low impedance. If Pin 1 is connected to a 1kΩ divider, for example, it should be bypassed to ground by a 0.01μF capacitor.

Analog Output Currents

Both true and complemented output sink currents are provided, where $I_O+\bar{I}_O=I_{FS}$. Current appears at the true output when a 1 is applied to each logic input. As the binary count increases, the sink current at Pin 4 increases proportionally, in the fashion of a positive logic D-to-A converter. When a 0 is applied to any input bit, that current is turned off at Pin 4 and turned on at Pin 2. A decreasing logic count increases $\bar{I}_O$ as in a negative or inverted logic D-to-A converter. Both outputs may be used simultaneously. If one of the outputs is not required it must still be connected to ground or to a point capable of sourcing I_{FS}. Do not leave an unused output pin open.

Both outputs have an extremely wide voltage compliance enabling fast direct current-to-voltage conversion through a resistor tied to ground or other voltage source. Positive compliance is 36V above V- and is independent of the positive supply. Negative compliance is given by the equation:

$$V- + (I_{REF} \cdot 1k\Omega) + 3.0V$$

Note that lower values of I_{REF} will allow a greater output compliance.

The dual outputs enable double the usual peak-to-peak load swing when driving loads in quasi-differential fashion. This feature is especially useful in cable driving, CRT deflection and in other balanced applications such as balanced-bridge A/D circuits, as well as driving center-tapped coils and transformers.

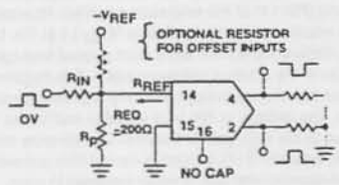


Figure 5. Pulsed Reference Operation

Power Supplies

The DAC08 operates over a wide range of power supply voltages from a total supply of 9V to 36V. When operating at supplies of ±5V or less, $I_{REF} \leq 1mA$ is recommended.

Low reference current operation decreases power consumption and increases negative compliance, reference amplifier negative common-mode range, negative logic input range, and negative logic threshold range. Consult the various figures for guidance. For example, operation at -4.5V with I_{REF}=2mA is not recommended because negative output compliance would be reduced to near zero. Operation from lower supplies is possible; however, at least 8V total must be applied between Pins 2 and 4, and Pin 3 to insure turn-on of the internal bias network.

Symmetrical supplies are not required, as the DAC08 is quite insensitive to variations in supply voltage. Battery operation is feasible as no ground connection is required; however, an artificial ground may be useful to insure logic swings, etc., remain between acceptable limits.

Power consumption may be calculated by this equation:

$$P_D = (I+)(V+) + (I+)(V-) + (I_{REF})(V-)$$

A useful feature of the DAC08 design is that supply current is constant and independent of input logic states. This is useful in cryptographic applications and further serves to reduce the size of the power supply bypass capacitors.

Temperature Performance

The linearity and monotonicity specifications of the DAC08 are guaranteed to apply over the entire rated operating temperature range. Full-scale output current drift is low, typically ±10ppm/°C with zero-scale output current and drift essentially negligible compared to LSB.

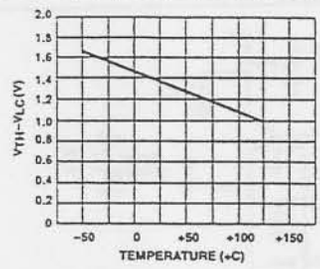


Figure 6. $V_{TH} - V_{LC}$ vs Temperature

Full-scale output drift performance will be best with +10.0V references, as V_{OS} and TCV_{OS} of the reference amplifier will be very small compared to 10.0V. The temperature coefficient of the reference resistor R14 should match and track that of the output resistor for minimum overall full-scale drift. Settling times of the DAC08 decrease approximately 10% at -55°C, and an increase of about 15% at +125°C is typical.

Settling Time

The DAC08 is capable of extremely fast settling times (typically 70ns at I_{REF}=2.0mA).

Judicious circuit design and careful board layout must be employed to obtain full performance potential during testing and application. The logic switch design enables propagation delays of only 35ns for each of the 8 bits. Settling time to within LSB is therefore 35ns, with each progressively larger bit taking successively longer. The MSB settles in 70ns, thus determining the overall settling time of 70ns.

Settling to 6-bit accuracy requires about 55 to 60ns. The output capacitance, including the package, is approximately 15pF. Therefore, the output RC time constant dominates settling time if R_L >500Ω.

Settling time and propagation delay are relatively insensitive to logic input amplitude and rise and fall times due to the high gain of the logic switches. Settling time also remains essentially constant for I_{REF} values down to 1.0mA, with gradual increases for lower I_{REF} values. The principal advantage of higher I_{REF} values lies in the ability to attain a given output level with lower load resistors, thus reducing the output RC time constant.

Measurement of settling time requires the ability to accurately resolve ±4μA. Therefore, a 1kΩ load is needed to provide adequate drive for most oscilloscopes. The settling time fixture of Figure 8 uses a cascade design to permit driving a 1kΩ load with less than 5pF of parasite capacitance at the measurement node. At I_{REF} values of less than 1.0mA, excessive RC damping of the output is difficult to prevent while maintaining adequate sensitivity. However, the major carry from 01111111 to 10000000 provides an accurate indicator of settling time. This code change does not require the normal 6.2 time constants to settle to within ±0.2% of the final value; thus, settling time may be observed at lower values of I_{REF}.

The DAC08 switching transients or glitches are very low and may be further reduced by small capacitive loads at the output at a minor sacrifice in settling time.

Fastest operation can be obtained by using short leads, minimizing output capacitance and load resistor values, and by adequate bypassing at the supply, reference and V_{LC} terminals. Supplies do not require large electrolytic bypass capacitors as the supply current drain is dependent of input logic states. 0.1μF capacitors at the supply pins provide full transient performance.

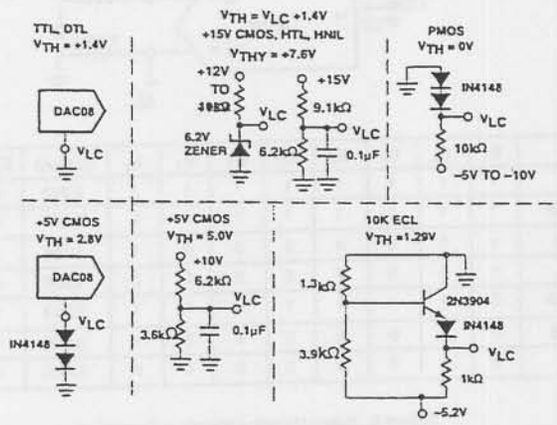


Figure 7. Interfacing With Various Logic Families

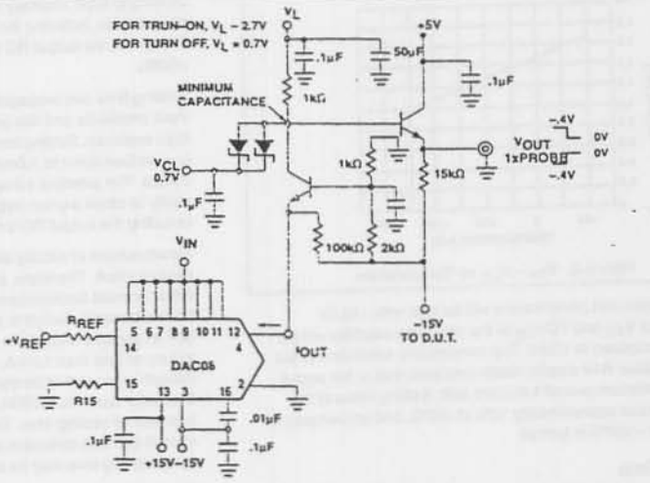
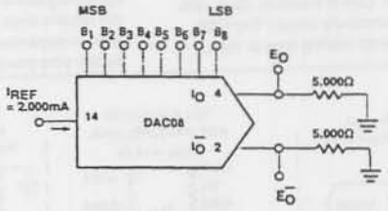


Figure 8. Settling Time Measurement

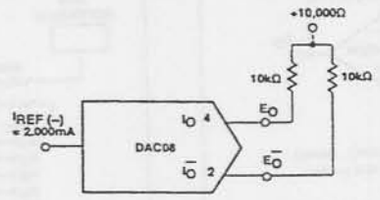
TYPICAL APPLICATIONS



	B_1	B_2	B_3	B_4	B_5	B_6	B_7	B_8	I_O (mA)	$\overline{I_O}$ (mA)	E_O	$\overline{E_O}$
Full-scale	1	1	1	1	1	1	1	1	1.992	0.000	–9.960	0.000
Full-scale — LSB	1	1	1	1	1	1	1	0	1.984	0.008	–9.920	–0.040
Half-scale + LSB	1	0	0	0	0	0	0	1	1.008	0.984	–5.040	–4.920
Half-scale	1	0	0	0	0	0	0	0	1.000	0.992	–5.000	–4.960
Half-scale — LSB	0	1	1	1	1	1	1	1	0.992	1.000	–4.960	–5.000
Zero-scale + LSB	0	0	0	0	0	0	0	1	0.008	1.984	–0.040	–9.920
Zero-scale	0	0	0	0	0	0	0	0	0.000	1.992	0.000	–9.960

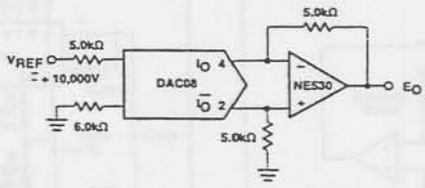
Figure 9. Basic Unipolar Negative Operation

TYPICAL APPLICATIONS (Continued)



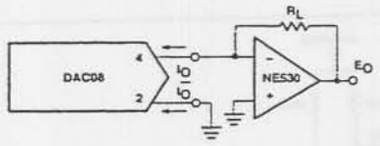
	B_1	B_2	B_3	B_4	B_5	B_6	B_7	B_8	E_O	$\overline{E_O}$
Pos full-scale	1	1	1	1	1	1	1	1	–9.920	+10.000
Pos full-scale — LSB	1	1	1	1	1	1	1	0	–9.840	+9.920
Zero-scale + LSB	1	0	0	0	0	0	0	1	–0.080	+0.160
Zero-scale	1	0	0	0	0	0	0	0	0.000	+0.080
Zero-scale — LSB	0	1	1	1	1	1	1	1	+0.080	0.000
Neg full-scale + LSB	0	0	0	0	0	0	0	1	+9.920	–9.840
Neg full-scale	0	0	0	0	0	0	0	0	+10.000	–9.920

Figure 10. Basic Bipolar Output Operation



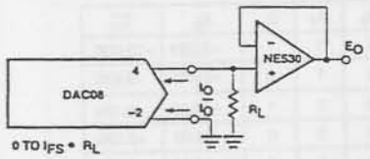
	B_1	B_2	B_3	B_4	B_5	B_6	B_7	B_8	E_O
Pos full-scale	1	1	1	1	1	1	1	1	+9.920
Pos full-scale — LSB	1	1	1	1	1	1	1	0	+9.840
(+) Zero-scale	1	0	0	0	0	0	0	0	+0.040
(–) Zero-scale	0	1	1	1	1	1	1	1	–0.040
Neg full-scale + LSB	0	0	0	0	0	0	0	1	–9.840
Neg full-scale	0	0	0	0	0	0	0	0	–9.920

Figure 11. Symmetrical Offset Binary Operation



NOTE:
For complementary output (operation as negative logic DAC), connect inverting input of op amp to I_O (Pin 2); connect $\overline{I_O}$ (Pin 4) to ground.

Figure 12. Positive Low Impedance Output Operation



0 TO $I_{FS} * R_L$

$I_{FS} \frac{255}{256} I_{REF}$

NOTE:
For complementary output (operation as negative logic DAC), connect inverting input of op amp to I_O (Pin 2); connect $\overline{I_O}$ (Pin 4) to ground.

Figure 13. Negative Low Impedance Output Operation

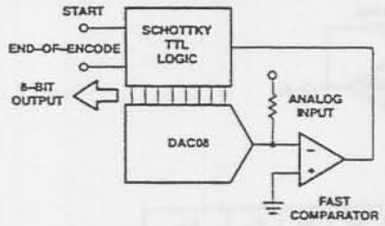
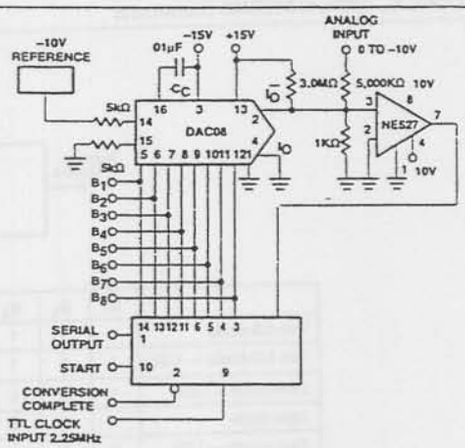
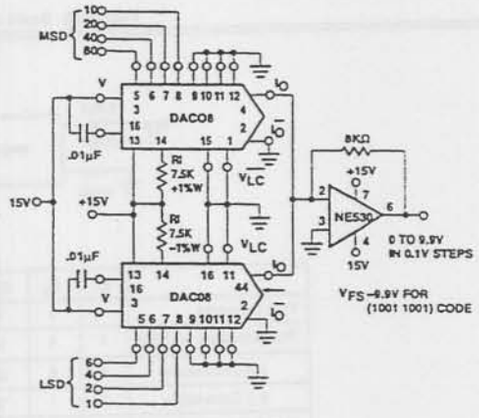


Figure 14. Low Cost 8-Bit 1μs A-to-D Converter



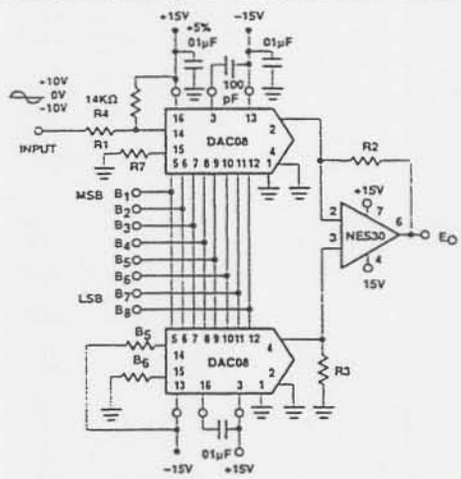
NOTE:
Connect "start" to "conversion complete" for continuous conversions

Figure 15. 3 IC Low Cost A-to-D Converter



NOTE:
Output is directly proportional to positive power supply

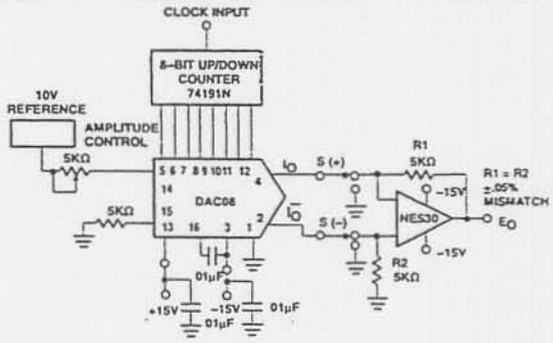
Figure 16. Low Cost 2-Digit BCD DAC



Bipolar input offset binary output } Performs 2 quadrant multiplications — AC input controls output polarity

NOTES:
1. R1 = R2 = R3
2. R4 = R5
3. E_O DC to 20kHz = ±5V
4. E_O DC to 10kHz = ±10V

Figure 17. DC-Coupled Digital Attenuator/ Programmable Gain Amplifier



NOTES:
1. Bipolar output is symmetrical around zero, adjustable peak-to-peak amplitude
2. For triangle wave, count up to full, reverse and count down
3. For positive-going sawtooth, count up to full, clean, repeat
4. For negative-going sawtooth, count down, clean, repeat
5. For other waveforms, use a ROM programmed with the desired function

Figure 18. High-Speed Waveform Generator

APÉNDICE D

CARACTERÍSTICAS DEL NE571

NE570/571/SA571
Compandor

Product Specification

Linear Products

DESCRIPTION

The NE570/571 is a versatile low cost dual gain control circuit in which either channel may be used as a dynamic range compressor or expandor. Each channel has a full-wave rectifier to detect the average value of the signal, a linerarized temperature-compensated variable gain cell, and an operational amplifier.

The NE570/571 is well suited for use in cellular radio and radio communications systems, modems, telephone, and satellite broadcast/receive audio systems.

CIRCUIT DESCRIPTION

The NE570/571 compandor building blocks, as shown in the block diagram, are a full-wave rectifier, a variable gain cell, an operational amplifier and a bias system. The arrangement of these blocks in the IC result in a circuit which can perform well with few external components, yet can be adapted to many diverse applications.

The full-wave rectifier rectifies the input current which flows from the rectifier input, to an internal summing node which is biased at V_{REF}. The rectified current is averaged on an external filter capacitor tied to the C_{RECT} terminal, and the average value of the input current controls the gain of the variable gain cell. The gain will thus be proportional to the average value of the input signal for capacitively-coupled voltage inputs as shown in the following equation. Note that for capacitively-coupled inputs there is no offset voltage capable of producing a gain error. The only error will come from the bias current of the rectifier (supplied internally) which is less than 0.1μA.

$$G \propto \frac{|V_{IN} - V_{REF}|avg}{R_1}$$

or

$$G \propto \frac{|V_{IN}|avg}{R_1}$$

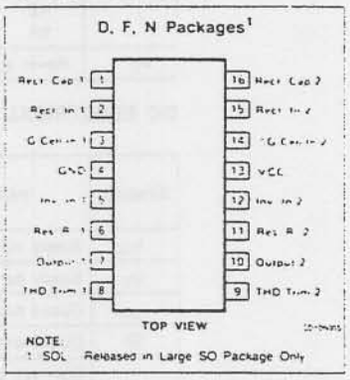
FEATURES

- Complete compressor and expandor in one IC
- Temperature compensated
- Greater than 110dB dynamic range
- Operates down to $6V_{DC}$
- System levels adjustable with external components
- Distortion may be trimmed out

APPLICATIONS

- Cellular radio
- Telephone trunk compandor — 570
- Telephone subscriber compandor — 571
- High level limiter
- Low level expandor — noise gate
- Dynamic noise reduction systems
- Voltage-controlled amplifier
- Dynamic filters

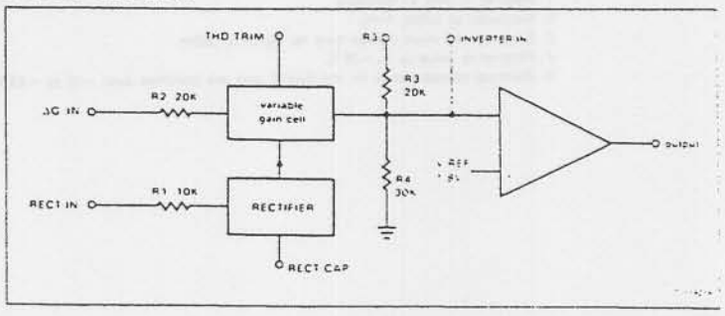
PIN CONFIGURATION



ORDERING INFQRMATION

DESCRIPTION	TEMPERATURE RANGE	ORDER CODE
16-Pin Cerdip	0 to +70°C	NE570F
16-Pin Plastic DIP	0 to +70°C	NE570N
16-Pin Plastic SOL	0 to +70°C	NE571D
16-Pin Cerdip	0 to +70°C	NE571F
16-Pin Plastic Cerdip	0 to +70°C	NE571N
16-Pin Cerdip	-40°C to +85°C	SA571F
16-Pin Plastic DIP	-40°C to +85°C	SA571N

BLOCK DIAGRAM



ABSOLUTE MAXIMUM RATINGS

SYMBOL	PARAMETER	RATING	UNIT
V_{CC}	Positive supply 570 571	 24 18	V_{DC}
T_A	Operating ambient temperature range NE SA	 0 to +70 −40 to +85	 °C °C
P_D	Power dissipation	400	mW

DC ELECTRICAL CHARACTERISTICS

T_A = 25°C, V_{CC} = 15V. Except where indicated, the 571 specifications are identical to those of the 570.

SYMBOL	PARAMETER	TEST CONDITIONS	NE570			NE/SA571[5]			UNIT
			Min	Typ	Max	Min	Typ	Max	
V_{CC}	Supply voltage		6		24	6		18	V
I_{CC}	Supply current	No signal		3.2	4.8		3.2	4.8	mA
I_{OUT}	Output current capability		±20			±20			mA
SR	Output slew rate			±.5			±.5		V/µs
	Gain cell distortion[2]	Untrimmed Trimmed		0.3 0.05	1.0		0.5 0.1	2.0	%
	Resistor tolerance			±5	±15		±5	±15	%
	Internal reference voltage		1.7	1.8	1.9	1.65	1.8	1.95	V
	Output DC shift[3]	Untrimmed		±20	±50		±30	±100	mV
	Expandor output noise	No signal, 15Hz − 20kHz[1]		20	45		20	60	µV
	Unity gain level		−1	0	+1	−1.5	0	+1.5	dBm
	Gain change[2, 4]	−40°C < T < 70°C 0°C < T < 70°C		±0.1 ±0.1	 ±0.2		±0.1 ±0.1	 ±0.4	dB
	Reference drift[4]	−40°C < T < 70°C 0°C < T < 70°C		+2, −25 ±5	+10, −40 ±10		+2, −25 ±5	+20, −50 ±20	mV
	Resistor drift[4]	−40°C < T < 70°C 0°C < T < 70°C		+8, −0 +1, −0					%
	Tracking error (measured relative to value at unity gain) equals [$V_O - V_O$ (unity gain)] dB − V_2dBm	Rectifier input, V_2 = +6dBm, V_1 = 0dB V_2 = −30dBm, V_1 = 0dB		±0.2 +0.2	 −0.5, +1		 +0.2	 −1, +1.5	dB
	Channel separation			60			60		dB

NOTES:
1. Input to V_1 and V_2 grounded
2. Measured at 0dBm, 1kHz
3. Expandor AC input change from no signal to 0dBm
4. Relative to value at T_A = 25°C
5. Electrical characteristics for the SA571 only are specified over −40 to +85°C temperature range

The speed with which gain changes to follow changes in input signal levels is determined by the rectifier filter capacitor. A small capacitor will yield rapid response but will not fully filter low frequency signals. Any ripple on the gain control signal will modulate the signal passing through the variable gain cell. In an expandor or compressor application, this would lead to third harmonic distortion, so there is a trade-off to be made between fast attack and decay times and distortion. For step changes in amplitude, the change in gain with time is shown by this equation.

$$G(t) = (G_{initial} - G_{final})\, e^{-t/\tau} + G_{final};\ \tau = 10k \times C_{RECT}$$

The variable gain cell is a current-in, current-out device with the ratio I_{OUT}/I_{IN} controlled by the rectifier. I_{IN} is the current which flows from the ΔG input to an internal summing node biased at V_{REF}. The following equation applies for capacitively-coupled inputs. The output current, I_{OUT}, is fed to the summing node of the op amp.

$$I_{IN} = \frac{V_{IN} - V_{REF}}{R_2} = \frac{V_{IN}}{R_2}$$

A compensation scheme built into the ΔG cell compensates for temperature and cancels out odd harmonic distortion. The only distortion which remains is even harmonics, and they exist only because of internal offset voltages. The THD trim terminal provides a means for nulling the internal offsets for low distortion operation

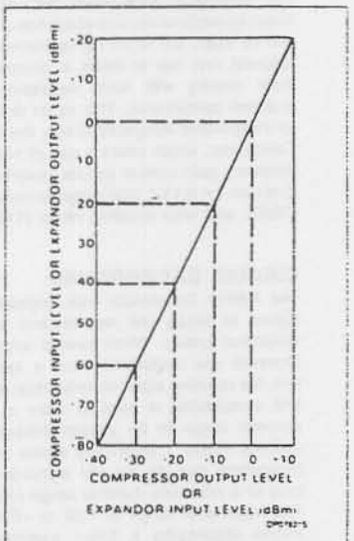
The operational amplifier (which is internally compensated) has the non-inverting input tied to V_{REF}, and the inverting input connected to the ΔG cell output as well as brought out externally. A resistor, R_3, is brought out from the summing node and allows compressor or expandor gain to be determined only by internal components.

The output stage is capable of ± 20mA output current. This allows a +13dBm ($3.5V_{RMS}$) output into a 300Ω load which, with a series resistor and proper transformer, can result in +13dBm with a 600Ω output impedance.

A bandgap reference provides the reference voltage for all summing nodes, a regulated supply voltage for the rectifier and ΔG cell, and a bias current for the ΔG cell. The low tempco of this type of reference provides very stable biasing over a wide temperature range.

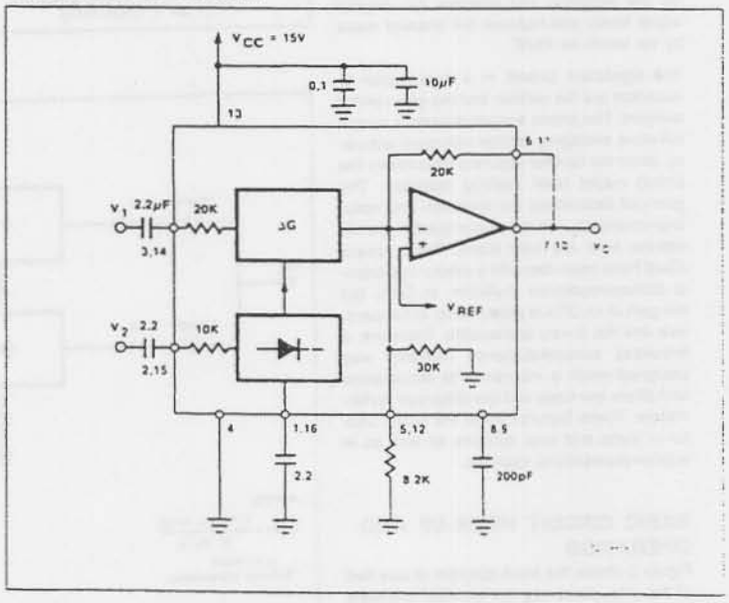
The typical performance characteristics illustration shows the basic input-output transfer curve for basic compressor or expandor circuits.

TYPICAL PERFORMANCE CHARACTERISTICS



Basic Input-Output Transfer Curve

TYPICAL TEST CIRCUIT



INTRODUCTION

Much interest has been expressed in high performance electronic gain control circuits. For non-critical applications, an integrated circuit operational transconductance amplifier can be used, but when high-performance is required, one has to resort to complex discrete circuitry with many expensive, well-matched components. This paper describes an inexpensive integrated circuit, the NE570 Compandor, which offers a pair of high performance gain control circuits featuring low distortion (< 0.1%), high signal-to-noise ratio (90dB), and wide dynamic range (110dB).

CIRCUIT BACKGROUND

The NE570 Compandor was originally designed to satisfy the requirements of the telephone system. When several telephone channels are multiplexed onto a common line, the resulting signal-to-noise ratio is poor and companding is used to allow a wider dynamic range to be passed through the channel. Figure 1 graphically shows what a compandor can do for the signal-to-noise ratio of a restricted dynamic range channel. The input level range of +20 to −80dB is shown undergoing a 2-to-1 compression where a 2dB input level change is compressed into a 1dB output level change by the compressor. The original 100dB of dynamic range is thus compressed to a 50dB range for transmission through a restricted dynamic range channel. A complementary expansion on the receiving end restores the original signal levels and reduces the channel noise by as much as 45dB.

The significant circuits in a compressor or expandor are the rectifier and the gain control element. The phone system requires a simple full-wave averaging rectifier with good accuracy, since the rectifier accuracy determines the (input) output level tracking accuracy. The gain cell determines the distortion and noise characteristics, and the phone system specifications here are very loose. These specs could have been met with a simple operational transconductance multiplier, or OTA, but the gain of an OTA is proportional to temperature and this is very undesirable. Therefore, a linearized transconductance multiplier was designed which is insensitive to temperature and offers low noise and low distortion performance. These features make the circuit useful in audio and data systems as well as in telecommunications systems.

BASIC CIRCUIT HOOK-UP AND OPERATION

Figure 2 shows the block diagram of one half of the chip, (there are two identical channels on the IC). The full-wave averaging rectifier provides a gain control current, I_G, for the variable gain (ΔG) cell. The output of the ΔG cell is a current which is fed to the summing node of the operational amplifier. Resistors are provided to establish circuit gain and set the output DC bias.

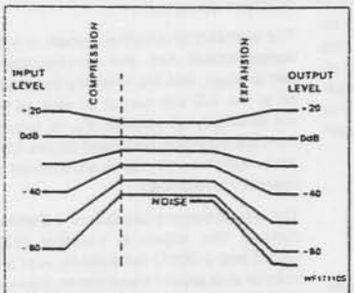


Figure 1. Restricted Dynamic Range Channel

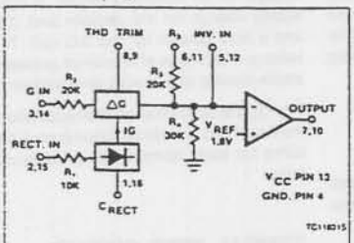


Figure 2. Chip Block Diagram (1 of 2 Channels)

The circuit is intended for use in single power supply systems, so the internal summing nodes must be biased at some voltage above ground. An internal band gap voltage reference provides a very stable, low noise 1.8V reference denoted V_{REF}. The non-inverting input of the op amp is tied to V_{REF}, and the summing nodes of the rectifier and ΔG cell (located at the right of R_1 and R_2) have the same potential. The THD trim pin is also at the V_{REF} potential.

Figure 3 shows how the circuit is hooked up to realize an expandor. The input signal, V_{IN}, is applied to the inputs of both the rectifier and the ΔG cell. When the input signal drops by 6dB, the gain control current will drop by a factor of 2, and so the gain will drop 6dB. The output level at V_{OUT} will thus drop 12dB, giving us the desired 2-to-1 expansion.

Figure 4 shows the hook-up for a compressor. This is essentially an expandor placed in the feedback loop of the op amp. The ΔG cell is setup to provide AC feedback only, so a separate DC feedback loop is provided by the two R_{DC} and C_{DC}. The values of R_{DC} will determine the DC bias at the output of the op amp. The output will bias to:

$$V_{OUT}\ DC = 1 + \frac{R_{DC1} + R_{DC2}}{R_4}$$

$$V_{REF} = \left(1 + \frac{R_{DC\ TOT}}{30k}\right) 1.8V$$

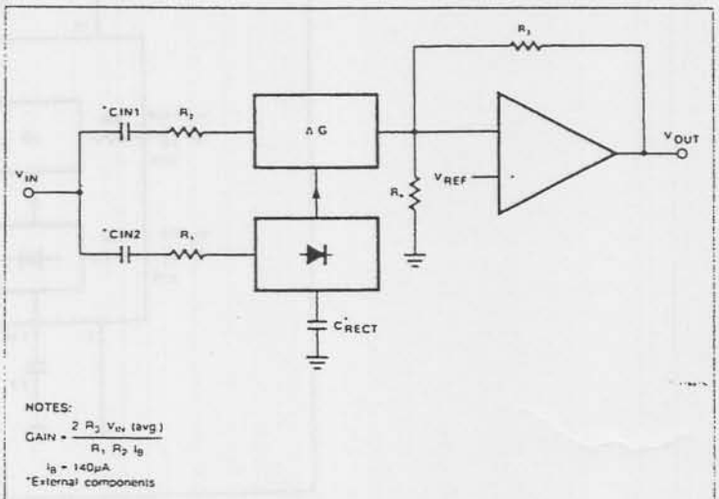


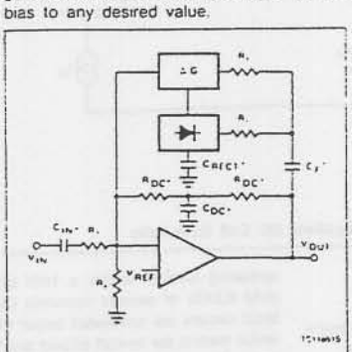
Figure 3. Basic Expandor

The output of the expandor will bias up to:

$$V_{OUT}\ DC = 1 + \frac{R_3}{R_4} V_{REF}$$

$$V_{REF} = \left(1 + \frac{20k}{30k}\right) 1.8V = 3.0V$$

The output will bias to 3.0V when the internal resistors are used. External resistors may be placed in series with R_3, (which will affect the gain), or in parallel with R_4 to raise the DC bias to any desired value.



NOTES:

$$GAIN = \left(\frac{R_1 R_2 I_B}{2 R_3 V_{IN}\ (avg)}\right)^{1/2}$$

$I_B = 140\mu A$

*external components

Figure 4. Basic Compressor

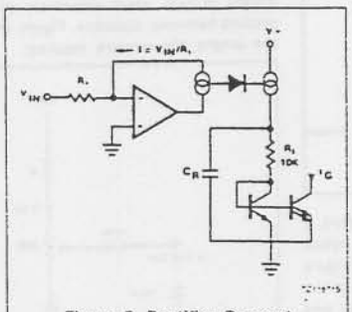
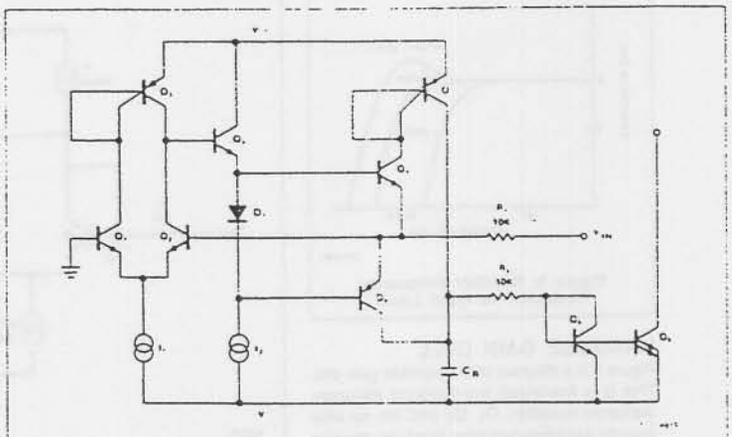


Figure 5. Rectifier Concept

CIRCUIT DETAILS — RECTIFIER

Figure 5 shows the concept behind the full-wave averaging rectifier. The input current to the summing node of the op amp, $V_{IN}R_1$, is supplied by the output of the op amp. If we can mirror the op amp output current into a unipolar current, we will have an ideal rectifier. The output current is averaged by R_5, CR, which set the averaging time constant, and



NOTE:

$$i_G = 2\frac{V_{IN}\ avg}{R1}$$

Figure 6. Simplified Rectifier Schematic

then mirrored with a gain of 2 to become i_G, the gain control current.

Figure 6 shows the rectifier circuit in more detail. The op amp is a one-stage op amp, biased so that only one output device is on at a time. The non-inverting input, (the base of Q_1), which is shown grounded, is actually tied to the internal 1.8V V_{REF}. The inverting input is tied to the op amp output, (the emitters of Q_5 and Q_6), and the input summing resistor R_1. The single diode between the bases of Q_5 and Q_6 assures that only one device is on at a time. To detect the output current of the op amp, we simply use the collector currents of the output devices Q_5 and Q_6. Q_6 will conduct when the input swings positive and Q_5 conducts when the input swings negative. The collector currents will be in error by the α of Q_5 or Q_6 on negative or positive signal swings, respectively. ICs such as this have typical NPN βs of 200 and PNP βs of 40. The α's of 0.995 and 0.975 will produce errors of 0.5% on negative swings and 2.5% on positive swings. The 1.5% average of these errors yields a mere 0.13dB gain error.

At very low input signal levels the bias current of Q_2, (typically 50nA), will become significant as it must be supplied by Q_5. Another low level error can be caused by DC coupling into the rectifier. If an offset voltage exists between the V_{IN} input pin and the base of Q_2, an error current of V_{OS}/R_1 will be generated. A mere 1mV of offset will cause an input current of 100nA which will produce twice the error of the input bias current. For highest accuracy, the rectifier should be coupled into capacitively. At high input levels the β of the PNP Q_6 will begin to suffer, and there will be an increasing error until the circuit saturates. Saturation can be avoided by limiting the current into the rectifier input to 250μA. If necessary, an external resistor may be placed in series with R_1 to limit the current to this value. Figure 7 shows the rectifier accuracy vs input level at a frequency of 1kHz.

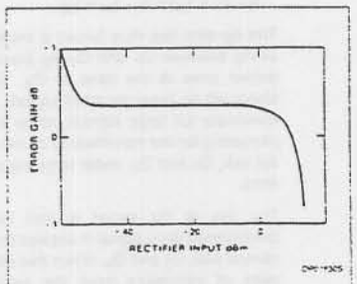


Figure 7. Rectifier Accuracy

At very high frequencies, the response of the rectifier will fall off. The roll-off will be more pronounced at lower input levels due to the increasing amount of gain required to switch between Q_5 or Q_6 conducting. The rectifier frequency response for input levels of 0dBm, −20dBm, and −40dBm is shown in Figure 8. The response at all three levels is flat to well above the audio range.

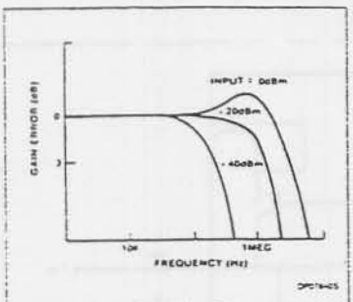


Figure 8. Rectifier Frequency Response vs Input Level

VARIABLE GAIN CELL

Figure 9 is a diagram of the variable gain cell. This is a linearized two-quadrant transconductance multiplier. Q_1, Q_2 and the op amp provide a predistorted drive signal for the gain control pair, Q_3 and Q_4. The gain is controlled by I_G and a current mirror provides the output current.

The op amp maintains the base and collector of Q_1 at ground potential (V_{REF}) by controlling the base of Q_2. The input current I_{IN} ($= V_{IN}/R_2$) is thus forced to flow through Q_1 along with the current I_1, so $I_{C1} = I_1 + I_{IN}$. Since I_2 has been set at twice the value of I_1, the current through Q_2 is:

$$I_2 - (I_1 + I_{IN}) = I_1 - I_{IN} = I_{C2}.$$

The op amp has thus forced a linear current swing between Q_1 and Q_2 by providing the proper drive to the base of Q_2. This drive signal will be linear for small signals, but very non-linear for large signals, since it is compensating for the non-linearity of the differential pair, Q_1 and Q_2, under large signal conditions.

The key to the circuit is that this same predistorted drive signal is applied to the gain control pair, Q_3 and Q_4. When two differential pairs of transistors have the same signal applied, their collector current ratios will be identical regardless of the magnitude of the currents. This gives us:

$$\frac{I_{C1}}{I_{C2}} = \frac{I_{C4}}{I_{C3}} = \frac{I_1 + I_{IN}}{I_1 - I_{IN}}$$

plus the relationships $I_G = I_{C3} + I_{C4}$ and $I_{OUT} = I_{C4} - I_{C3}$ will yield the multiplier transfer function.

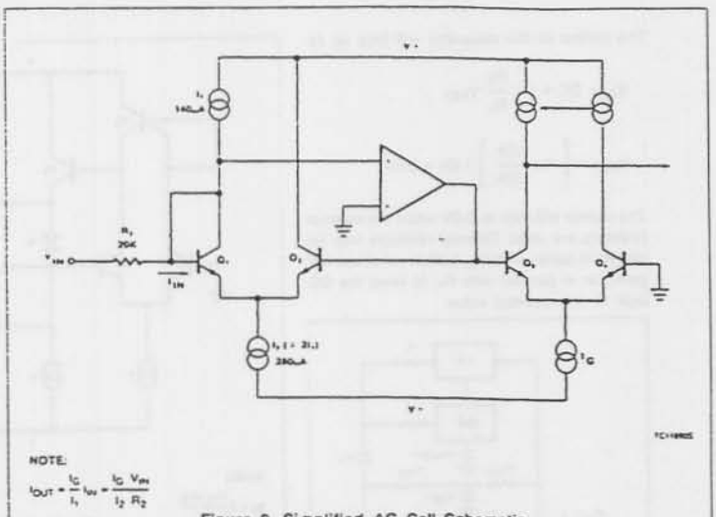


Figure 9. Simplified ΔG Cell Schematic

$$I_{OUT} = \frac{I_G}{I_1} I_{IN} = \frac{V_{IN} I_G}{R_2 I_1}.$$

This equation is linear and temperature-insensitive, but it assumes ideal transistors.

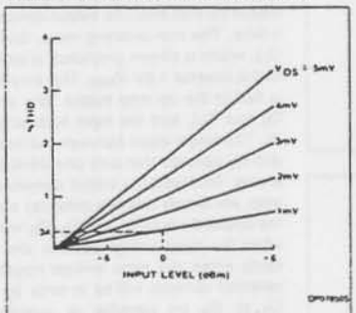


Figure 10. ΔG Cell Distortion vs Offset Voltage

If the transistors are not perfectly matched, a parabolic, non-linearity is generated, which results in second harmonic distortion. Figure 10 gives an indication of the magnitude of the distortion caused by a given input level and offset voltage. The distortion is linearly proportional to the magnitude of the offset and the input level. Saturation of the gain cell occurs at a +8dBm level. At a nominal operating level of 0dBm, a 1mV offset will yield 0.34% of second harmonic distortion. Most circuits are somewhat better than this, which means our overall offsets are typically about ½mV. The distortion is not affected by the magnitude of the gain control current, and it does not increase as the gain is changed. This second harmonic distortion could be eliminated by making perfect transistors, but since that would be difficult, we have had to resort to other methods. A trim pin has been provided to allow trimming of the internal offsets to zero, which effectively eliminated second harmonic distortion. Figure 11 shows the simple trim network required.

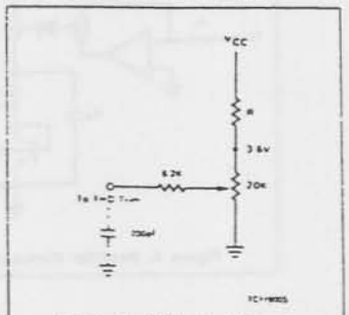


Figure 11. THD Trim Network

Figure 12 shows the noise performance of the ΔG cell. The maximum output level before clipping occurs in the gain cell is plotted along with the output noise in a 20kHz bandwidth. Note that the noise drops as the gain is reduced for the first 20dB of gain reduction. At high gains, the signal to noise ratio is 90dB, and the total dynamic range from maximum signal to minimum noise is 110dB.

Control signal feedthrough is generated in the gain cell by imperfect device matching and mismatches in the current sources, I_1 and I_2. When no input signal is present, changing I_G will cause a small output signal. The distortion trim is effective in nulling out any control signal feedthrough, but in general, the null for minimum feedthrough will be different than the null in distortion. The control signal feedthrough can be trimmed independently of distortion by tying a current source to the ΔG input pin. This effectively trims I_1. Figure 13 shows such a trim network.

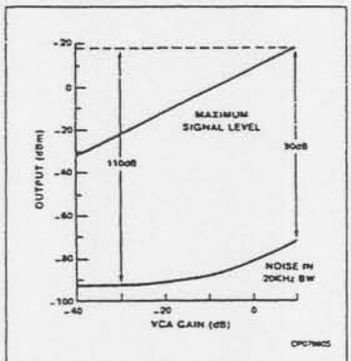


Figure 12. Dynamic Range of NE570

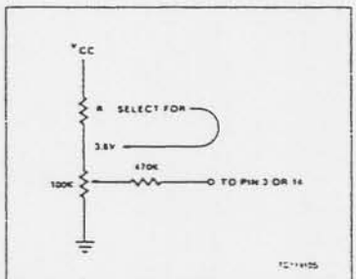


Figure 13. Control Signal Feedthrough Trim

OPERATIONAL AMPLIFIER

The main op amp shown in the chip block diagram is equivalent to a 741 with a 1MHz bandwidth. Figure 14 shows the basic circuit. Split collectors are used in the input pair to reduce g_M, so that a small compensation capacitor of just 10pF may be used. The output stage, although capable of output currents in excess of 20mA, is biased for a low quiescent current to conserve power. When driving heavy loads, this leads to a small amount of crossover distortion.

RESISTORS

Inspection of the gain equations in Figures 3 and 4 will show that the basic compressor and expandor circuit gains may be set entirely by resistor ratios and the internal voltage reference. Thus, any form of resistors that match well would suffice for these simple hook-ups, and absolute accuracy and temperature coefficient would be of no importance. However, as one starts to modify the gain equation with external resistors, the internal resistor accuracy and tempco become very significant. Figure 15 shows the effects of temperature on the diffused resistors which are normally used in integrated circuits, and the ion-implanted resistors which are used in this circuit. Over the critical 0°C to +70°C temperature range, there is a 10-to-1 improvement in drift from a 5% change for the diffused resistors, to a 0.5% change for the implemented resistors. The implanted resistors have another advantage in that they can be made 1/7 the size of the diffused resistors due to the higher resistivity. This saves a significant amount of chip area

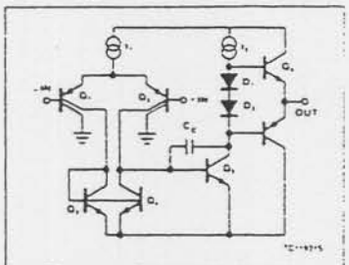


Figure 14. Operational Amplifier

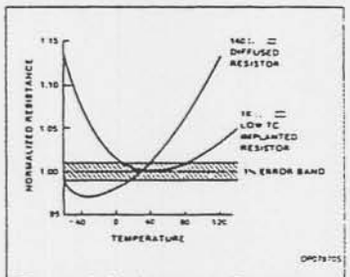


Figure 15. Resistance vs Temperature

APÉNDICE E

CARACTERÍSTICAS DEL CDP6402

HARRIS

HD-6402

CMOS Universal Asynchronous Receiver Transmitter (UART)

Features

- Operation Guaranteed from D.C. to 8.0MHz
- Low Power CMOS Design
- Programmable Word Length, Stop Bits and Parity
- Automatic Data Formatting and Status Generation
- Compatible with Industry Standard UARTs
- Single +5V Power Supply

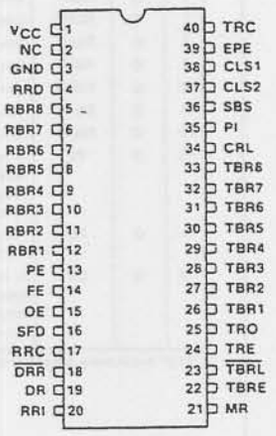
Description

The HD-6402 is a CMOS UART for interfacing computers or microprocessors to an asynchronous serial data channel. The receiver converts serial start, data, parity, and stop bits. The transmitter converts parallel data into serial form and automatically adds start, parity, and stop bits. The data word length can be 5, 6, 7 or 8 bits. Parity may be odd or even. Parity checking and generation can be inhibited. The stop bits may be one or two or one and one-half when transmitting 5 bit code.

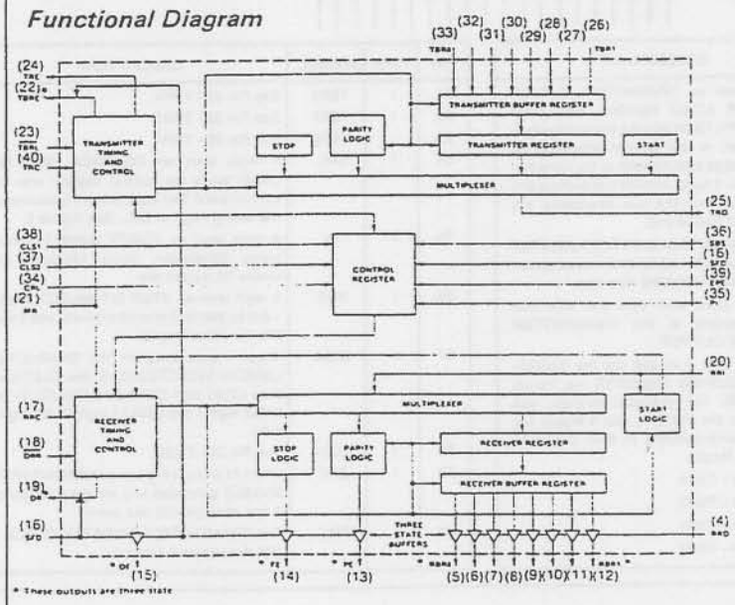
The HD-6402 can be used in a wide range of applications including modems, printers, peripherals and remote data acquisition systems. Utilizing the HARRIS advanced scaled SAJI IV CMOS process permits operation clock frequencies up to 8.0MHz (500K Baud). Power requirements, by comparison, are reduced from 300mW to 10mW. Status logic increases flexibility and simplifies the user interface.

Pinout

TOP VIEW



Functional Diagram



Control Definition

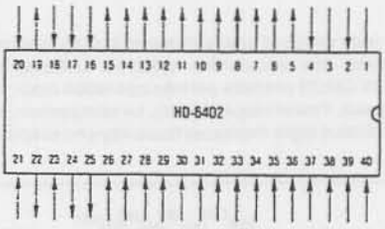
CONTROL WORD					CHARACTER FORMAT			
CLS2	CLS1	PI	PE	SBS	START BIT	DATA BITS	PARITY BIT	STOP BITS
0	0	0	0	0	1	5	ODD	1
0	0	0	0	1	1	5	ODD	1.5
0	0	0	1	0	1	5	EVEN	1
0	0	0	1	1	1	5	EVEN	1.5
0	0	1	X	0	1	5	NONE	1
0	0	1	X	1	1	5	NONE	1.5
0	1	0	0	0	1	6	ODD	1
0	1	0	0	1	1	6	ODD	2
0	1	0	1	0	1	6	EVEN	1
0	1	0	1	1	1	6	EVEN	2
0	1	1	X	0	1	6	NONE	1
0	1	1	X	1	1	6	NONE	2
1	0	0	0	0	1	7	ODD	1
1	0	0	0	1	1	7	ODD	2
1	0	0	1	0	1	7	EVEN	1
1	0	0	1	1	1	7	EVEN	2
1	0	1	X	0	1	7	NONE	1
1	0	1	X	1	1	7	NONE	2
1	1	0	0	0	1	8	ODD	1
1	1	0	0	1	1	8	ODD	2
1	1	0	1	0	1	8	EVEN	1
1	1	0	1	1	1	8	EVEN	2
1	1	1	X	0	1	8	NONE	1
1	1	1	X	1	1	8	NONE	2

CAUTION: These devices are sensitive to electronic discharge. Proper I.C. handling procedures should be followed

Pin Description

PIN	TYPE	SYMBOL	DESCRIPTION
1		V_{CC}*	Positive Voltage Supply
2		NC	No connection
3		GND	Ground
4	I	RRD	A high level on RECEIVER REGISTER DISABLE forces the receiver holding outputs RBR1-RBR8 to a high impedance state.
5	O	RBR8	The contents of the RECEIVER BUFFER REGISTER appear on these three-state outputs. Word formats less than 8 characters are right justified to RBR1.
6	O	RBR7	See Pin 5-RBR8
7	O	RBR6	See Pin 5-RBR8
8	O	RBR5	See Pin 5-RBR8
9	O	RBR4	See Pin 5-RBR8
10	O	RBR3	See Pin 5-RBR8
11	O	RBR2	See Pin 5-RBR8
12	O	RBR1	See Pin 5-RBR8
13	O	PE	A high level on PARITY ERROR indicates received parity does not match parity programmed by control bits. When parity is inhibited this output is low
14	O	FE	A high level on FRAMING ERROR indicates the first stop bit was invalid.
15	O	OE	A high level on OVERRUN ERROR indicates the data received flag was not cleared before the last character was transferred to the receiver buffer register
16	I	SFD	A high level on STATUS FLAGS DISABLE forces the outputs PE, FE, OE, DR, TBRE to a high impedance state.
17	I	RRC	The Receiver register clock is 16X the receiver data rate.
18	I	$\overline{DRR}$	A low level on DATA RECEIVED RESET clears the data received output DR to a low level.
19	O	DR	A high level on DATA RECEIVED indicates a character has been received and transferred to the receiver buffer register.
20	I	RRI	Serial data on RECEIVER REGISTER INPUT is clocked into the receiver register.
21	I	MR	A high level on MASTER RESET clears PE, FE, OE, and DR to a low level and sets the transmitter register empty (TRE) to a high level 18 clock cycles after MR falling edge. MR does not clear the receiver buffer register. This input must be pulsed at least once after power up. The HD-6402 must be master reset after power up. The reset pulse should meet VIH and t_{MR}. Wait 18 clock cycles after the falling edge of MR before beginning operation.
22	O	TBRE	A high level on TRANSMITTER BUFFER REGISTER EMPTY indicates the transmitter buffer register has transferred its data to the transmitter register and is ready for new data.

*A 0.1μF decoupling capacitor from the V_{CC} pin to the GND pin is recommended.



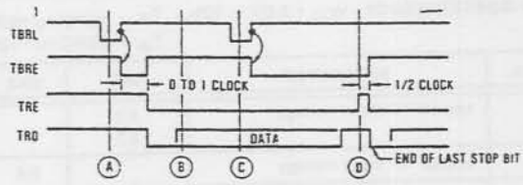
PIN	TYPE	SYMBOL	DESCRIPTION
23	I	$\overline{TBRL}$	A low level on TRANMITTER BUFFER REGISTER LOAD transfers data from inputs TBR1-TBR8 into the transmitter buffer register. A low to high transition on TBRL initiates data transfer to the transmitter register. If busy, transfer is automatically delayed so that the two characters are transmitted end to end.
24	O	TRE	A high level on TRANSMITTER REGISTER EMPTY indicates completed transmission of a character including stop bits.
25	O	TRO	Character data, start data and stop bits appear serially at the TRANSMITTER REGISTER OUTPUT.
26	I	TRB1	Character data is loaded into the TRANSMITTER BUFFER REGISTER via inputs TBR1-TBR8. For character formats less than 8 bits the TBR5, 7, and 6 inputs are ignored corresponding to their programmed word length.
27	I	TBR2	See Pin 26 - TBR1.
28	I	TBR3	See Pin 26 - TBR1.
29	I	TBR4	See Pin 26 - TBR1.
30	I	TBR5	See Pin 26 - TBR1.
31	I	TBR6	See Pin 26 - TBR1.
32	I	TBR7	See Pin 26 - TBR1.
33	I	TBR8	See Pin 26 - TBR1.
34	I	CRL	A high level on CONTROL REGISTER LOAD loads the control register with the control word. The control word is latched on the falling edge of CRL. See Figure 2.
35	I	PI	A high level on PARITY INHIBIT inhibits parity generation, parity checking and forces PE output low
36	I	SBS	A high level on STOP BIT SELECT selects 1.5 stop bits for 5 character format and 2 stop bits for other lengths.
37	I	CLS2	These inputs program the CHARACTER LENGTH SELECTED (CLS1 low CLS2 low 5 bits) (CLS1 high CLS2 low 6 bits) (CLS1 low CLS2 high 7 bits) (CLS1 high CLS2 high 8 bits).
38	I	CLS1	See Pin 37 - CLS2.
39	I	EPE	When PI is low, a high level on EVEN PARITY ENABLE generates and checks even parity. A low level selects odd parity.
40	I	TRC	The TRANSMITTER REGISTER CLOCK is 16X the transmit data rate.

Transmitter Operation

The transmitter section accepts parallel data, formats the data and transmits the data in serial form on the Transmitter Register Output (TRO) terminal (See serial data format). Data is loaded from the inputs TBR1-TBR8 into the Transmitter Buffer Register by applying a logic low on the Transmitter Buffer Register Load (TBRL) input (A). Valid data must be present at least t_{set} prior to and t_{hold} following the rising edge of TBRL. If words less than 8 bits are used, only the least significant bits are transmitted. The character is right justified, so the least significant bit corresponds to TBR1 (B).

The rising edge of TBRL clears Transmitter Buffer Register Empty (TBRE). 0 to 1 Clock cycles later, data is transferred to the transmitter register, the Transmitter Register Empty (TRE) pin goes to a low state, TBRE is set high and serial data information is transmitted. The output data is clocked by Transmitter Register Clock (TRC) at a clock rate 16 times the data rate. A second low level pulse on TBRL loads data into the Transmitter Buffer Register (C). Data transfer to the transmitter register is delayed until transmission of the current data is complete (D). Data is automatically transferred to the transmitter register and transmission of that character begins one clock cycle later.

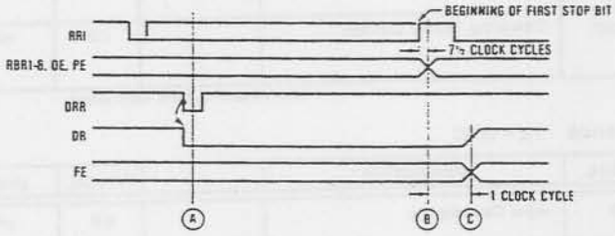
TRANSMITTER TIMING (NOT TO SCALE)



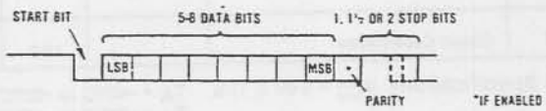
Receiver Operation

Data is received in serial form at the Receiver Register Input (RRI). When no data is being received, RRI must remain high. The data is clocked through the Receiver Register Clock (RRC). The clock rate is 16 times the data rate. A low level on Data Received Reset ($\overline{DRR}$) clears the Data Receiver (DR) line (A). During the first stop bit data is transferred from the Receiver Register to the Receiver Buffer Register (RBR) (B). If the word is less than 8 bits, the unused most significant bits will be a logic low. The output character is right justified to the least significant bit RBR1. A logic high on Overrun Error (OE) indicates overruns. An overrun occurs when DR has not been cleared before the present character was transferred to the RBR. One clock cycle later DR is reset to a logic high, and Framing Error (FE) is evaluated (C). A logic high on FE indicates an invalid stop bit was received, a framing error. A logic high on Parity Error (PE) indicates a parity error.

RECEIVER TIMING (NOT TO SCALE)

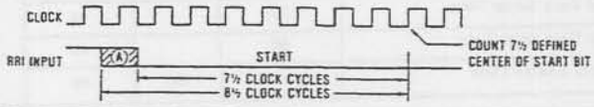


SERIAL DATA FORMAT



Start Bit Detection

The receiver uses a 16X clock timing. The start bit could have occurred as much as one clock cycle before it was detected, as indicated by the shaded portion (A). The center of the start bit is defined as clock count 7½. If the receiver clock is a symmetrical square wave, the center of the start bit will be located within ±½ clock cycle, ±1/32 bit or 3.125% giving a receiver margin of 46.875%. The receiver begins searching for the next start bit at the center of the first stop bit.



Absolute Maximum Ratings

Supply Voltage ..... +8.0 Volts
Input, Output or I/O Voltage Applied ..... GND - 0.5V to VCC + 0.5V
Storage Temperature Range ..... -65°C to +150°C
Maximum Package Power Dissipation ..... 1 Watt
θ_{jc} ..... 25°C/W (CERDIP package)
θ_{ja} ..... 70°C/W (CERDIP package)
Gate Count ..... 1,643 Gates
Junction Temperature ..... +150°C
Lead Temperature (Soldering, Ten Seconds) ..... +275°C

CAUTION: Stresses above those listed in the "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

Operating Conditions

Operating Voltage Range ..... +4.5V to +5.5V
Operating Temperature Ranges
HD-6402R-9 ..... -40°C to +85°C
HD-6402R-2/-8 ..... -55°C to +125°C

Electrical Specifications V_{CC} = 5.0V ± 10%, T_A = -40°C to +85°C (HD-6402R-9), T_A = -55°C to +125°C (HD-6402R-2/-8)

	SYMBOL	PARAMETER	MIN	MAX	UNITS	CONDITIONS
D.C.	V_{IH}	Logical "1" Input Voltage	2.0 2.2		V V	HD-6402R-9 HD-6402R-2/-8
	V_{IL}	Logical "0" Input Voltage		0.8	V	
	V_{IHC}	Logical "1" Clock Input Voltage	2.0		V	HD-6402R-9
	V_{ILC}	Logical "0" Clock Input Voltage	2.2	0.8	V	HD-6402R-2/8
	I_I	Input Leakage	-1.0	1.0	μA	V_{IN} = V_{CC} or GND
	V_{OH}	Logical "1" Output Voltage	3.0 VCC -0.4		V V	I_{OH} = -2.5mA I_{OH} = -100μA
	V_{OL}	Logical "0" Output Voltage		0.40	V	I_{OL} = +2.5mA
	I_O	Output Leakage	-1.0	1.0	μA	V_O = V_{CC} or GND
	I_{CCSB}	Standby Current		100	μA	V_{IN} = GND or V_{CC} V_{CC} = 5.5V, Output Open
	I_{CCOP}	Operating Supply Current*		2.0	mA	V_{CC} = 5.5V, Clock Freq. = 2MHz, V_{IN} = V_{CC} or GND, Outputs Open.

*Guaranteed, but not 100% tested.

Capacitance T_A = 25°C

SYMBOL	PARAMETER		TYPICAL	UNITS	CONDITIONS
C_{IN}	Input Capacitance		8.0	pF	Freq. = 1MHz, all measurements are referenced to device GND
C_{OUT}	Output Capacitance		10.0	pF	

Electrical Specifications V_{CC} = 5.0V ± 10%, T_A = -40°C to +85°C (HD-6402R-9), T_A = -55°C to +125°C (HD-6402R-2/-8)

	SYMBOL	PARAMETER	MIN	MAX	UNITS	CONDITIONS
A.C.	(1) f_{CLOCK}	Clock Frequency	D.C.	2.0	MHz	C_L = 50pF See Switching Time Waveforms 1, 2, 3
	(2) t_{pw}	Pulse Widths CRL, DRR, TBRL	150		ns	
	(3) t_{MR}	Pulse Width MR	150		ns	
	(4) t_{SET}	Input Data Setup Time	50		ns	
	(5) t_{HOLD}	Input Data Hold Time	60		ns	
	(6) t_{EN}	Output Enable Time		160	ns	

Absolute Maximum Ratings

Supply Voltage ..... +8.0 Volts
Input, Output or I/O Voltage Applied ..... GND - 0.5V to VCC + 0.5V
Storage Temperature Range ..... -65°C to +150°C
Maximum Package Power Dissipation ..... 1 Watt
θjc ..... 25°C/W (CERDIP package)
θja ..... 70°C/W (CERDIP package)
Gate Count ..... 1,643 Gates
Junction Temperature ..... +150°C
Lead Temperature (Soldering, Ten Seconds) ..... +275°C

CAUTION: Stresses above those listed in the "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

Operating Conditions

Operating Voltage Range ..... +4.5V to +5.5V
Operating Temperature Ranges
HD-6402B-9 ..... -40°C to +85°C
HD-6402B-2/-8 ..... -55°C to +125°C

Electrical Specifications

VCC = 5.0V ± 10%. T_A = -40°C to +85°C (HD-6402B-9).
T_A = -55°C to +125°C (HD-6402B-2/-8)

	SYMBOL	PARAMETER	MIN	MAX	UNITS	CONDITIONS
D.C.	V_{IH}	Logical "1" Input Voltage	2.0 2.2		V V	HD-6402B-9 HD-6402B-2/-8
	V_{IL}	Logical "0" Input Voltage		0.8	V	
	V_{IHC}	Logical "1" Clock Input Voltage	2.0		V	HD-6402B-9
	V_{ILC}	Logical "0" Clock Input Voltage	2.2	0.8	V	HD-6402B-2/-8
	I_I	Input Leakage	-1.0	1.0	μA	V_{IN} = V_{CC} or GND
	V_{OH}	Logical "1" Output Voltage	3.0 VCC -0.4		V V	I_{OH} = -2.5mA I_{OH} = -100μA
	V_{OL}	Logical "0" Output Voltage		0.40	V	I_{OL} = +2.5mA
	I_O	Output Leakage	-1.0	1.0	μA	V_O = V_{CC} or GND
	I_{CCSB}	Standby Current		100	μA	V_{IN} = GND or V_{CC} V_{CC} = 5.5V, Output Open
	I_{CCOP}	Operating Supply Current*		2.0	mA	V_{CC} = 5.5V, Clock Freq. 2MHz, V_{IN} = V_{CC} or GND Outputs Open

*Guaranteed but not 100% tested

Capacitance

T_A = 25°C

SYMBOL	PARAMETER	TYPICAL	UNITS	CONDITIONS
C_{IN}	Input Capacitance	8.0	pF	Freq. = 1MHz, all measurements are referenced to device GND
C_{OUT}	Output Capacitance	10.0	pF	

Electrical Specifications

V_{CC} = 5.0V ± 10%. T_A = -40°C to +85°C (HD-6402-9).
T_A = -55°C to +125°C (HD-6402-2/-8)

	SYMBOL	PARAMETER	MIN	MAX	UNITS	CONDITIONS
A.C.	(1) f_{CLOCK}	Clock Frequency	D.C.	8.0	MHz	C_L = 50pF See Switching Time Waveforms 1, 2, 3
	(2) t_{pw}	Pulse Widths CRL, DRR, TBRL	75		ns	
	(3) t_{MR}	Pulse Width MR	150		ns	
	(4) t_{SET}	Input Data Setup Time	20		ns	
	(5) t_{HOLD}	Input Data Hold Time	20		ns	
	(6) t_{EN}	Output Enable Time		35	ns	

Switching Waveforms

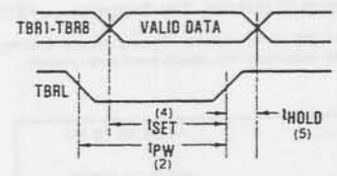


FIGURE 1.
DATA INPUT CYCLE

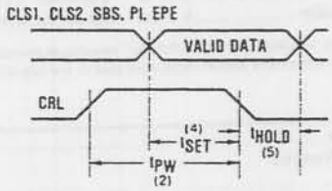


FIGURE 2.
CONTROL REGISTER LOAD CYCLE

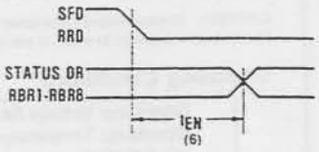
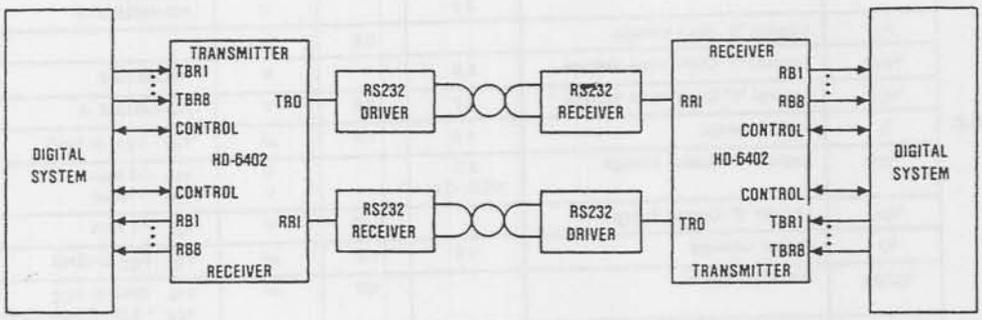


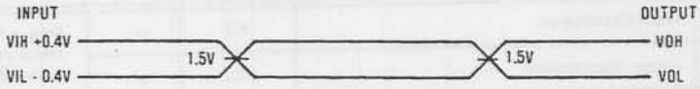
FIGURE 3.
STATUS FLAG OUTPUT ENABLE TIME
OR DATA OUTPUT ENABLE TIME

Interfacing With The HD-6402



TYPICAL SERIAL DATA LINK

A.C. Testing Input, Output Waveform



A.C. Testing: All input signals must switch between VIL - 0.4V and VIH + 0.4V. Input rise and fall times are driven at 1ns/V.

APÉNDICE F

PRINCIPIO DE OPERACIÓN DEL PLL

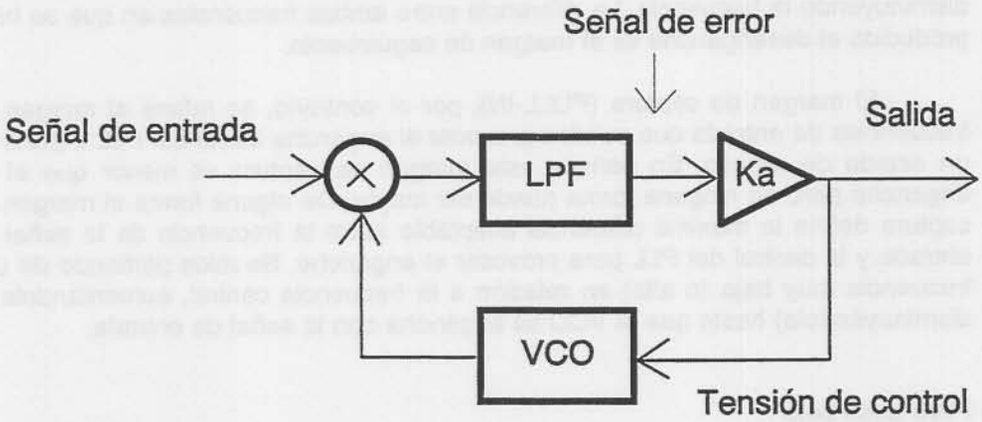
APÉNDICE F

PRINCIPIO DE OPERACIÓN DEL PLL

Los PLL's (Phase Locked Loop), son muy usados en campos como la recepción de radio, la decodificación de señales, el control de velocidad de motores, ...

En el equipo implementado en el módulo receptor hay dos circuitos PLL con dos aplicaciones: una es la demodulación de una señal modulada en FSK y otra que es el enganche en fase con la frecuencia de reloj del emisor para demodulaciones en las que interviene la fase. (En el PLL del módulo emisor sólo se usa su VCO).

El diagrama de bloques de la siguiente figura nos ayudará a entender el principio de funcionamiento de este dispositivo.



Si no se aplica señal de entrada al circuito, el oscilador controlado por tensión (VCO) operará a una frecuencia que se acostumbra a llamar central o frecuencia propia.

Al aplicar una tensión de entrada al detector de fase (bloque multiplicador - o mezclador - y filtro paso bajo), éste comparará la señal aplicada con la que proviene del oscilador controlado por tensión, obteniéndose a la salida una tensión de error que es proporcional a la diferencia de fase entre la salida del VCO y la señal de entrada. En general, la tensión de error puede ser positiva o negativa según la señal que adelante a la otra. Nótese que es totalmente necesario el funcionamiento en lazo cerrado del PLL: si la señal de error no aplicara, a través del amplificador, una tensión de control al oscilador controlado, no habría realimentación del error y el PLL no podría seguir la señal de entrada.

La salida del amplificador será una tensión continua si no varía la señal de entrada (puesto que, en este caso, no será preciso ir modificando la tensión de control del VCO para seguir a la entrada). Si la señal de entrada fuera, durante un intervalo de tiempo T, de una frecuencia f_1, y a continuación, durante el mismo tiempo, fuera de frecuencia f_2, y así sucesivamente, la salida del amplificador sería algo parecido a una señal cuadrada con dos niveles de tensión: uno para que el VCO siguiera la frecuencia f_1 y otro para seguir a f_2.

El filtro paso bajo elimina las componentes de alta frecuencia antes de amplificarse para controlar finalmente la frecuencia del oscilador local. La polaridad de la tensión de control es tal que tiende a acercar la salida del oscilador a la frecuencia de la señal de entrada. Si esta última es suficientemente próxima a la frecuencia central del PLL, el oscilador local quedará fijado en frecuencia y fase con la señal de entrada ("locked").

Por tanto, el circuito de realimentación de un PLL se encarga de mantener automáticamente la frecuencia del oscilador local en consonancia con la frecuencia de entrada. Sin embargo, para que esto suceda, la señal de entrada tiene que poseer una frecuencia comprendida dentro de un cierto margen, a un lado y a otro de la frecuencia central (margen de seguimiento, "tracking range" o HOLD IN). Este margen viene limitado por la tensión máxima de control que puede generar el circuito detector de fase, ya que de ella depende la gama de frecuencias de funcionamiento del oscilador controlado por tensión. Se mide excitando al PLL con una frecuencia igual a su frecuencia central, para después irla aumentando lentamente hasta que el PLL se desenganche (el VCO no siga a la frecuencia de entrada). La operación se repite disminuyendo la frecuencia. La diferencia entre ambas frecuencias en que se haya producido el desenganche es el margen de seguimiento.

El margen de captura (PULL-IN), por el contrario, se refiere al margen de frecuencias de entrada que pueden provocar el enganche inicial del PLL a partir de un estado de reposo. En general este margen de captura es menor que el de enganche pero de ninguna forma puede ser mayor. De alguna forma el margen de captura define la máxima diferencia aceptable entre la frecuencia de la señal de entrada y la central del PLL para provocar el enganche. Se mide partiendo de una frecuencia muy baja (o alta) en relación a la frecuencia central, aumentándola (o disminuyéndola) hasta que el VCO se engancha con la señal de entrada.

Filtro paso bajo

El filtro paso bajo (LPF) afecta al margen de captura.

Si se le aplica a un PLL no enganchado una señal cuya frecuencia se aproxima constantemente a la frecuencia central del oscilador local, la señal de error generada en el detector de fase disminuye hasta que puede pasar por el filtro y variar la frecuencia central del oscilador, acercándolo a la frecuencia de entrada. La frecuencia de la señal de error baja aún más y el filtro la atenúa menos, con lo que el acercamiento entre las frecuencias de entrada y del oscilador local se acelera cada vez más llegándose rápidamente al enganche.

Una vez enganchado el PLL, la señal de error presenta frecuencia nula y pasa pues sin atenuación por el filtro. El uso de un filtro con una frecuencia de corte muy baja implica un margen de captura estrecho y un tiempo largo de enganche. Si se pretende usar al PLL para recuperar, por ejemplo, una señal de dos frecuencias tipo FSK, con una velocidad alta en bits por segundo, será preciso aumentar la banda de paso del filtro paso bajo, a fin de que el tiempo de enganche sea rápido. En contrapartida aumenta también el margen de captura, con el consiguiente peligro de quedar afectado por ruidos cuya frecuencia esté dentro de este margen.

APÉNDICE G

CARACTERÍSTICAS DEL NE564

Phase-locked loop

NE/SE564

DESCRIPTION

The NE/SE564 is a versatile, high guaranteed frequency phase-locked loop designed for operation up to 50MHz. As shown in the Block Diagram, the NE/SE564 consists of a VCO, limiter, phase comparator, and post detection processor.

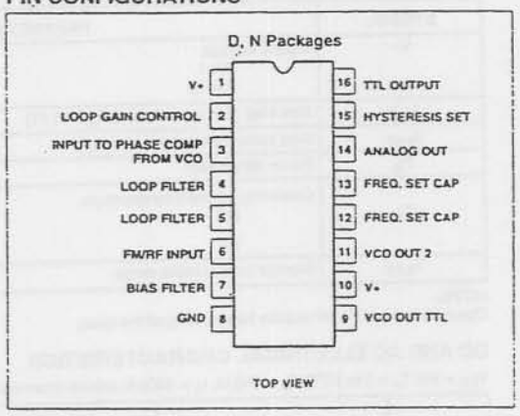
FEATURES

- Operation with single 5V supply
- TTL-compatible inputs and outputs
- Guaranteed operation to 50MHz
- External loop gain control
- Reduced carrier feedthrough
- No elaborate filtering needed in FSK applications
- Can be used as a modulator
- Variable loop gain (externally controlled)

APPLICATIONS

- High speed modems
- FSK receivers and transmitters
- Frequency Synthesizers

PIN CONFIGURATIONS

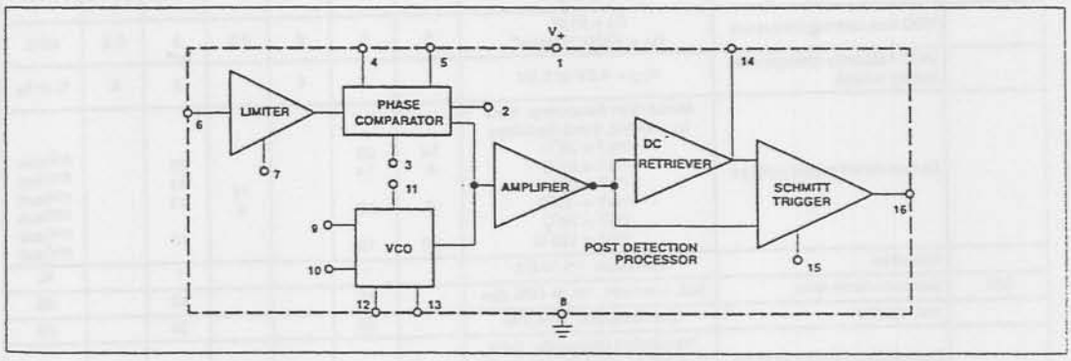


- Signal generators
- Various satcom/TV systems
- pin configuration

ORDERING INFORMATION

DESCRIPTION	TEMPERATURE RANGE	ORDER CODE	DWG #
16-Pin Plastic Small Outline (SO) Package	0 to +70°C	NE564D	0005D
16-Pin Plastic Dual In-Line Package (DIP)	0 to +70°C	NE564N	0406C
16-Pin Plastic Dual In-Line Package (DIP)	-55 to +125°C	SE564N	0406C

BLOCK DIAGRAM



ABSOLUTE MAXIMUM RATINGS

SYMBOL	PARAMETER	RATING	UNITS
V_+	Supply voltage Pin 1 Pin 10	 14 6	 V V
I_{OUT}	Sink Max (Pin 9) and sourcing (Pin 11)	11	mA
I_{BIAS}	Bias current adjust pin (sinking)	1	mA
P_D	Power dissipation	600	mW
T_A	Operating ambient temperature NE SE	 0 to +70 -55 to +125	 °C °C
T_{STG}	Storage temperature range	-65 to +150	°C

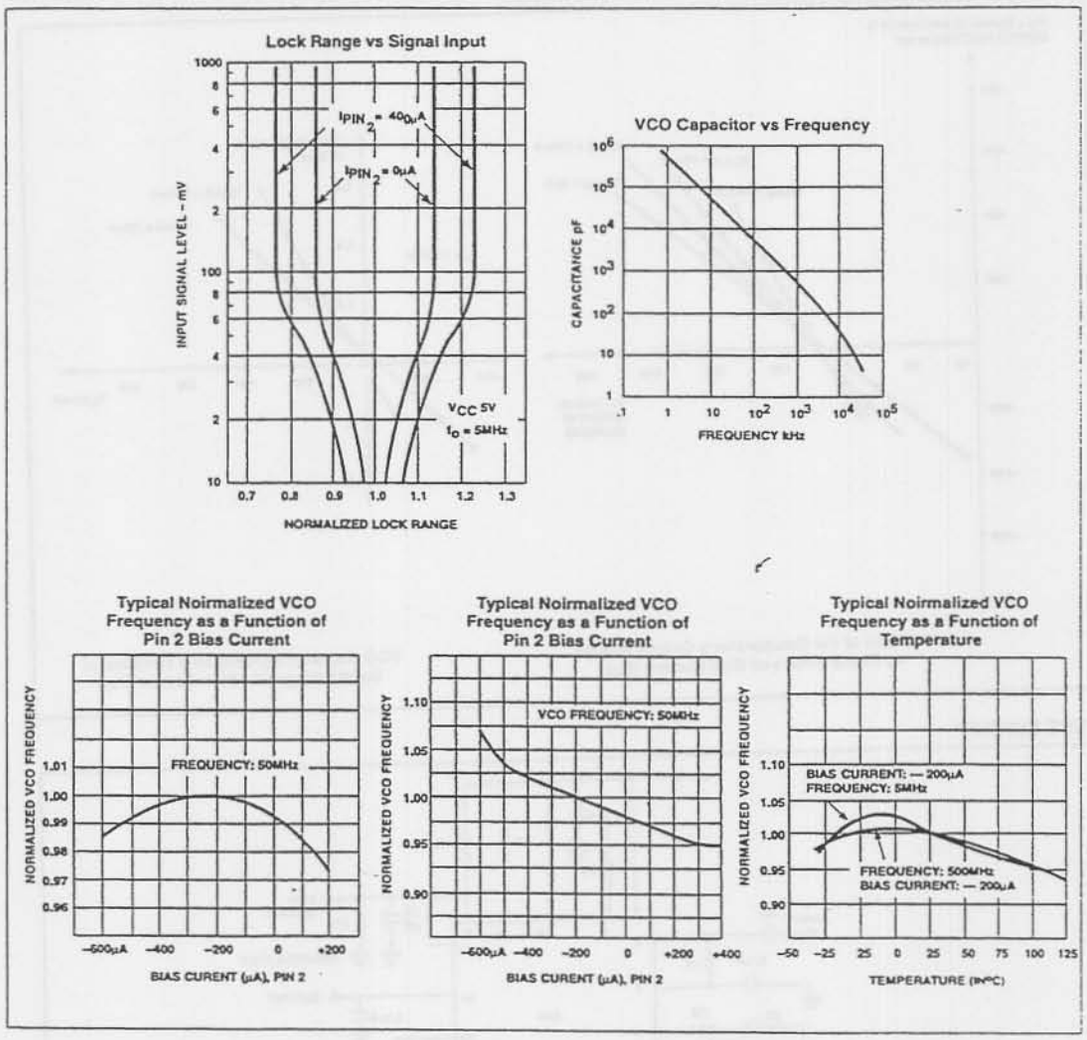
NOTE:
Operation above 5V will require heatsinking of the case.

DC AND AC ELECTRICAL CHARACTERISTICS

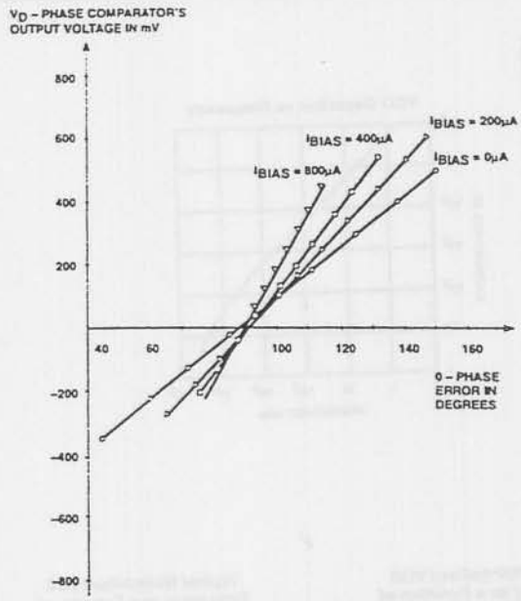
V_{CC} = 5V; T_A = 0 to 25°C; f_O = 5MHz, I_2 = 400µA; unless otherwise specified.

SYMBOL	PARAMETER	TEST CONDITIONS	LIMITS SE564			LIMITS NE564			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	
	Maximum VCO frequency	C_1 = 0 (stray)	50	65		45	60		MHz
	Lock range	Input ≥ 200mV$_{RMS}$ T_A = 25°C T_A = 125°C T_A = -55°C T_A = 0°C T_A = 70°C	 40 20 50	 70 30 80		 40	 70 70 40		% of f_O
	Capture range	Input ≥ 200mV$_{RMS}$, R_2 = 27Ω	20	30		20	30		% of f_O
	VCO frequency drift with temperature	f_O = 5MHz, T_A = -55°C to +125°C T_A = 0 to +70°C = 0 to +70°C f_O = 5MHz, T_A = -55°C to +125°C T_A = 0 to +70°C		 500 300	 1500 800		 600 500		PPM/°C
	VCO free-running frequency	C_1 = 91pF R_C = 100Ω "Internal"	4	5	6	3.5	5	6.5	MHz
	VCO frequency change with supply voltage	V_{CC} = 4.5V to 5.5V		3	8		3	8	% of f_O
	Demodulated output voltage	Modulation frequency: 1kHz f_O = 5MHz, input deviation: 2%T = 25°C 1%T = 25°C 1%T = 0°C 1%T = -55°C 1%T = 70°C 1%T = 125°C	 16 8 6 12	 28 14 10 16		 16 8	 28 14 13 15		 mV$_{RMS}$ mV$_{RMS}$ mV$_{RMS}$ mV$_{RMS}$ mV$_{RMS}$ mV$_{RMS}$
	Distortion	Deviation: 1% to 8%		1			1		%
S/N	Signal-to-noise ratio	Std. condition, 1% to 10% dev.		40			40		dB
	AM rejection	Std. condition, 30% AM		35			35		dB
	Demodulated output at operating voltage	Modulation frequency: 1kHz f_O = 5MHz, input deviation: 1% V_{CC} = 4.5V V_{CC} = 5.5V	 7 8	 12 14		 7 8	 12 14		 mV$_{RMS}$ mV$_{RMS}$
I_{CC}	Supply current	V_{CC} = 5V I_1, I_{10}		45	60		45	60	mA
	Output "1" output leakage current "0" output voltage	 V_{OUT} = 5V, Pins 16, 9 I_{OUT} = 2mA, Pins 16, 9 I_{OUT} = 6mA, Pins 16, 9		 1 0.3 0.4	 20 0.6 0.8		 1 0.3 0.4	 20 0.6 0.8	 µA V V

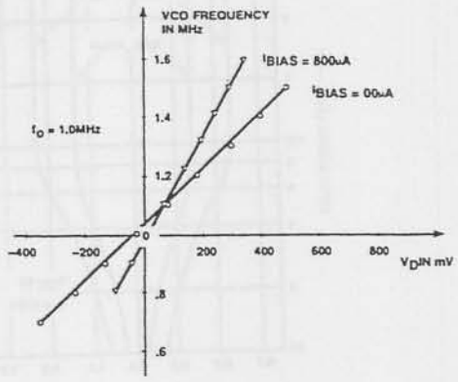
TYPICAL PERFORMANCE CHARACTERISTICS



TYPICAL PERFORMANCE CHARACTERISTICS (Continued)

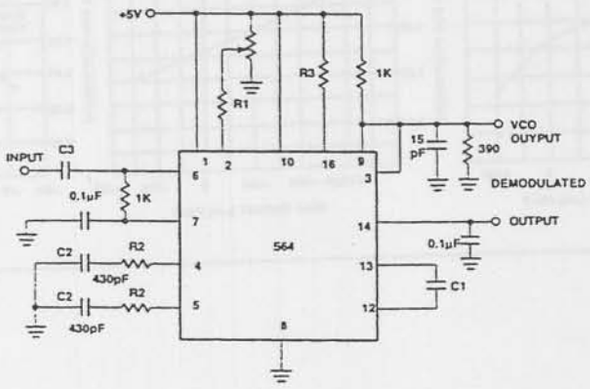


Variation of the Comparator's Output Voltage vs Phase Error and Bias Current (K_D)



VCO Output Frequency as a Function of Input Voltage and Bias Current (K_O)

TEST CIRCUIT



FUNCTIONAL DESCRIPTION

(Figure 1)

The NE564 is a monolithic phase-locked loop with a post detection processor. The use of Schottky clamped transistors and optimized device geometries extends the frequency of operation to greater than 50MHz.

In addition to the classical PLL applications, the NE564 can be used as a modulator with a controllable frequency deviation.

The output of the PLL can be written as shown in the following equation:

$$V_O = \frac{(f_{IN} - f_O)}{K_{VCO}} \quad (1)$$

K_{VCO} = conversion gain of the VCO

f_{IN} = frequency of the input signal

f_O = free-running frequency of the VCO

The process of recovering FSK signals involves the conversion of the PLL output into logic compatible signals. For high data rates, a considerable amount of carrier will be present at the output of the PLL due to the wideband nature of the loop filter. To avoid the use of complicated filters, a comparator with hysteresis or Schmitt trigger is required. With the conversion gain of the VCO fixed, the output voltage as given by Equation 1 varies according to the frequency deviation of f_{IN} from f_O. Since this differs from system to system, it is necessary that the hysteresis of the Schmitt trigger be capable of being changed, so that it can be optimized for a particular system. This is accomplished in the 564 by varying the voltage at Pin 15 which results in a change of the hysteresis of the Schmitt trigger.

For FSK signals, an important factor to be considered is the drift in the free-running frequency of the VCO itself. If this changes due to temperature, according to Equation 1 it will lead to a change in the DC levels of the PLL output, and consequently to errors in the digital output signal. This is especially true for narrowband signals where the deviation in f_{IN} itself may be less than the change in f_O due to temperature. This effect can be eliminated if the DC or average value of the signal is retrieved and used as the reference to the comparator. In this manner, variations in the DC levels of the PLL output do not affect the FSK output.

VCO Section

Due to its inherent high-frequency performance, an emitter-coupled oscillator is used in the VCO. In the circuit, shown in the equivalent schematic, transistors Q21 and Q23 with current sources Q25 - Q26 form the basic oscillator. The approximate free-running frequency of the oscillator is shown in the following equation:

$$f_O \equiv \frac{1}{22\, R_C\, (C_1 + C_S)} \quad (2)$$

$R_C = R_{19} = R_{20} = 100\Omega$ (INTERNAL)

C_1 = external frequency setting capacitor

C_S = stray capacitance

Variation of V_D (phase detector output voltage) changes the frequency of the oscillator. As indicated by Equation 2, the frequency of the oscillator has a negative temperature coefficient due to the monolithic resistor. To compensate for this, a current I_R with negative temperature coefficient is introduced to achieve a low frequency drift with temperature.

Phase Comparator Section

The phase detection processor consists of a doubled-balanced modulator with a limiter amplifier to improve AM rejection. Schottky-clamped vertical PNPs are used to obtain TTL level inputs. The loop gain can be varied by changing the current in Q_4 and Q_{15} which effectively changes the gain of the differential amplifiers. This can be accomplished by introducing a current at Pin 2.

Post Detection Processor Section

The post detection processor consists of a unity gain transconductance amplifier and comparator. The amplifier can be used as a DC retriever for demodulation of FSK signals, and as a post detection filter for linear FM demodulation. The comparator has adjustable hysteresis so that phase jitter in the output signal can be eliminated.

As shown in the equivalent schematic, the DC retriever is formed by the transconductance amplifier Q_{42} - Q_{43} together with an external capacitor which is connected at the amplifier output (Pin 14). This forms an integrator whose output voltage is shown in the following equation:

$$V_O = \frac{g_M}{C_2} \quad V_{IN} dt \quad (3)$$

g_M = transconductance of the amplifier

C_2 = capacitor at the output (Pin 14)

V_{IN} = signal voltage at amplifier input

With proper selection of C_2, the integrator time constant can be varied so that the output voltage is the DC or average value of the input signal for use in FSK, or as a post detection filter in linear demodulation.

The comparator with hysteresis is made up of Q_{49} - Q_{50} with positive feedback being provided by Q_{47} - Q_{48}. The hysteresis is varied by changing the current in Q_{52} with a resulting variation in the loop gain of the comparator. This method of hysteresis control, which is a DC control, provides symmetric variation around the nominal value.

Design Formula

The free-running frequency of the VCO is shown by the following equation:

$$f_O \equiv \frac{1}{22\, R_C\, (C_1 + C_S)} \quad (4)$$

$R_C = 100\Omega$

C_1 = external cap in farads

C_S = stray capacitance

The loop filter diagram shown is explained by the following equation:

$$f_S = \frac{1}{1 + sRC_3} \text{ (First Order)} \quad (5)$$

$R = R_{12} = R_{13} = 1.3k\Omega$ (Internal)*

By adding capacitors to Pins 4 and 5, a pole is added to the loop transfer at

$$\omega = \frac{1}{RC_3}$$

NOTE:
*Refer to Figure 1.

EQUIVALENT SCHEMATIC

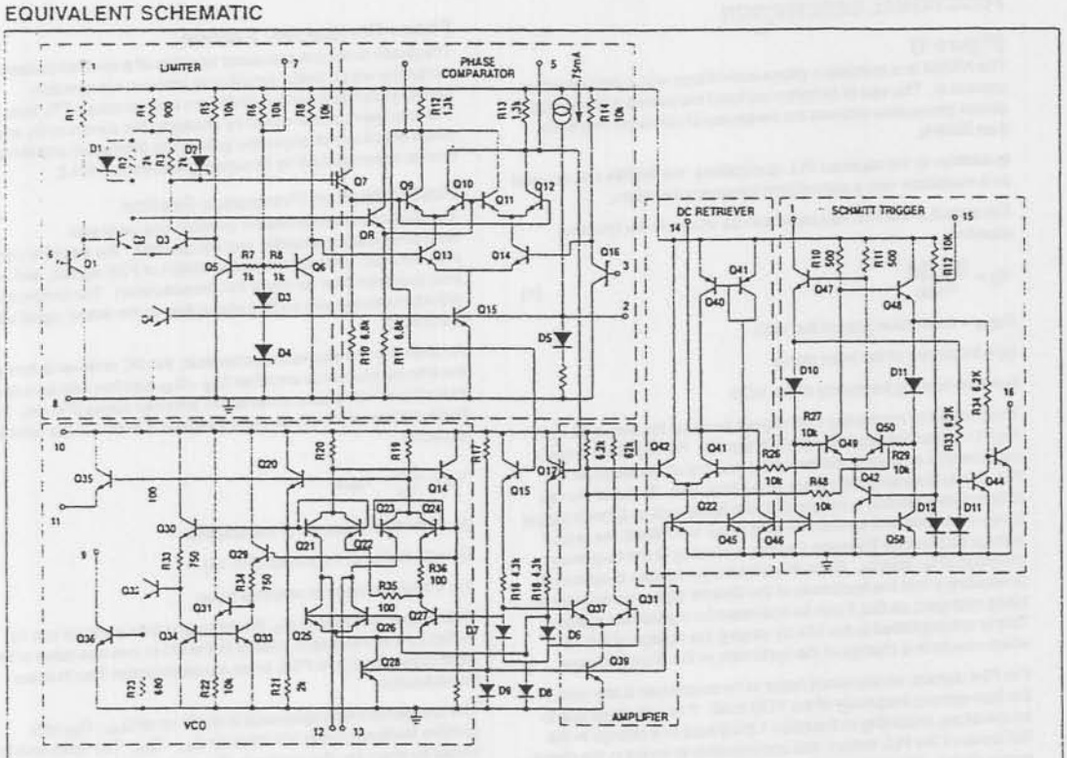


Figure 1.

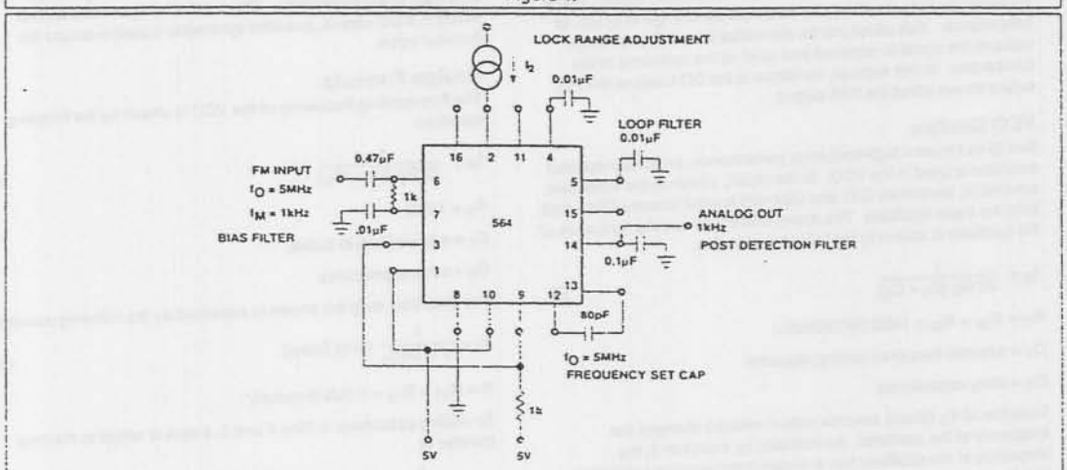


Figure 2. FM Demodulator at 5V

APPLICATIONS

FM Demodulator

The NE564 can be used as an FM demodulator. The connections for operation at 5V and 12V are shown in Figures 2 and 3, respectively. The input signal is AC coupled with the output signal being extracted at Pin 14. Loop filtering is provided by the capacitors at Pins 4 and 5 with additional filtering being provided by the capacitor at Pin 14. Since the conversion gain of the VCO is not very high, to obtain sufficient demodulated output signal the frequency deviation in the input signal should be 1% or higher.

Modulation Techniques

The NE564 phase-locked loop can be modulated at either the loop filter ports (Pins 4 and 5) or the input port (Pin 6) as shown in Figure 4. The approximate modulation frequency can be determined from the frequency conversion gain curve shown in Figure 5. This curve will be appropriate for signals injected into Pins 4 and 5 as shown in Figure 4.

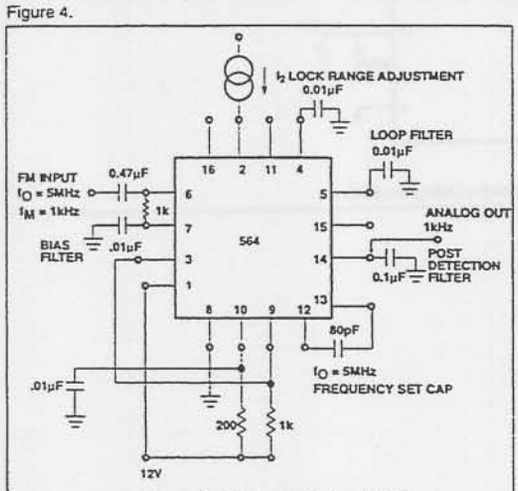


Figure 3. FM Demodulator at 12V

FSK Demodulation

The 564 PLL is particularly attractive for FSK demodulation since it contains an internal voltage comparator and VCO which have TTL compatible inputs and outputs, and it can operate from a single 5V power supply. Demodulated DC voltages associated with the mark and space frequencies are recovered with a single external capacitor in a DC retriever without utilizing extensive filtering networks. An internal comparator, acting as a Schmitt trigger with an adjustable hysteresis, shapes the demodulated voltages into compatible TTL output levels. The high-frequency design of the 564 enables it to demodulate FSK at high data rates in excess of 1.0M baud.

Figure 5 shows a high-frequency FSK decoder designed for input frequency deviations of ±1.0MHz centered around a free-running frequency of 10.8MHz. the value of the timing capacitance required was estimated from Figure 8 to be approximately 40pF. A trimmer capacitor was added to fine tune f_O' 10.8MHz.

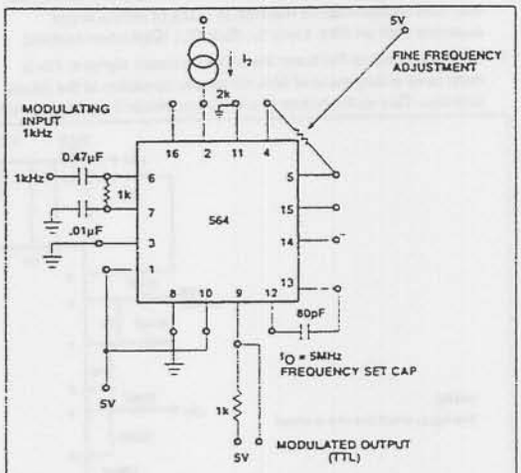


Figure 4. Modulator

The lock range graph indicates that the +1.0MHz frequency deviations will be within the lock range for input signal levels greater than approximately 50mV with zero Pin 2 bias current. (While strictly this figure is appropriate only for 50MHz, it can be used as a guide for lock range estimates at other f_O' frequencies).

The hysteresis was adjusted experimentally via the 10kΩ potentiometer and 2kΩ bias arrangement to give the waveshape shown in Figure 7 for 20k, 500k, 2M baud rates with square wave FSK modulation. Note the magnitude and phase relationships of the phase comparators' output voltages with respect to each other and to the FSK output. The high-frequency sum components of the input and VCO frequency also are viable as noise on the phase comparator's outputs.

OUTLINE OF SETUP PROCEDURE

1. Determine operating frequency of the VCO: IF÷ N in feedback loop, then
   $f_O = N \times f_{IN}$.
2. Calculate value of the VCO frequency set capacitor:
   $$C_O \cong \frac{1}{2200\, f_O}$$
3. Set I_2 (current sinking into Pin 2) for ≅ 100µA. After operation is obtained, this value may be adjusted for best dynamic behavior, and replace with fixed resistor value of $R_2 = \frac{V_{CC} - 1.3V}{I_{B_2}}$
4. Check VCO output frequency with digital counter at Pin 9 of device (loop open, VCO to ϕ det.). Adjust C_O trim or frequency adj. Pins 4 - 5 for exact center frequency, if needed.
5. Close loop and inject input signal to Pin 6. Monitor Pins 3 and 6 with two-channel scope. Lock should occur with $\Delta\phi_{3-6}$ equal to 90° (phase error).

6. If pulsed burst or ramp frequency is used for input signal, special loop filter design may be required in place of simple single capacitor filter on Pins 4 and 5. (See PLL application section)
7. The input signal to Pin 6 and the VCO feedback signal to Pin 3 must have a duty cycle of 50% for proper operation of the phase detector. Due to the nature of a balanced mixer if signals are not 50% in duty cycle, DC offsets will occur in the loop which tend to create an artificial or biased VCO.
8. For multiplier circuits where phase jitter is a problem, loop filter capacitors may be increased to a value of 10 - 50µF on Pins 4, 5. Also, careful supply decoupling may be necessary. This includes the counter chain V_{CC} lines.

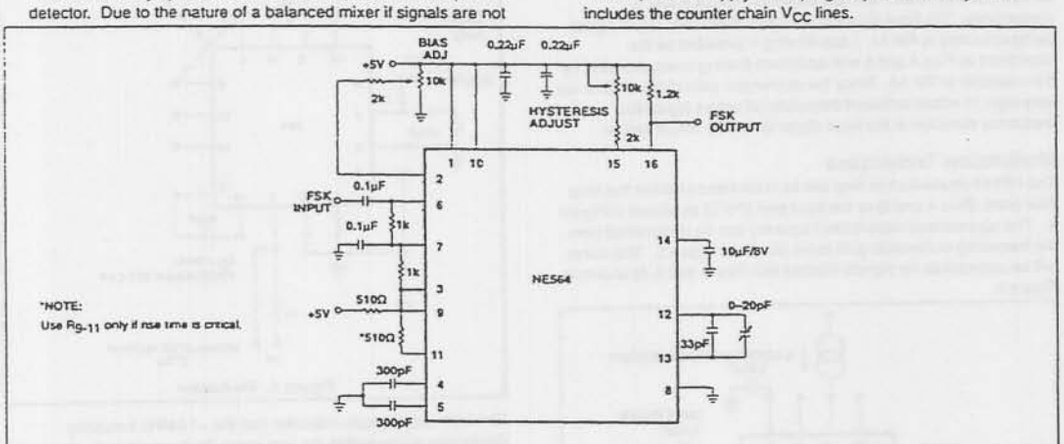


Figure 5. 10.8MHz FSK Decoder Using the 564

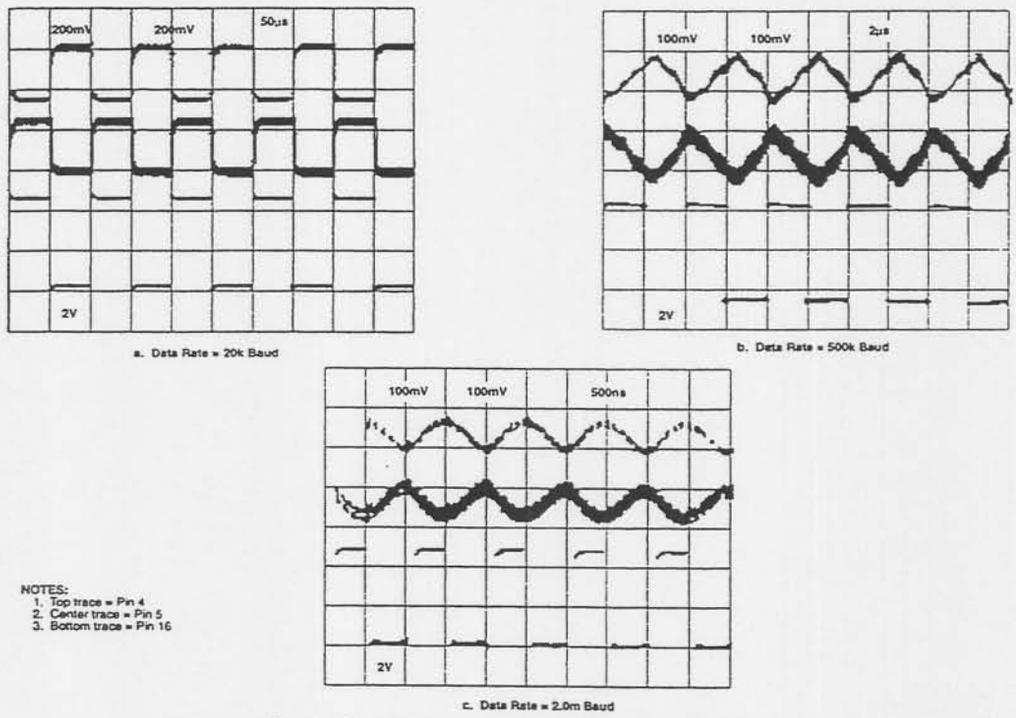


Figure 6. Phase Comparator (Pins 4 and 5) and FSK (Pin 16) Outputs

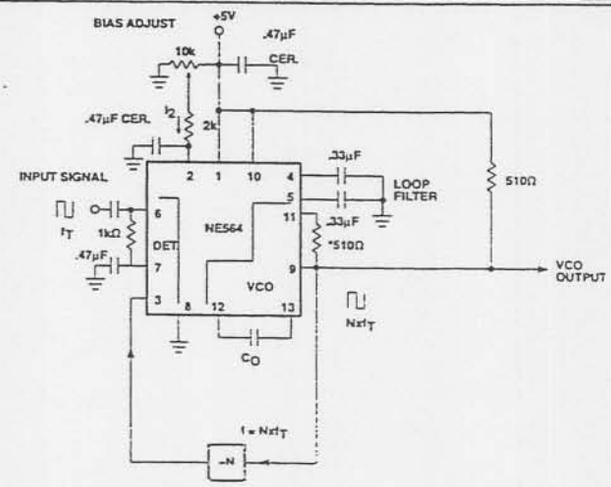


Figure 7. NE564 Phase-Locked Frequency Multiplier

APÉNDICE H

SEÑALES SENOIDALES

APÉNDICE H

SEÑALES SENOIDALES

Consideremos una señal del tipo:

$$x(t) = A\cos(2\pi f t + \phi)$$

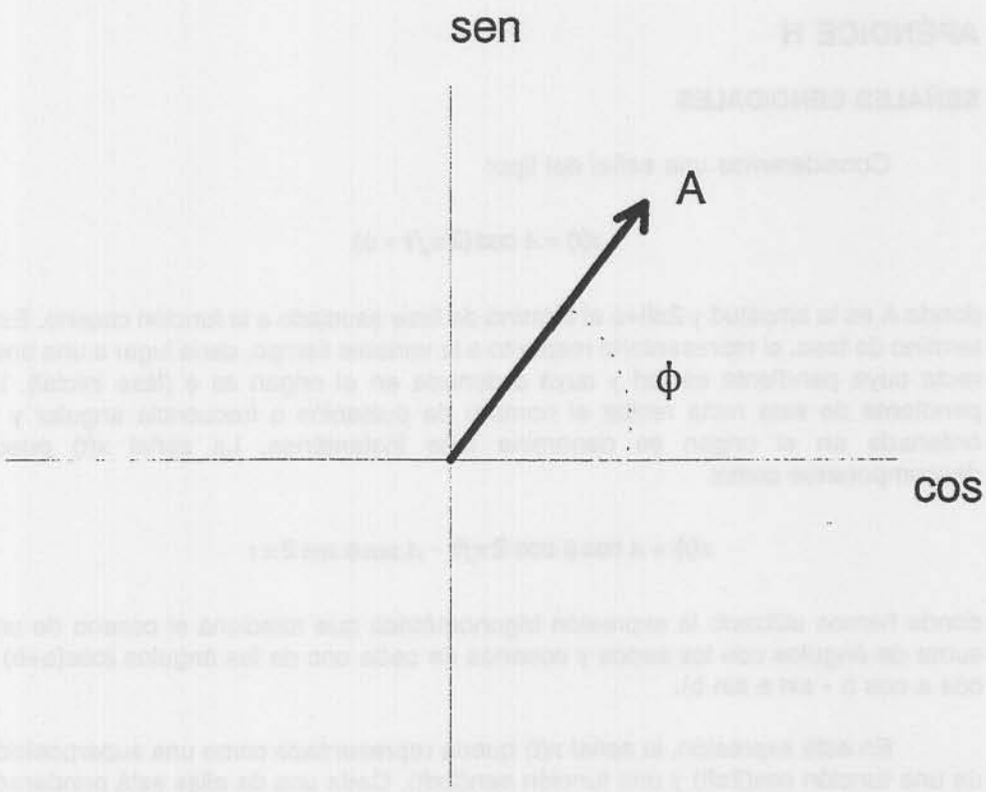
donde A es la amplitud y $2\pi ft+\phi$ el término de fase asociado a la función coseno. Este termino de fase, al representarlo respecto a la variable tiempo, daría lugar a una línea recta cuya pendiente es $2\pi f$ y cuya ordenada en el origen es ϕ (fase inicial). La pendiente de esta recta recibe el nombre de pulsación o frecuencia angular y la ordenada en el origen se denomina fase instantánea. La señal x(t) puede descomponerse como:

$$x(t) = A\cos\phi\cos 2\pi f t - A\,sen\,\phi\,sen\,2\pi t$$

donde hemos utilizado la expresión trigonométrica que relaciona el coseno de una suma de ángulos con los senos y cosenos de cada uno de los ángulos (cos(a+b) = cos a cos b - sin a sin b).

En esta expresión, la señal x(t) queda representada como una superposición de una función $\cos(2\pi ft)$ y una función $sen(2\pi ft)$. Cada una de ellas está ponderada por un término que depende de la fase instantánea: ($A\cos\phi$) y ($A sen\phi$). Obsérvese que cada uno de estos factores multiplicativos indican la contribución que tienen las señales $\cos(2\pi ft)$ y $sen(2\pi ft)$ en la formación de la señal x(t). Así, en el caso en que la fase inicial sea cero, tendremos que la amplitud de la componente en coseno es A (ya que cos 0 =1) mientras que la componente en seno es nula (ya que Asen 0 = 0). En el caso en que la fase inicial sea de 90 grados, la componente cosenoidal será nula (ya que cos 90 = 0) y la componente sinusoidal máxima (ya que sen 90 =1). Cuando la fase instantánea sea de 45 grados, ambas componentes contribuirán con la misma amplitud en la formación de la señal (sin 45 = cos 45).

En el entorno de comunicaciones, la señal x(t) suele representarse esquemáticamente mediante un vector de amplitud A y fase ϕ denominado **fasor**. El vector fasor se representa en unos ejes cartesianos x-y, en los que la componente de abcisas (eje x) indica la contribución de la componente cosenoidal en la señal x(t) y la componente de ordenadas (eje y) la contribución de la componente sinuoidal.



Una vez conocida la frecuencia de la señal, este vector proporciona una útil información gráfica sobre la amplitud y la fase instantánea de la señal x(t). Así, en el supuesto en que el vector esté en una posición horizontal identificaremos rápidamente que está formado por una componente cosenoidal. Del mismo modo, una posición vertical del vector indica que la componente de x(t) es sinusoidal. En un caso general, la proyección del vector en cada uno de los ejes ordenados indica la contribución de cada una de las componentes en la señal x(t).

Las posibles variaciones en el tiempo de la fase instantánea serán representadas como giros del vector fasor alrededor del origen. Así por ejemplo, las señales tipo BPSK son representadas mediante giros de 180 grados del vector fasor cada vez que se produce un cambio en la fase de la señal recibida.

Es importante notar que un retardo temporal en la señal x(t) introduce un giro sistemático del vector fasor y en consecuencia una variación de la contribución relativa de las componentes cosenoidales y sinusoidales. En efecto, un retardo temporal de t_0 segundos supone un giro de $2\pi f\, t_0$ radianes en el sentido de las agujas del reloj del vector fasor que representa la señal:

$$x(t-t_0) = A\cos(2\pi\, f(t-t_0) + \phi) = A\cos(2\pi\, ft + (\phi - 2\pi f t_0))$$

Este es uno de los problemas típicos en los sistemas de comunicación no diferenciales, ya que para determinar sin ambigüedad los mensajes recibidos deberemos compensar el giro que introduce el retardo del canal en el vector fasor. Téngase en cuenta que el valor $2\pi f\, t_0$ puede suponer un giro de varias vueltas ya que, normalmente, el valor de la frecuencia portadora es elevado. Esta ambigüedad de fase exige que los receptores puedan ser capaces de sincronizarse de forma sistemática con la señal recibida.

APÉNDICE I

ESPECTRO DE FRECUENCIAS

APÉNDICE I

ESPECTRO DE FRECUENCIAS

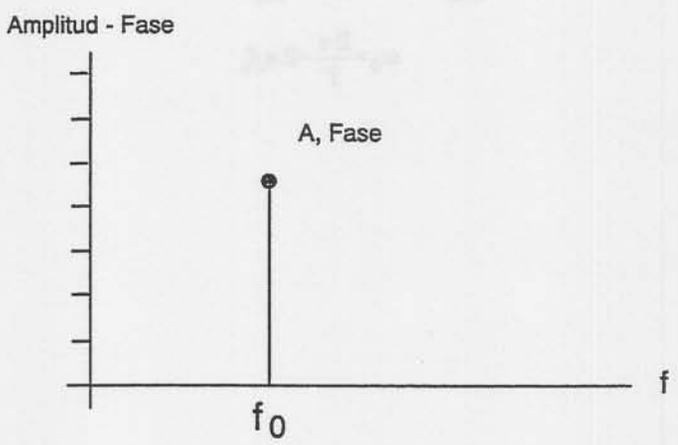
Estamos acostumbrados a representar gráficamente las señales eléctricas indicando como evolucionan sus niveles de tensión a lo largo del tiempo. Esta representación puede obtenerse mediante un osciloscopio y es muy útil por cuanto nos proporciona información sobre diversos parámetros de la señal como sus niveles máximos y mínimos, su potencia instantánea, la velocidad a la que se producen los cambios de nivel, etc. No obstante, algunas características de las señales pueden permanecer ocultas en una representación temporal. Así, es difícil predecir a partir de la forma de onda de una señal si podrá transmitirse sin distorsión apreciable a través de un canal. Para solventar este tipo de problema se suele usar una alternativa denominada representación frecuencial.

La representación frecuencial consiste en descomponer la señal como una suma de señales sinusoidales de distintas frecuencias. Con ello, resulta trivial interpretar cual será el efecto de un determinado sistema sobre la señal si conocemos su comportamiento para cada una de las señales sinusoidales que la componen. Así, en el supuesto de tener una señal compuesta por dos sinusoides de 1500 Hz y 250.000 Hz, sabríamos que solo la componente de baja frecuencia podría pasar a través de un canal telefónico.

Para ilustrar la representación espectral de una señal, consideremos el caso trivial de una señal formada por una única sinusoide de frecuencia w_0. En general, esta señal puede expresarse como:

$$x(t) = A \cos (2\pi f_0 t + \phi)$$

y suele representarse tal y como se indica en la figura adjunta, como una línea recta situada sobre la frecuencia f_0 en un eje de frecuencias cuya altura representa la amplitud de la señal e indicando explícitamente el valor de su fase inicial.



La señal x(t) puede expresarse, usando la relación trigonométrica del coseno de una suma de ángulos, como:

$$x(t) = A\cos\phi\cos(2\pi f_0 t) - A\sin\phi\sin(2\pi f_0 t)$$

De acuerdo con esta expresión, la potencia total[2] de la señal será la suma de las potencias de cada una de las componentes sinusoidales. De este modo:

$$c_1^2 = A^2\cos^2\phi + A^2\sin^2\phi = A^2$$

El tratamiento de las señales en las que intervienen más de una componente sinusoidal es parecido al que hemos considerado aunque, desde un punto de vista analítico, ciertamente bastante más complejo.

Un caso particularmente interesante es cuando se superponen señales cuyas frecuencias son múltiplos enteros de una frecuencia base w_0, también denominada frecuencia fundamental. En este caso, la componente a la frecuencia $2w_0$ tendrá un periodo mitad a la componente fundamental por lo que la suma de ambas señales sigue teniendo el mismo periodo que la fundamental. Añadir esta componente introduce una distorsión sobre la sinusoide original aunque no modifica el periodo de la misma. El grado de esta distorsión dependerá del nivel de amplitud de esta nueva componente. Analógamente, podemos añadir componentes adicionales a las frecuencias $3w_0$, $4w_0$, etc. Estas señales reciben el nombre de armónicos. Todas ellas tienen un periodo que es submúltiplo entero del periodo de la sinusoide fundamental, por lo que nuevamente, su suma continúa siendo una señal con periodo igual al de la fundamental. Al añadir nuevas componentes, podemos introducir paulatinamente distorsiones más refinadas de la señal fundamental de modo que en general puede afirmarse que podemos obtener cualquier forma de onda de una señal periódica, por arbitraria que sea, mediante la adición de armónicos de la sinusoide fundamental. Evidentemente, el número de armónicos necesarios y su importancia dependerá de la complejidad de la señal.

Así pues, cualquier función periódica, como puede ser el caso de una señal eléctrica, se puede expresar como un sumatorio de señales sinusoidales, denominado serie de Fourier. De este modo, sea una función periódica y(t), la descomposición en serie de Fourier se plantea así:

$$y(t) = \sum_{n=0}^{\infty} a_n \cos(n\,\omega_0 t) + \sum_{n=0}^{\infty} b_n \sin(n\,\omega_0 t)$$

$$\omega_0 = \frac{2\pi}{T} = 2\pi f_0$$

[2].- Si x(t) es una tensión, que suponemos aplicada a una resistencia normalizada R = 1Ω, la potencia p(t) = v(t).i(t) es:

$$p(t) = x^2(t) / R = x^2(t)$$

en donde si aparecen las funciones seno y coseno es debido, como en el caso de una única sinusoide, a que es el modo más general de expresar una función sinusoidal, ponderadas por unas constantes a_n y b_n. El valor de estas constantes, analogamente al caso del cálculo de la potencia en el caso de una única componente sinusoidal, da una medida del nivel de presencia de cada una de las frecuencias. Así pues, las frecuencias que aparecen en la descomposición en serie de Fourier, y la cantidad en que lo hace cada una de ellas, viene dado por:

$$n=0 \rightarrow \omega=0 \rightarrow C_0=\sqrt{a_0^2+b_0^2}$$

$$n=1 \rightarrow \omega=\omega_0 \rightarrow C_1=\sqrt{a_1^2+b_1^2}$$

$$n=2 \rightarrow \omega=2\omega_0 \rightarrow C_2=\sqrt{a_2^2+b_2^2}$$

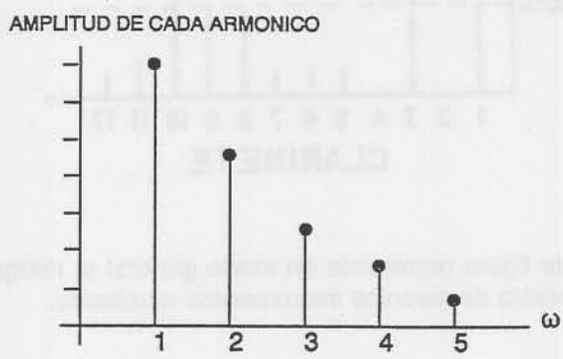
....

De las relaciones anteriores, queda establecido que el espectro (recordemos que ha sido definido como el contenido frecuencial) de una señal periódica está constituido por sinusoidales (senos o cosenos) múltiplos de la frecuencia ω_0, que se obtiene de la propia periodicidad de y(t), ya que se ha de cumplir que:

$$y(t)=y(t+T)=y(t+\frac{2\pi}{\omega_0})$$

siendo T el periodo de y(t)

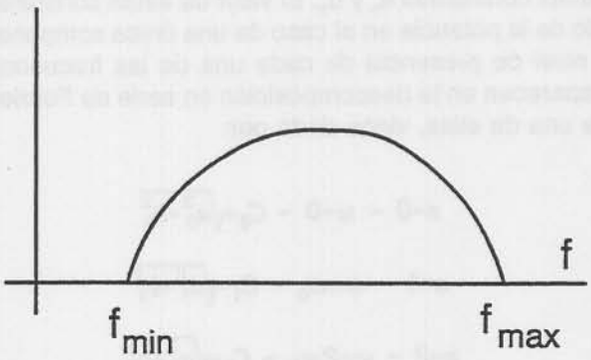
Por tanto, una representación gráfica del espectro de una señal periódica tendrá un aspecto parecido al de la figura siguiente:



donde queda de manifiesto que el contenido frecuencial es discreto, ya que sólo existen aquellas frecuencias múltiplos del armónico fundamental.

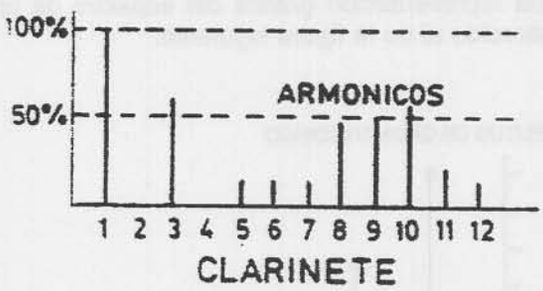
Si la señal a descomponer en serie de Fourier aumenta su periodo, es decir que T aumenta, entonces ocurre que las frecuencias de los armónicos están cada vez más juntas. En el límite, si T tiende a infinito es como considerar que la señal deja de ser periódica y, además, a nivel frecuencial los armónicos están tan juntos que el espectro de frecuencias deja de ser discreto: el espectro de las señales no periódicas es continuo.

Un espectro continuo podría ser el de la siguiente figura:

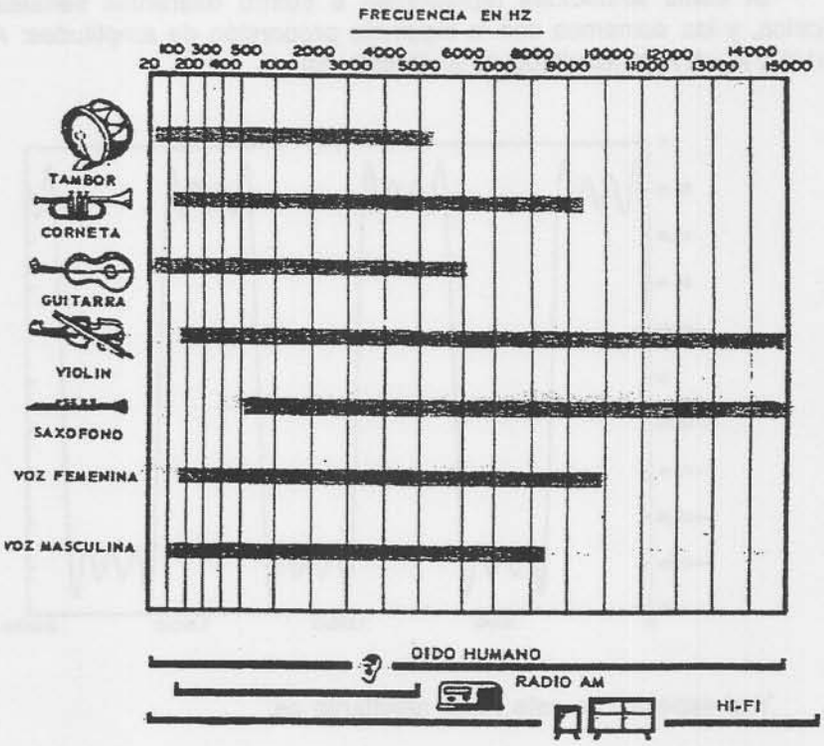


en donde f_{min} indica la mínima frecuencia presente en la descomposición espectral de la señal, y f_{max} la máxima.

La representación espectral de señales tiene utilidad en diversas áreas tecnológicas. Por ejemplo, cuando se dice que el espectro de las señales de audio, o audible, está comprendido entre 20 Hz y 20 kHz, significa que las señales sinusoidales audibles pertenecen a dicho margen de frecuencias. Las señales de audio forman el espectro audible. El espectro audible, está formado por las notas más bajas (trombón) hasta las más altas (violín), pasando por la voz humana. En la siguiente figura se puede ver el espectro de frecuencias que se obtendría al descomponer en serie de Fourier la señal audible generada por un clarinete, el cual es discreto debido a la periodicidad de los sonidos musicales:

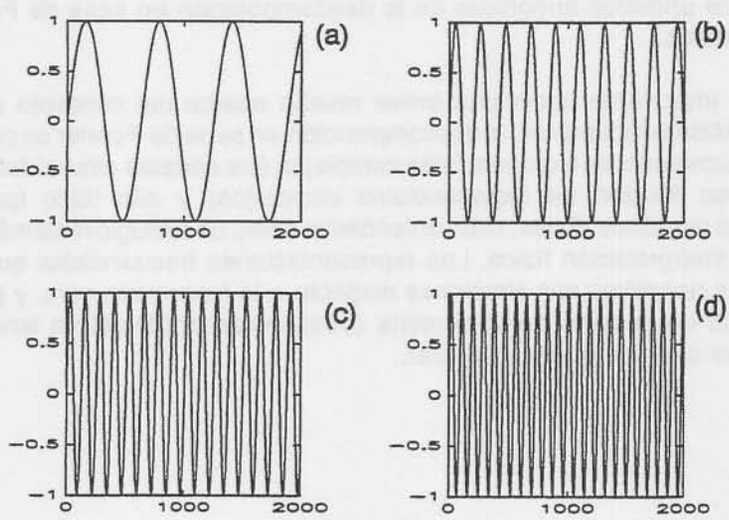


Y la siguiente figura representa en modo general el margen de frecuencias presentes en el espectro de diversos instrumentos musicales:

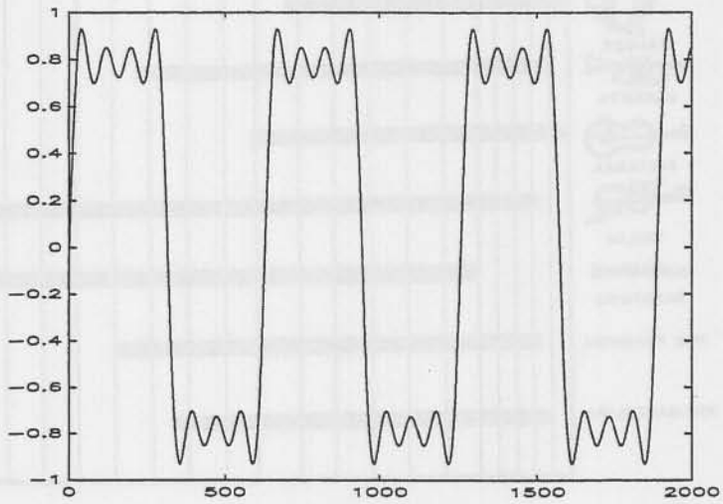


También las señales electromagnéticas visibles admiten una representación frecuencial, que conforma el espectro visible, y está relacionado con la existencia de los diferentes colores. Así pues, la diferencia fundamental entre los diferentes colores es que se corresponden a excitaciones visuales de diferentes frecuencias.

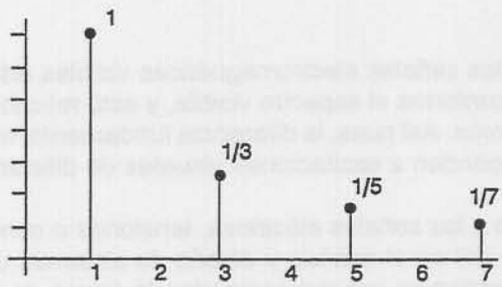
En cuanto a las señales eléctricas, tensiones o corrientes, su representación espectral es muy útil en el análisis y diseño de sistemas de comunicaciones. En la siguiente figura podemos ver representadas la forma de cuatro sinusoides de las siguientes frecuencias: (a) ω_a=1, (b) ω_b=3, (c) ω_c=5, (d) ω_d=7:



Si estas sinusoides representan a cuatro diferentes señales de tensión eléctrica, y las sumamos con la siguiente proporción de amplitudes: $A_a=1$, $A_b=1/3$, $A_c=1/5$ y $A_d=1/7$, el resultado es el de esta figura:



Y el espectro de esta señal resultante es:



La señal anterior se parece bastante a una señal cuadrada. Se puede demostrar que precisamente los cuatro armónicos que se han sumado corresponden a los cuatro primeros armónicos de la descomposición en serie de Fourier de una señal cuadrada.

Es importante hacer una breve reseña acerca del concepto de frecuencia negativa. Matemáticamente, la descomposición en serie de Fourier se puede plantear como un sumatorio de exponenciales complejas (las señales sinusoidales se pueden expresar en función de exponenciales complejos) y ello hace que aparezcan frecuencias negativas. Estas, cabe entenderlas como un artilugio matemático, pero que no tienen interpretación física. Las representaciones frecuenciales que consideran frecuencias negativas son simétricas respecto a la frecuencia cero, y por tanto sólo con fijarnos en la parte de la derecha (frecuencias positivas) ya tenemos toda la información que nos pueda interesar.

AMPLITUD DE CADA ARMONICO