

**Simulación de Subsistemas
Electrónicos en
Comunicaciones Digitales.
Electrónica Avanzada V**

**Jesus M. Hernández Mangas
18 de octubre de 2010**

Copyright © Jesús M. Hernández Mangas, 2009
Profesor Titular de Electrónica en la Universidad de Valladolid

No está permitida la reproducción total o parcial de este libro, ni su tratamiento informático, ni la transmisión de ninguna forma o por cualquier medio, ya sea electrónico, mecánico, por fotocopia, por registro u otros métodos, sin el permiso previo y por escrito de los titulares del *Copyright*.

Índice general

| | |
|---|-----------|
| 1. Fuente de alimentación regulada. Entrada de Audio. Salida de audio. | 5 |
| 1.1. Fuente de alimentación regulada | 5 |
| 1.1.1. Simulación a realizar | 6 |
| 1.1.2. Análisis de resultados | 6 |
| 1.2. Entrada de audio | 6 |
| 1.2.1. Simulaciones a realizar | 7 |
| 1.2.2. Análisis de los resultados | 8 |
| 1.3. Salida de audio | 8 |
| 1.3.1. Simulación a realizar | 9 |
| 1.3.2. Análisis de resultados | 9 |
| 2. Filtro paso bajo. Filtro antialias. Filtro reconstructor. | 11 |
| 2.1. Filtro paso bajo | 12 |
| 2.1.1. Simulaciones a realizar | 12 |
| 2.1.2. Análisis de prestaciones | 13 |
| 2.2. Filtro anti aliasing | 13 |
| 2.3. Filtro reconstructor | 14 |
| 3. Modulador ASK. Modulador BPSK. | 15 |
| 3.1. Modulador ASK | 15 |
| 3.1.1. Simulaciones a realizar | 15 |
| 3.2. Modulador BPSK | 17 |
| 3.2.1. Simulaciones a realizar | 17 |
| 4. Modulador QPSK | 19 |
| 4.1. Simulación a realizar | 19 |
| 4.2. Análisis de resultados | 20 |
| 5. Demodulador ASK | 21 |
| 5.1. Demodulador ASK | 21 |
| 5.1.1. Detalles para el montaje | 22 |
| 5.1.2. Simulación a realizar | 22 |
| 5.1.3. Análisis de resultados | 23 |
| 5.2. Filtro de 390 kHz | 23 |

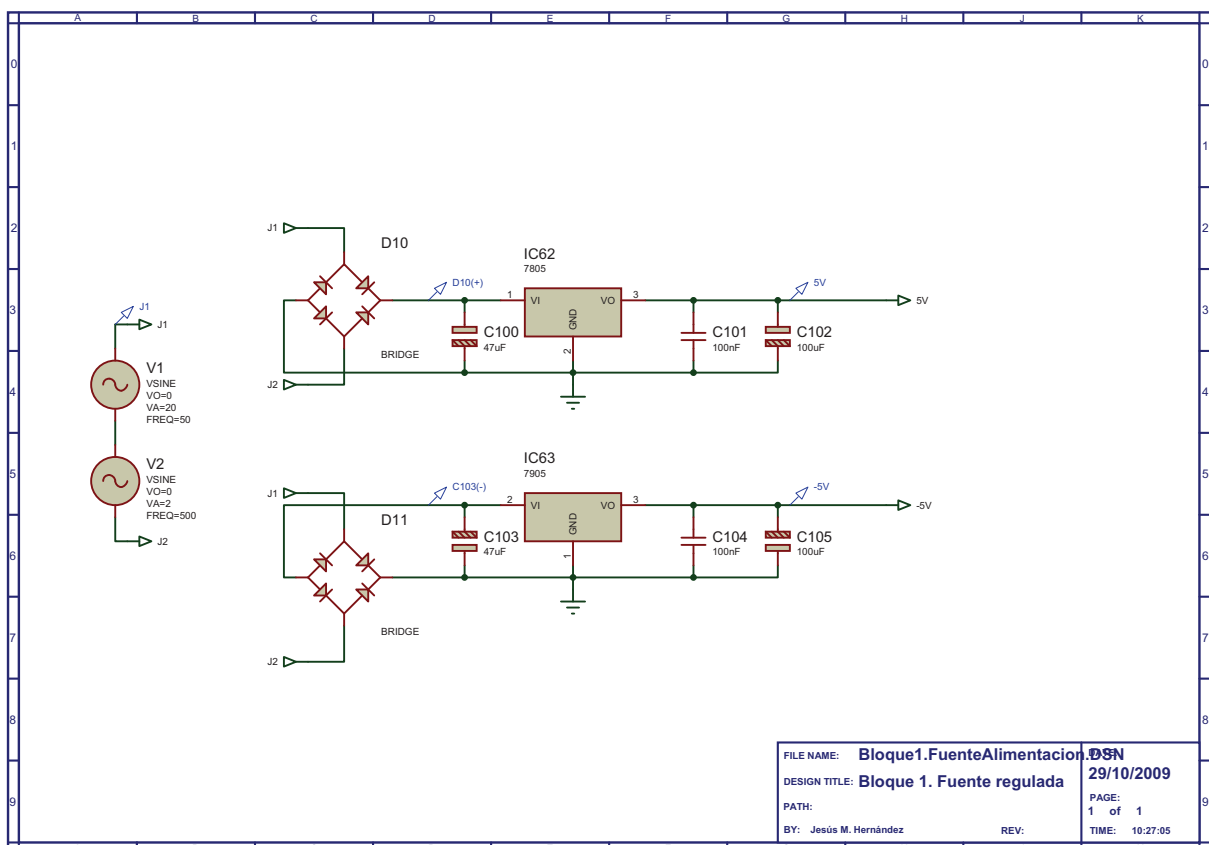
| | |
|--|-----------|
| 6. Demodulador FSK-DFD | 25 |
| 6.1. Demodulador FSK-DFD | 25 |
| 6.1.1. Simulación a realizar | 27 |
| 6.1.2. Análisis de resultados | 27 |
| 6.2. Filtros de 390 kHz y 550 kHz | 28 |
| 7. Demodulador BPSK. Demodulador DPSK | 31 |
| 7.1. Demodulador BPSK | 31 |
| 7.1.1. Simulación a realizar | 32 |
| 7.1.2. Análisis de resultados | 32 |
| 7.2. Demodulador DPSK | 33 |
| 7.2.1. Simulación a realizar | 33 |
| 7.2.2. Análisis de resultados | 33 |
| 8. Demodulador QPSK | 35 |
| 8.1. Simulación a realizar | 36 |
| 8.2. Análisis de resultados | 36 |

Capítulo 1

Fuente de alimentación regulada. Entrada de Audio. Salida de audio.

1.1. Fuente de alimentación regulada

El diseño a simular es el siguiente:



Para observar mejor el trabajo de filtrado de los reguladores 7x05, se recomienda sustituir los condensadores de $4700 \mu\text{F}$ por otros de $47 \mu\text{F}$, para que el rizado a la entrada del regulador sea mayor.

1.1.1. Simulación a realizar

En el esquema aparecen los puntos a visualizar en el simulador.

El estímulo de este circuito son dos fuentes sinusoidales (componente VSINE) colocadas en serie entre los puntos J1 y J2, con los siguientes parámetros:

Fuente V1: Offset V0= 0, Amplitud VA=20, y FREQ= 50

Fuente V2: Offset V0= 0, Amplitud VA= 2, y FREQ=500

La fuente de mayor amplitud representa la salida del transformador, que convierte la tensión de 220 V eficaces de la red eléctrica en algo manejable por los dispositivos del circuito. La fuente de amplitud 2 V simula un rizado sobre la tensión nominal de la red eléctrica, rizado que no es tolerable a la salida ya que se acoplaría en todos los restantes circuitos del entrenador a través de las líneas de alimentación.

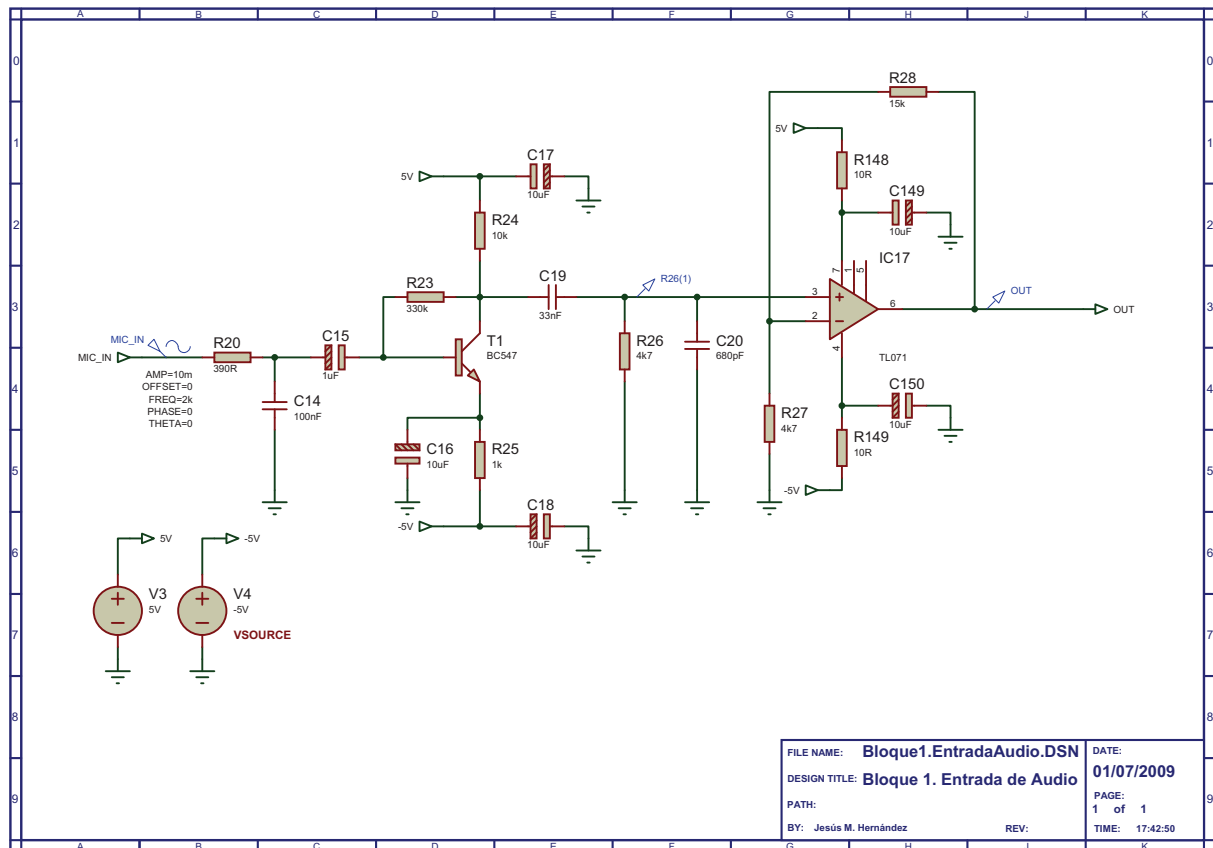
Realizar un análisis transitorio (ANALOGUE) de duración 0.1 segundos, que nos permitirá ver las formas de onda en función del tiempo en los distintos nodos del circuito.

1.1.2. Análisis de resultados

1. ¿Qué función realiza la fuente de alimentación?
2. ¿Cuál es el trabajo del condensador de 4700 μF ?
3. Captura de las gráficas obtenidas: ¿qué trabajo hacen los dos reguladores 7x05?

1.2. Entrada de audio

La entrada de audio consta de dos etapas amplificadoras, una a transistor y otra que emplea un amplificador operacional. La caracterización de este bloque implica conocer la respuesta en frecuencia de las etapas que lo forman, y la distorsión que introducen para un tono a una amplitud determinada.



1.2.1. Simulaciones a realizar

Colocaremos una fuente (GENERATORS⇒SINE) con las siguientes características:

Fuente MIC_IN:

Offset, OFFSET=0,

Amplitud AMP=10 mV,

Frecuencia en el centro de la banda de la voz humana, FREQ= 2 kHz

Análisis en frecuencia

Para el análisis en frecuencia (GRAPH⇒FREQUENCY) seleccionaremos la fuente anterior. El propio software se encarga de poner una amplitud AC de 1V y una amplitud DC de 0V. Solamente debemos seleccionar y arrastrar la etiqueta de la fuente a la gráfica por duplicado: una vez hacia la zona de magnitud y otra vez hacia la zona de fase.

Distorsión armónica total

Necesitaremos hacer un análisis de Fourier (GRAPH⇒FOURIER). Analizando este podremos obtener las amplitudes de los armónicos y hallar la distorsión armónica total.

Análisis transitorio

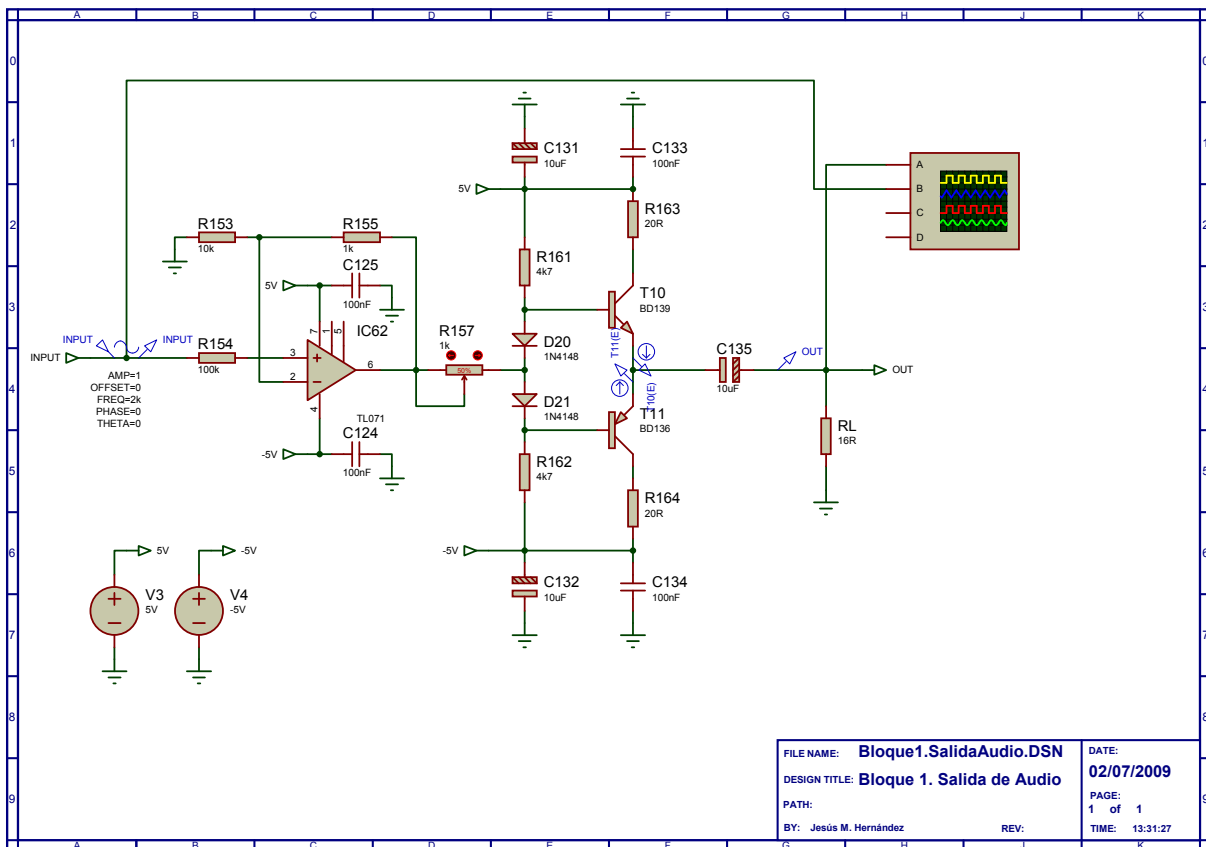
También podemos ver como se comporta mediante una análisis temporal (GRAPH⇒ANALOGUE). Las puntas de prueba (*Voltage probes*) se seleccionan y se arrastran hacia la gráfica.

1.2.2. Análisis de los resultados

1. Captura del diagrama de Bode. ¿En qué tipo de configuración está conectado el amplificador operacional? ¿Cuánta ganancia introduce? ¿Se corresponde con lo representado en el diagrama de Bode?
2. ¿Cuál es la banda de interés de la entrada de audio y por qué? ¿Cuál es la ganancia en esa banda?
3. Retardo de grupo: Definición y relación con la fase del sistema. ¿Por qué es necesario un retardo de grupo nulo o muy bajo en un circuito como este?
4. THD: Definición. ¿Cuánta distorsión armónica introduce el circuito para la entrada utilizada?

1.3. Salida de audio

El esquema del amplificador de audio se puede ver a continuación:



Los transistores BD137 y BD138 se han sustituido por los BD139 y BD136 respectivamente.

Los dos conectores PONTEC del esquema original en el manual de prácticas hacen referencia al potenciómetro de 1k, R157.

1.3.1. Simulación a realizar

Análisis transitorio

Veremos como es la señal de salida en función de la señal de entrada.

También podemos analizar las corrientes que salen de los transistores T10 y T11.

Análisis de distorsión

En las etapas de salida, el funcionamiento de los transistores suele ser en gran señal, y la distorsión es el mayor problema.

1.3.2. Análisis de resultados

1. ¿Cual es el tipo de etapa usada en el amplificador de salida? ¿Cual es su cometido? ¿Por que no presenta distorsión de cruce?
2. Representar gráficamente las corrientes por cada transistor y relacionarlo con el tipo de etapa de salida.
3. Representar la salida en los auriculares (resistencia R_L de 15Ω). ¿Que pasa con el volumen si aumentamos la resistencia del potenciómetro?

Capítulo 2

Filtro paso bajo. Filtro antialias. Filtro reconstructor.

Parámetros generales para la caracterización de filtros

Los filtros electrónicos son circuitos que dejan pasar una determinada banda de frecuencias y eliminan otras, elegidas según la aplicación del filtro. La teoría clásica de filtros contempla varios tipos de filtros (Butterworth, Tchebychev, elípticos, Bessel, etc.), cada uno con unas funciones de transferencia y unas propiedades distintas.

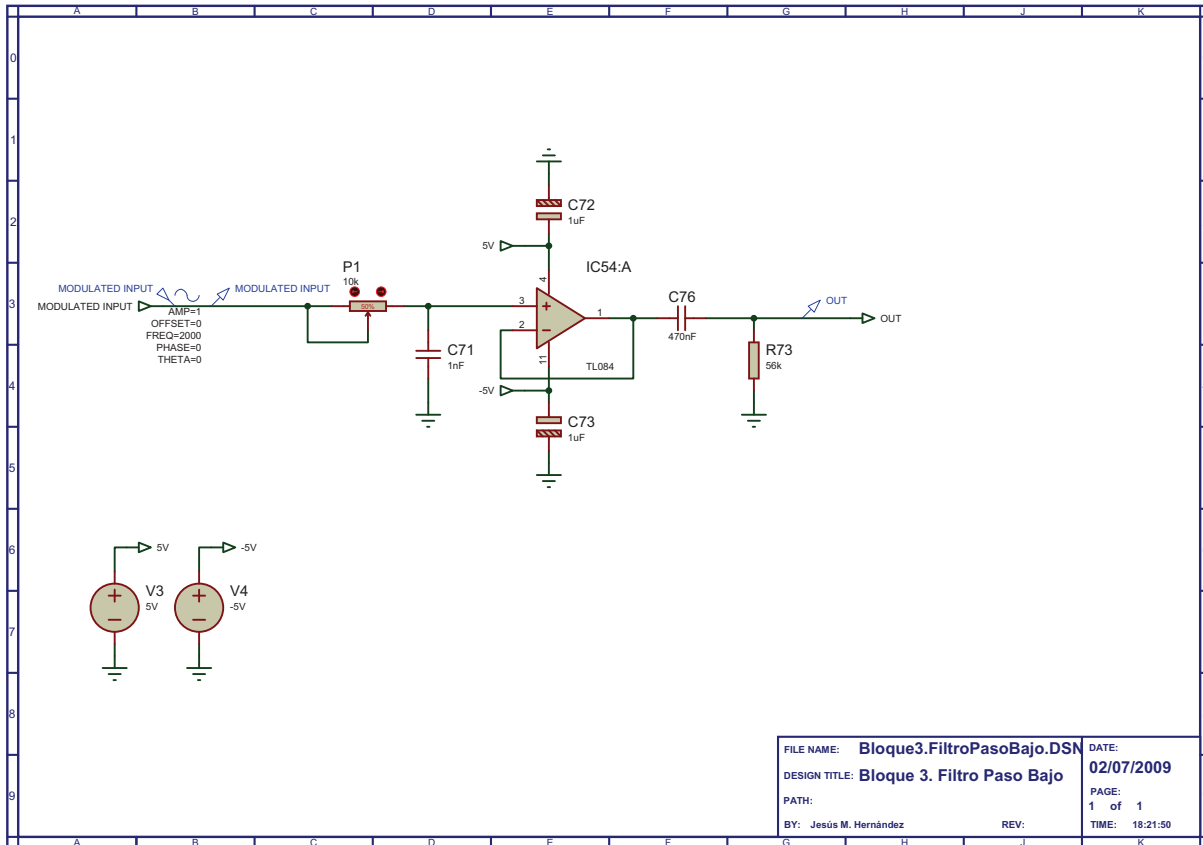
En esta práctica se van a caracterizar tres filtros distintos, con una función de transferencia de paso de bajas frecuencias.

Para todos los filtros de esta práctica, es necesario especificar una serie de parámetros de diseño típicos, que se pueden obtener de los manuales y comprobar en las simulaciones, o viceversa:

1. Tipo de filtro con sus características diferenciadoras.
2. Frecuencia (o frecuencias) de corte (f_c) del filtro.
3. Orden del filtro y respuesta en frecuencia del mismo, tanto en amplitud como en fase (diagrama de Bode).
4. Atenuación en la banda rechazada y relación con el orden del filtro.
5. Retardo de grupo: Definición y valores.
6. Aplicación del filtro concreto y relación con lo anterior.
7. Respuesta al escalón, overshoot en tanto por ciento (si lo hay) y tiempo de establecimiento (settling time).

Las explicaciones deberían ir sustentadas por las gráficas obtenidas en las simulaciones.

2.1. Filtro paso bajo



2.1.1. Simulaciones a realizar

Análisis en frecuencia

Para la caracterización en el dominio de la frecuencia, es necesario una simulación de alterna (AC Sweep), que emplea fuentes VAC. Para la obtención de respuesta al escalón, se empleará una fuente de tipo VPULSE con un periodo mucho mayor que el tiempo empleado en la simulación. Las fuentes empleadas se conectan en serie a la entrada, ya que el simulador activará la fuente adecuada a la simulación que queramos realizar.

Para el análisis en frecuencia, una fuente de alterna V2 (VAC) con 0 Vdc y 1 Vac, lo que nos dará directamente la ganancia del circuito en el diagrama de Bode. Para la respuesta escalón, una fuente VPULSE, con los siguientes parámetros:

V1=0

V2=1

TD=10u

TR=0.1u

TF=0.1u

PW=1s

PER=2s

Esta fuente genera una señal cuadrada de periodo 2s y duty cycle de 50%, pero si el tiempo de simulación es menor que 1s, la entrada será similar a un escalón. Como regla sencilla, el tiempo de alta de la señal ha de ser mayor que unas 4 o 5 veces el tiempo de establecimiento del sistema.

Para dibujar el diagrama de Bode hay que usar el análisis AC Sweep entre 1 Hz y 1 MHz, con 100 puntos por década.

Para obtener la respuesta escalón, la simulación será de tipo transitorio (ANALOGUE), de duración total 3 ms, y un paso máximo de $1\mu\text{s}$, salvo para el filtro paso bajo, que requiere otros valores descritos más adelante.

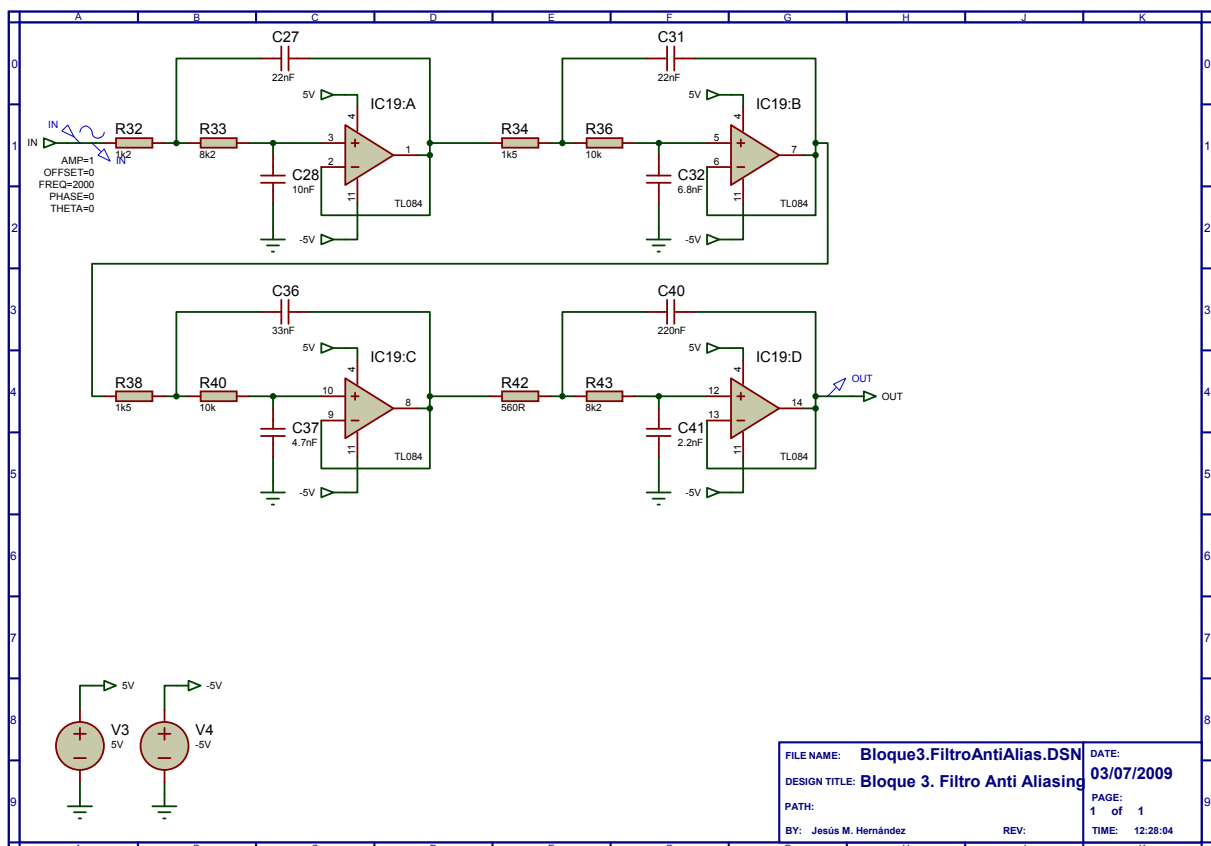
El análisis AC a realizar es el mismo que en el caso anterior, pero el análisis transitorio solo ha de durar $50\mu\text{s}$ con un paso de 1 ns, al ser un filtro con una banda de paso mayor.

2.1.2. Análisis de prestaciones

Hay que estudiar la dependencia de los parámetros con el valor de la resistencia P1, sobre todo la anchura de banda y la constante de tiempo del filtro. ¿Cual es la finalidad de este bloque en el entrenador de comunicaciones?

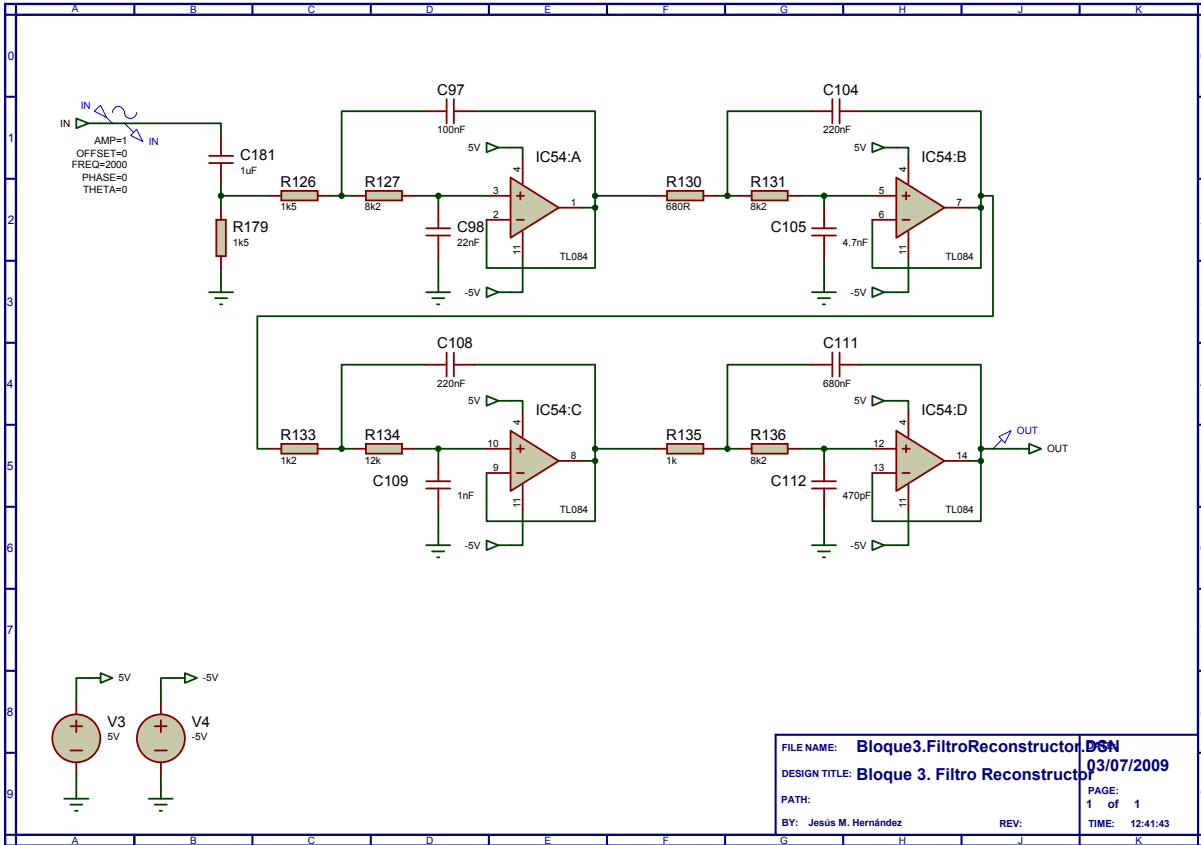
2.2. Filtro anti aliasing

Repetir los análisis con este filtro.



2.3. Filtro reconstructor

Repetir los análisis con este filtro.

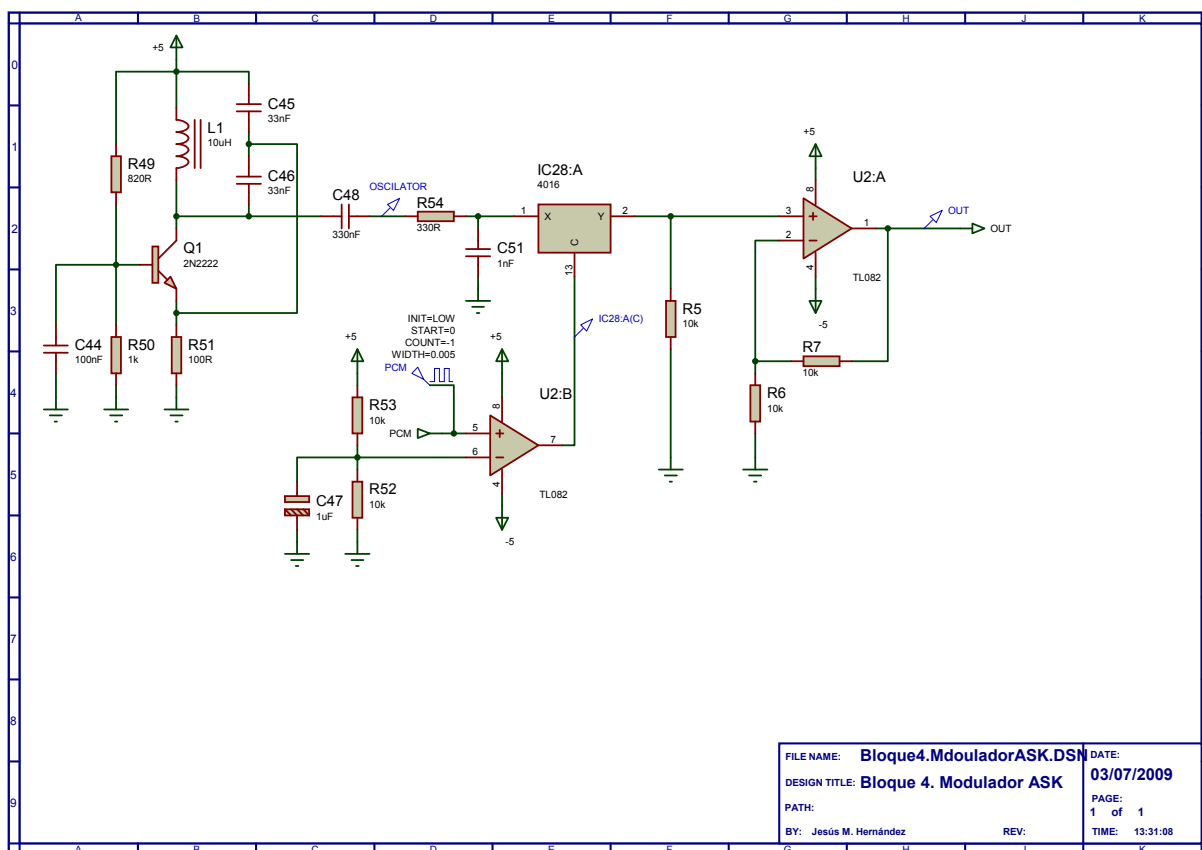


Capítulo 3

Modulador ASK. Modulador BPSK.

Explicar someramente el diagrama de bloques del sistema de comunicaciones a analizar. Relacionar cada uno de los bloques con su implementación circuital. Enumerar los parámetros más importantes de los mismos (frecuencias centrales, tasas de bit, etc.).

3.1. Modulador ASK



3.1.1. Simulaciones a realizar

El estímulo de este circuito es únicamente la fuente de datos, ya que la portadora se genera en el oscilador local. La fuente que simula la información binaria es un VPULSE

con los siguientes parámetros:

V1=0

V2=5

TD=0

TR=1 ns

TF=1 ns

PW= 50

PER=24 us

La simulación es un transitorio (ANALOGUE) ya que los sistemas empleados no son lineales ni invariantes (osciladores, interruptores), de duración 120 μ s con un paso máximo de 10 ns, para asegurar que el oscilador arranca¹ y las ondas se ven con una buena resolución.

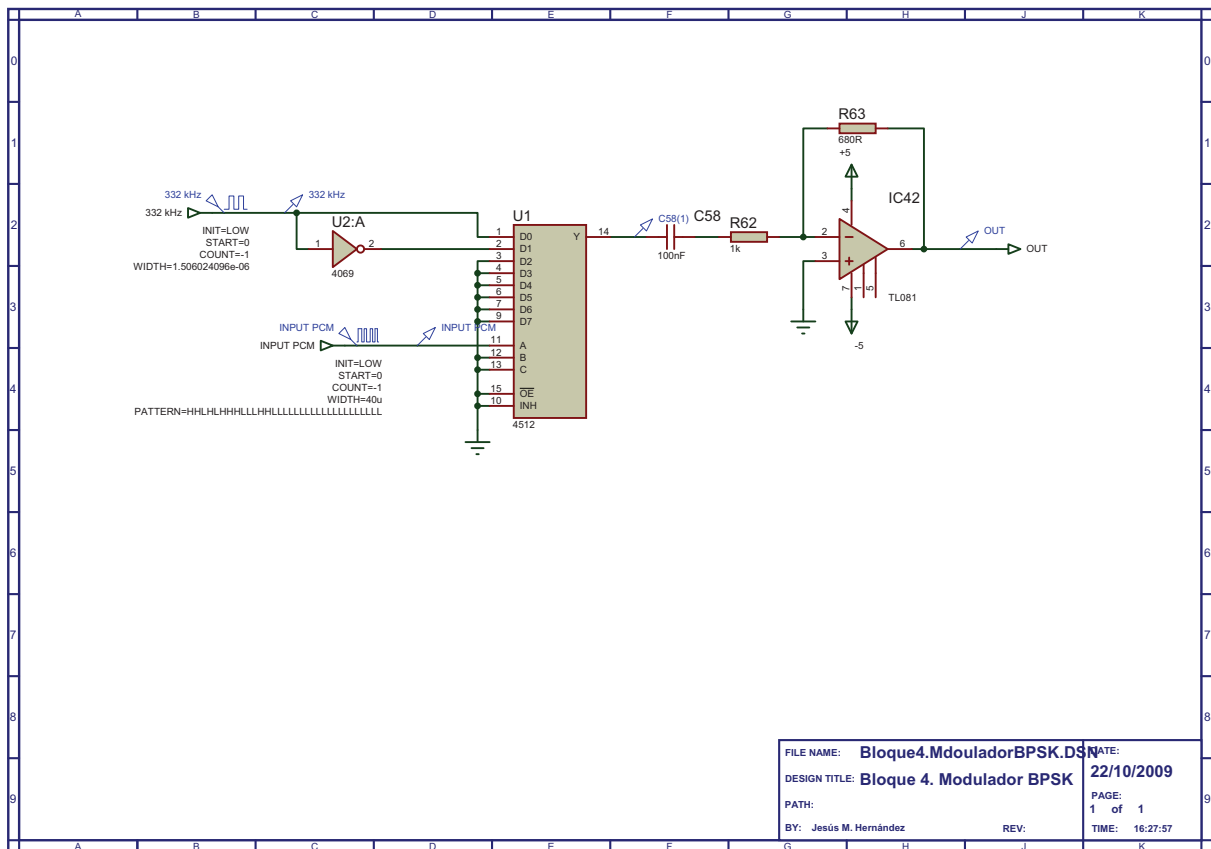
Los puntos marcados en el circuito nos permitirán ver la salida del oscilador local, la ristra de bits (con su amplitud adaptada a los requisitos del integrado 4016) y la salida del modulador.

Análisis de resultados

1. Oscilador local: tipo y configuración empleada. Frecuencia central. ¿Como es posible obtener tensiones por encima de las de alimentación?
2. ¿Que valores de tension corresponden al HI y LO (alta y baja) para asegurar un buen funcionamiento del 4016?
3. ¿En que configuración y con que ganancia esta el operacional a la salida?
4. Captura de las gráficas obtenidas: ¿cual es la tasa binaria del sistema en bits por segundo?

¹También se puede añadir una carga inicial.

3.2. Modulador BPSK



3.2.1. Simulaciones a realizar

La fuente que simula la información binaria es un VPULSE con los mismos parámetros que en el caso anterior. El reloj de 332 kHz es una onda cuadrada, generada con otra VPULSE con los siguientes parámetros para conseguir dicha frecuencia con un duty cycle del 50%:

V1=0
 V2=5
 TD=0
 TR=1 ns
 TF=1 ns
 PW=1.5 us
 PER=3 us

La simulación es un transitorio (ANALOGUE) de duración 200 μ s, de los cuales ignoramos los 120 μ s primeros para evitar el transitorio de arranque. El paso máximo es 1 μ s.

Análisis de resultados

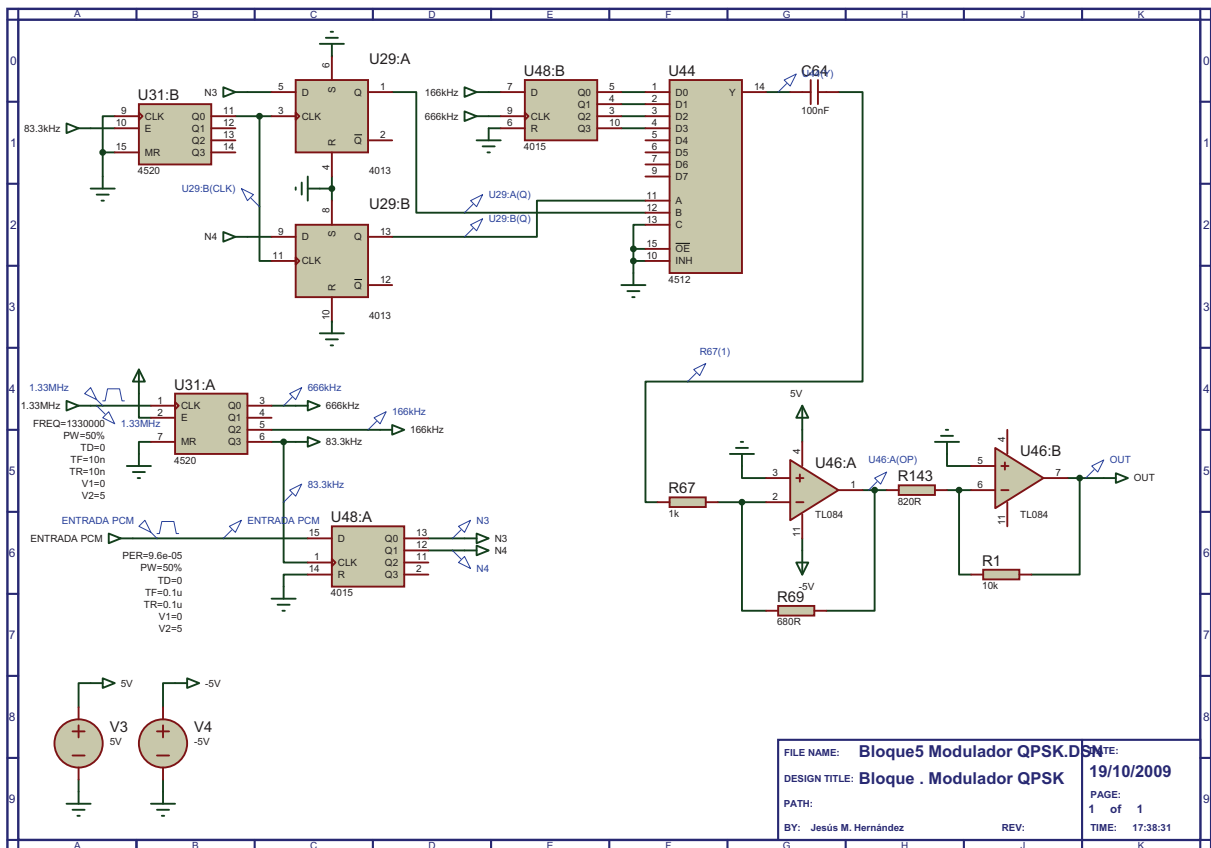
1. ¿Como se obtiene la fase de 180° en el circuito?

2. ¿Como se selecciona la fase que se ha de transmitir?
3. ¿Para que se emplea el condensador C58?
4. Comentario de las formas de onda a la salida: ¿La transmisión de los bits es correcta?

Capítulo 4

Modulador QPSK

Explicar someramente el diagrama de bloques del sistema de comunicaciones a analizar.



Relacionar cada uno de los bloques con su implementación circuital. numerar los parámetros mas importantes de los mismos (frecuencias centrales, tasas de bit, etc.).

4.1. Simulación a realizar

Los generadores empleados son dos:

1. La fuente que simula la información binaria es un VPULSE con un periodo mayor que el correspondiente al doble de la tasa binaria, para que a la salida aparezcan los 4 símbolos de la modulación:

```
V1=0
V2=5
TD=0
TR=0.1 us
TF=0.1 us
PW= 50 %
PER=96 us
```

2. La señal de reloj de 1.33 MHz es una onda cuadrada, generada con una fuente VPULSE con un duty cycle del 50%:

```
V1=0
V2=5
TD=0
TR=10 ns
TF=10 ns
PW= 50 %
FREQ= 1330000
```

La simulación es un transitorio (ANALOGUE) de duración 200 μ s, de los que ignoramos los 100 μ s del arranque. Esta simulación puede resultar algo lenta debido a la alta frecuencia del reloj y los tiempos que es necesario simular.

Para las señales digitales incorporarlas en una gráfica DIGITAL. Será más rápido.

4.2. Análisis de resultados

- ¿Como se obtienen los distintos relojes necesarios para el modulador? ¿Y las cuatro fases correspondientes a los símbolos? ¿A que frecuencia de portadora transmite el sistema?
- ¿Como se selecciona la fase que se ha de transmitir? ¿Como se agrupan los bits para seleccionar el símbolo a transmitir?
- ¿Que función tiene el condensador en serie mencionado anteriormente?
- Comentario de las formas de onda a la salida: ¿La transmisión de los bits es correcta? Señalar en la salida los cambios de fase de la portadora. A partir de las gráficas, obtener la tasa de bit y de símbolo del sistema.

Se recomienda visualizar los relojes de los distintos integrados, los bits de entrada, la conversión serie-paralelo de los mismos y la señal obtenida a la salida del modulador, aunque el elevado número de señales presentes puede hacer necesario visualizar solo las más interesantes en cada momento para poder contestar mejor a las preguntas planteadas.

Capítulo 5

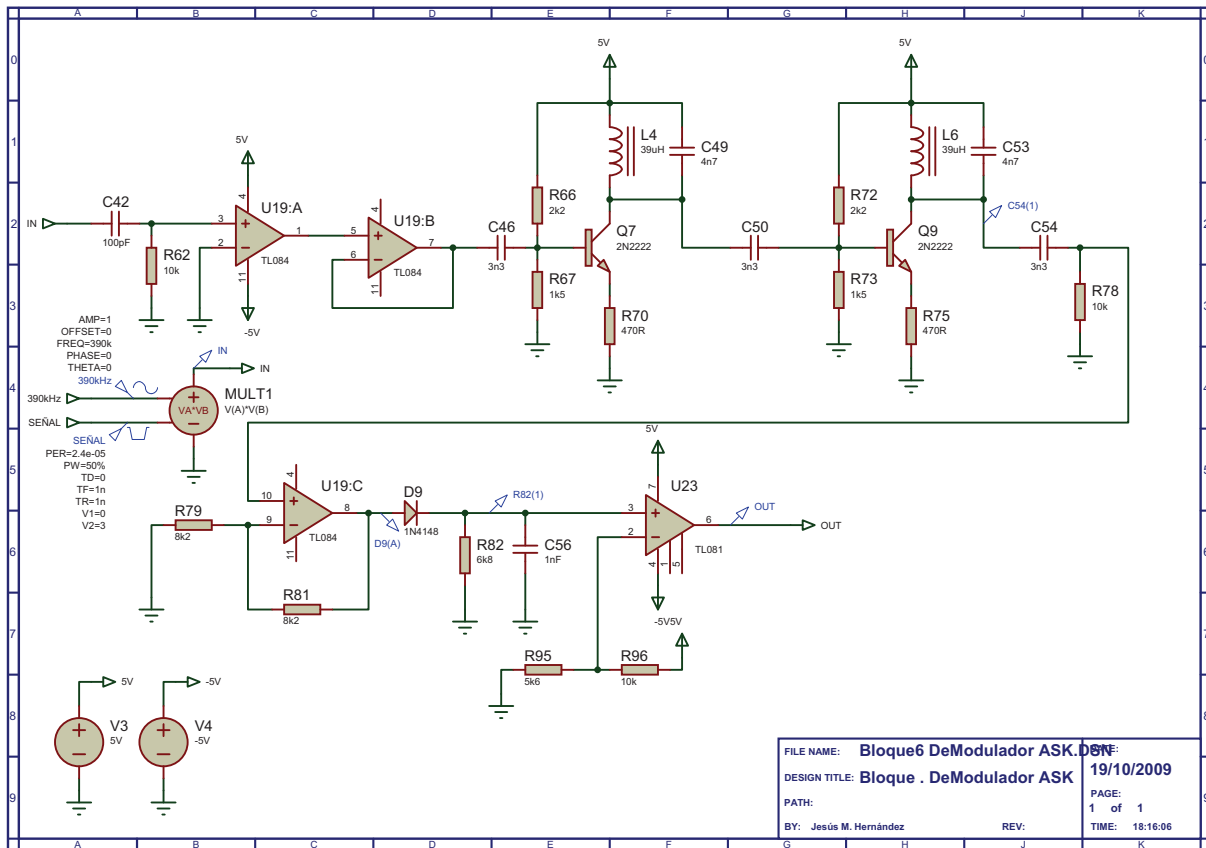
Demodulador ASK

Explicar someramente el diagrama de bloques del sistema de comunicaciones a analizar.

Relacionar cada uno de los bloques con su implementación circuital. Enumerar los parámetros mas importantes de los mismos (frecuencias centrales, tasas de bit, etc.).

5.1. Demodulador ASK

En la figura se muestra una captura esquemática del demodulador, así como los puntos donde se deben colocar los marcadores de voltaje. La fuente SEÑAL representa la entrada de datos digitales, mientras que la portadora de 390 kHz se genera con la fuente 390kHz.



5.1.1. Detalles para el montaje

El multiplicador analógico es necesario para generar a la entrada la señal modulada en amplitud (ASK). Dicho elemento se llama MULTIPLIER.

5.1.2. Simulación a realizar

La fuente que simula la información binaria (SEÑAL) es un VPULSE con un periodo acorde a la tasa binaria del sistema:

V1=0
 V2=3
 TD=0
 TR=1 ns
 TF=1 ns
 PW=50 %
 PER=24 us

La portadora es una señal sinusoidal de amplitud VAMP=1 V, sin offset y con una frecuencia central FREQ=390 kHz.

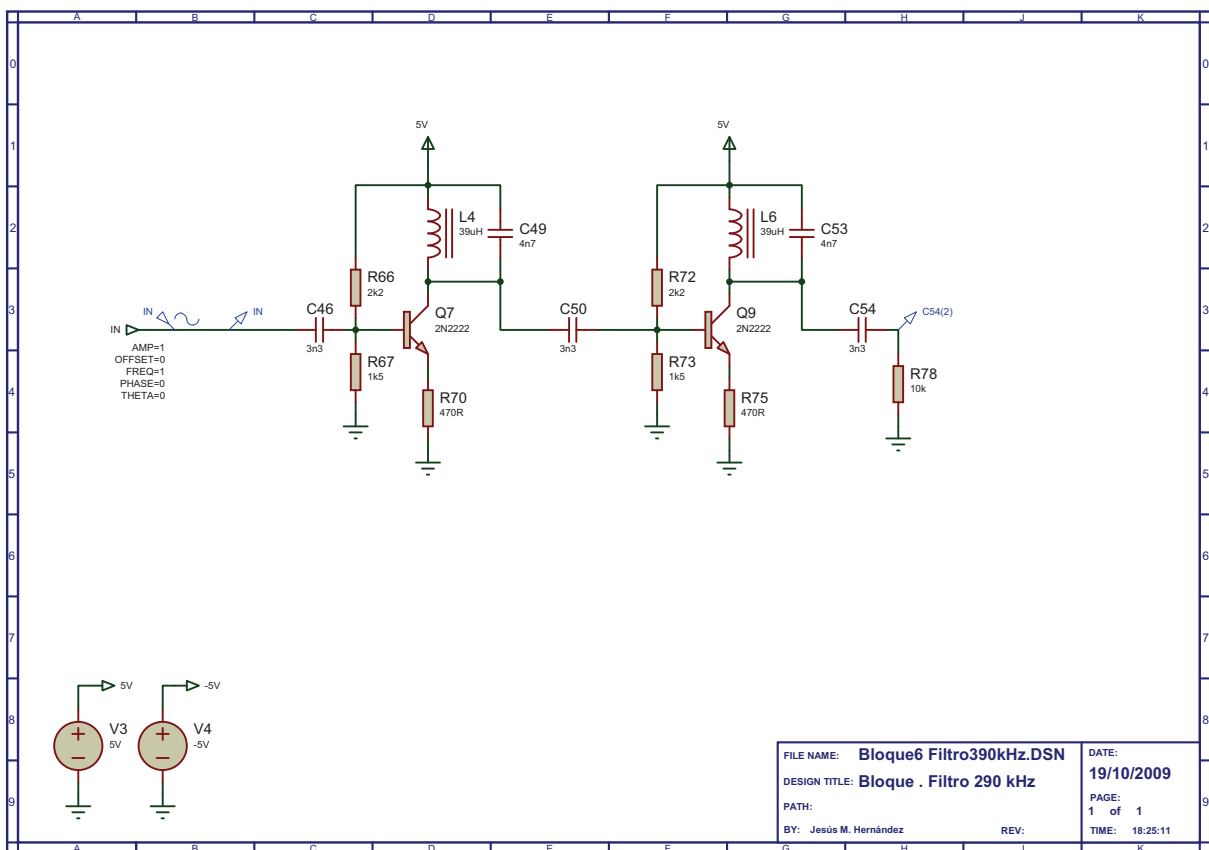
La simulación es un transitorio (ANALOGUE) de duración 140 μ s y con un paso máximo temporal de 0.1 μ s.

5.1.3. Análisis de resultados

1. ¿Qué finalidad tiene el comparador de la entrada?
2. ¿Que se obtiene a la salida del filtro? ¿Como se consiguen tensiones mayores a la de alimentación?
3. Explicar el funcionamiento del detector de envolvente. ¿Con que se compara la salida de dicho detector para obtener los bits? Comentarlo sobre las gráficas obtenidas al simular.

5.2. Filtro de 390 kHz

Para caracterizar el demodulador por completo, se hará un breve estudio del filtro que contiene. Con el fin de simplificar las simulaciones, se recomienda copiar el filtro en un proyecto nuevo y añadirle las fuentes de necesarias para la simulación:



Para caracterizar este filtro en frecuencia, se ha de realizar una simulación de tipo AC Sweep, utilizando como entrada una fuente VAC con amplitud 1 V, y colocando a la salida markers de magnitud en dB (Gain (dB)) y fase (Phase). La simulación tiene que barrer las frecuencias desde 10 Hz hasta 1 MHz, con 1000 puntos por década.

En vista de los resultados de la simulación, comentar:

- Tipo de filtro, frecuencia central y banda de paso a tres decibelios.
- Ganancia en la frecuencia central. ¿Que tipo de implementación es la empleada?
- Capturar el diagrama de Bode, dibujando las gráficas de magnitud y fase.

Capítulo 6

Demodulador FSK-DFD

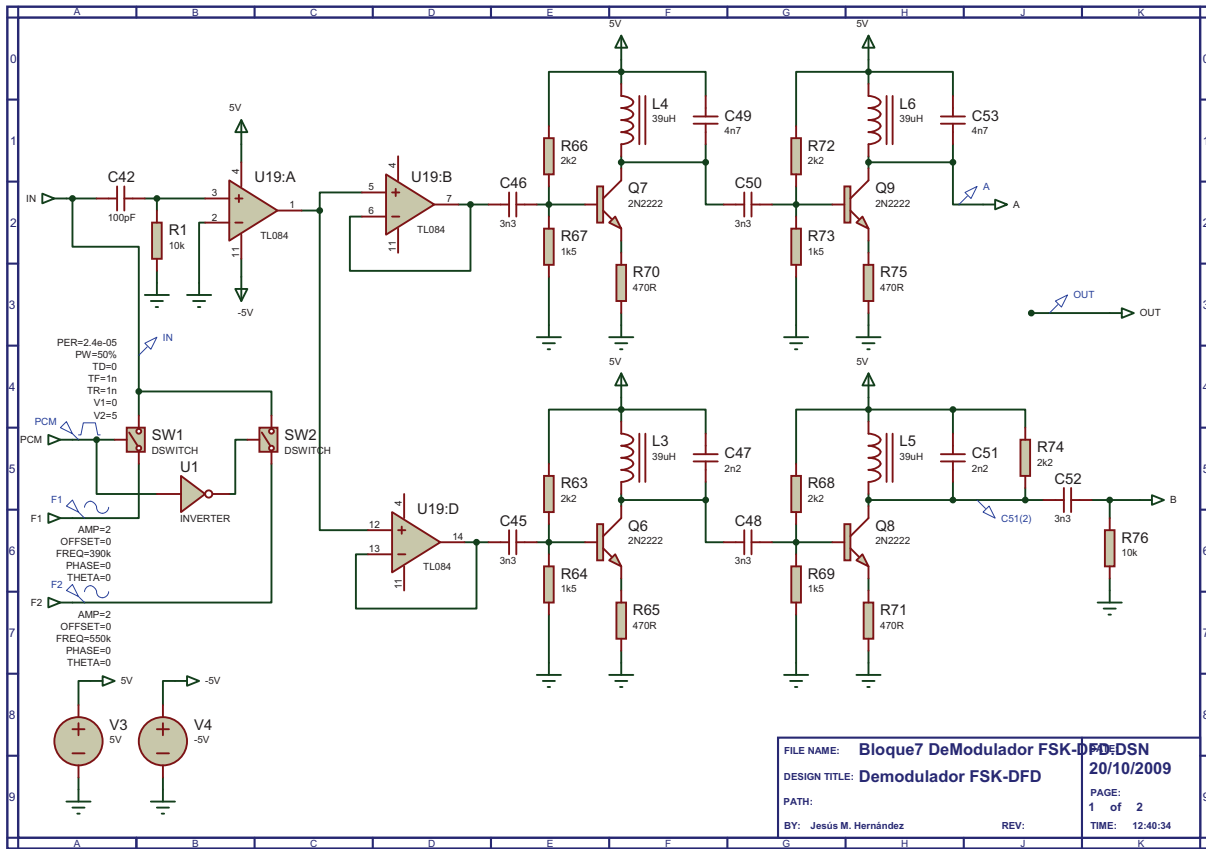
Explicar someramente el diagrama de bloques del sistema de comunicaciones a analizar.

Relacionar cada uno de los bloques con su implementación circuital.

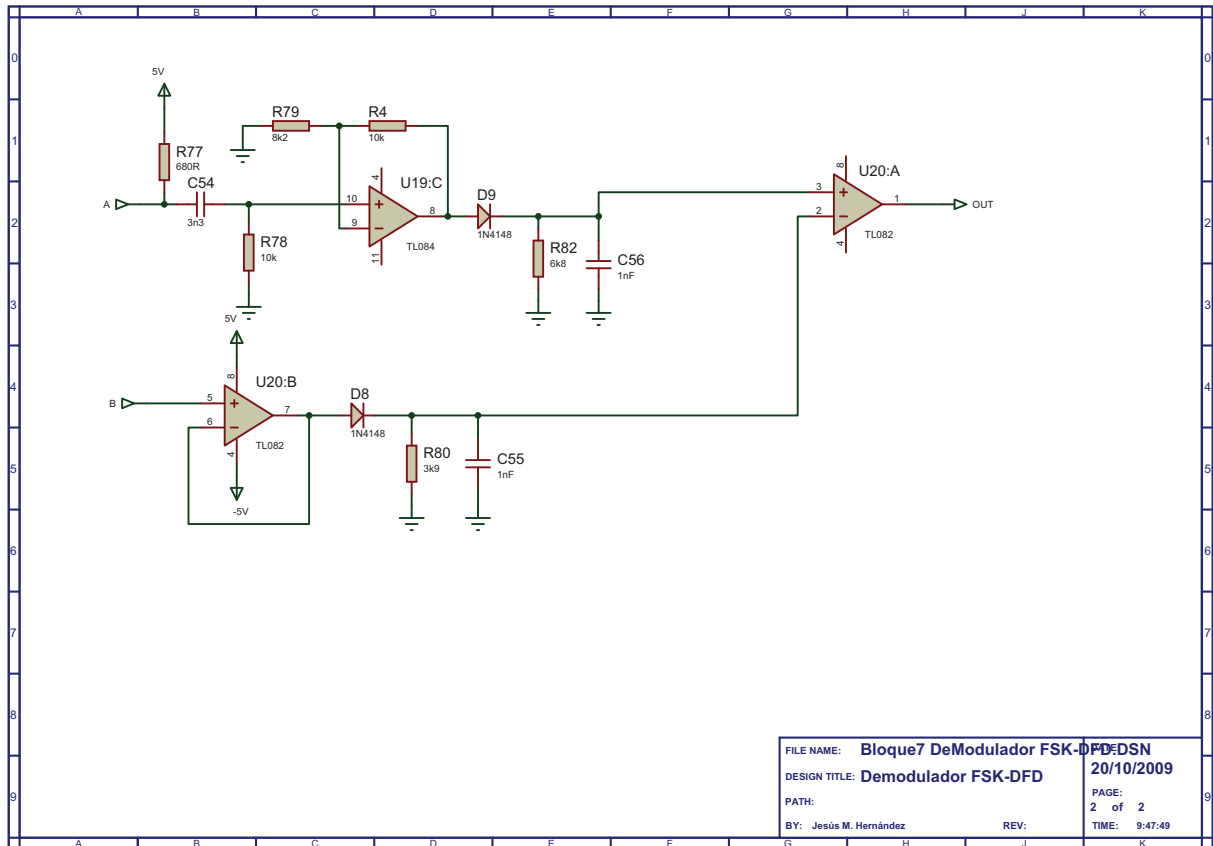
Enumerar los parámetros mas importantes de los mismos (frecuencias centrales, tasas de bit, etc.).

6.1. Demodulador FSK-DFD

Se muestran a continuación las dos partes del demodulador, así como los puntos donde se deben colocar los marcadores de voltaje. Habrá que hacer dos hojas dentro del mismo nivel de jerarquía.



En esta parte del esquemático se pueden ver las fuentes de alimentación y las fuentes de señal: F1 y F2 son tonos a las frecuencias que marcan los símbolos 1 y 0 respectivamente, y PCM es la señal de datos PCM, que selecciona mediante interruptores el símbolo que se transmite. Ese conjunto de fuentes e interruptores sirven para generar la señal FSK de entrada al demodulador. También en esta primera parte se puede ver los dos filtros de los que consta el circuito, y que habrá que analizar por separado.



La segunda parte contiene los detectores de envolvente y el decisor, que determina cual de los dos símbolos se ha recibido.

6.1.1. Simulación a realizar

La fuente que simula la información binaria es un VPULSE con un periodo acorde a la tasa binaria del sistema:

- V1=0
- V2=5
- TD=0
- TR=1 ns
- TF=1 ns
- PW=12 us
- PER=24 us

Los dos tonos correspondientes a los símbolos se generan con sendas VSIN, ambas con amplitud VAMP=2 V, sin offset y con una frecuencia central FREQ=390 kHz para el símbolo del 1 y FREQ=550 kHz para el símbolo del 0.

La simulación es un transitorio (ANALOGUE) de duración 120 μ s.

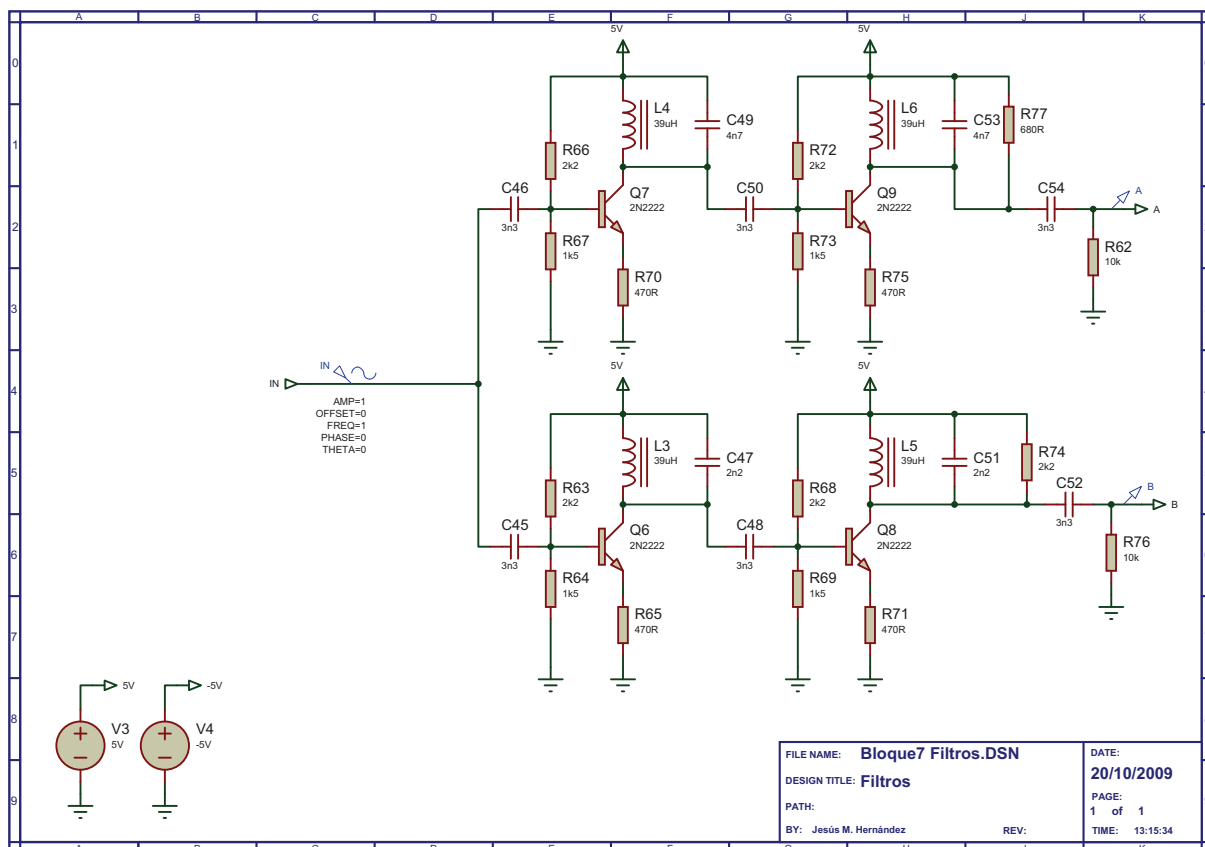
6.1.2. Análisis de resultados

1. ¿Qué finalidad tiene el comparador de la entrada?

2. ¿Qué se obtiene a las salidas de los filtros? ¿Como se consiguen tensiones mayores a la de alimentación?
3. Explicar el funcionamiento del detector de envolvente ¿Por que se emplean dos detectores? Comentarlos sobre las gráficas obtenidas al simular.
4. ¿Que hace el decisor y como esta implementado? ¿Como se obtiene a la salida el valor del bit transmitido?
5. ¿Por que en la simulación la señal modulada no tiene continuidad de fase (mostrar este efecto en las gráficas), mientras que en el entrenador si que la tiene?

6.2. Filtros de 390 kHz y 550 kHz

Para caracterizar el demodulador por completo, se hará un breve estudio de los filtros que contiene. Con el fin de simplificar las simulaciones, se recomienda copiar los filtros en dos proyectos nuevos y añadirle las fuentes de continua (VDC) y de alterna (VAC) necesarias para la simulación, como se muestra en la



Para caracterizar cada filtro en frecuencia, se ha de realizar una simulación de tipo AC Sweep, utilizando como entrada una fuente VAC con amplitud 1 V, y colocando a la salida marcadores de magnitud en dB y fase. La simulación tiene que barrer las frecuencias en torno a la central de ambos filtros: desde 100 kHz hasta 10 MHz, con 1000 puntos por década.

En vista de los resultados de la simulación, comentar:

- Tipo de filtro, frecuencia central y banda de paso a tres decibelios.
- Ganancia en la frecuencia central. ¿Que tipo de implementación es la empleada?
- Capturar el diagrama de Bode, dibujando por separado las gráficas de magnitud y fase.

Capítulo 7

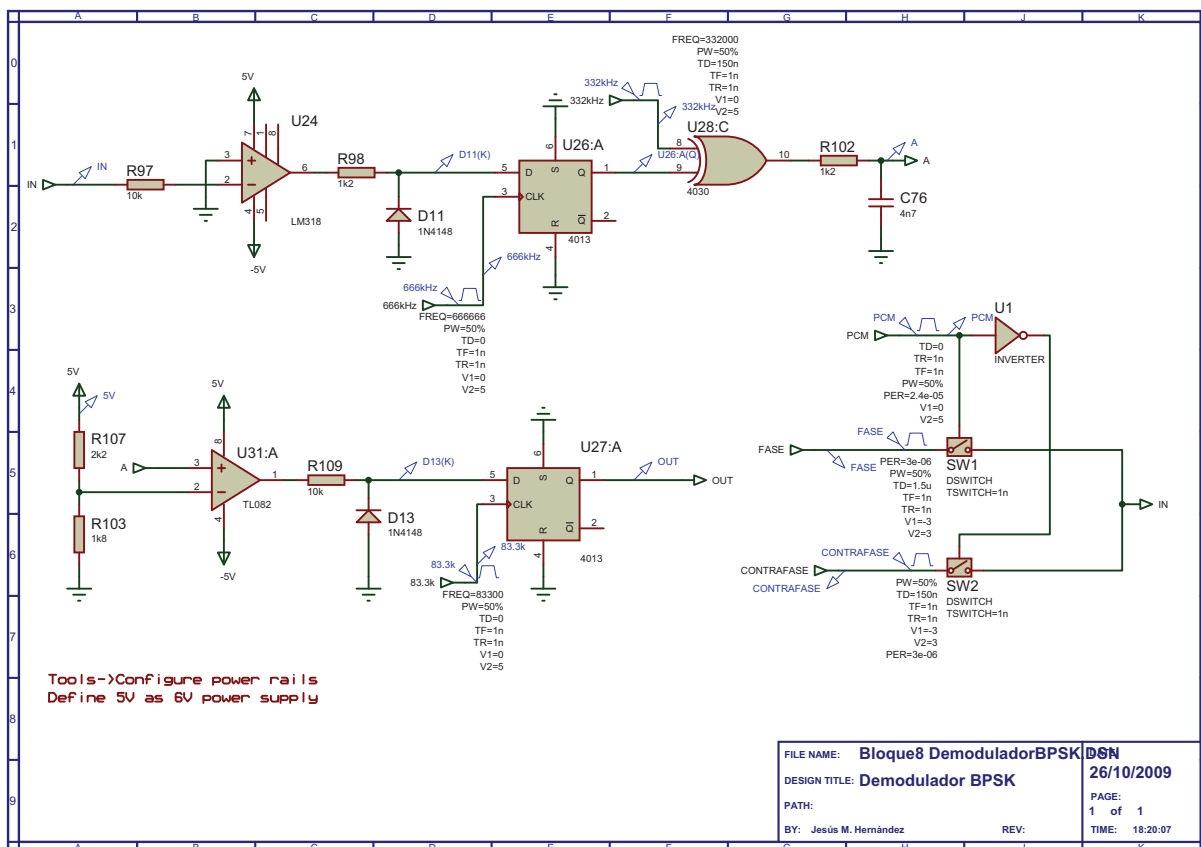
Demodulador BPSK. Demodulador DPSK

Explicar someramente el diagrama de bloques del sistema de comunicaciones a analizar.

Relacionar cada uno de los bloques con su implementación circuital.

Enumerar los parámetros mas importantes de los mismos (frecuencias centrales, tasas de bit, etc.).

7.1. Demodulador BPSK



En la figura se muestra una captura esquemática del demodulador, así como los puntos donde se deben colocar los marcadores de voltaje.

7.1.1. Simulación a realizar

La fuente que simula la información binaria (PCM) es un VPULSE con un periodo acorde a la tasa binaria del sistema:

V1=0

V2=5

TD=0

TR=1 ns

TF=1 us

PW=12 us

PER=24 us

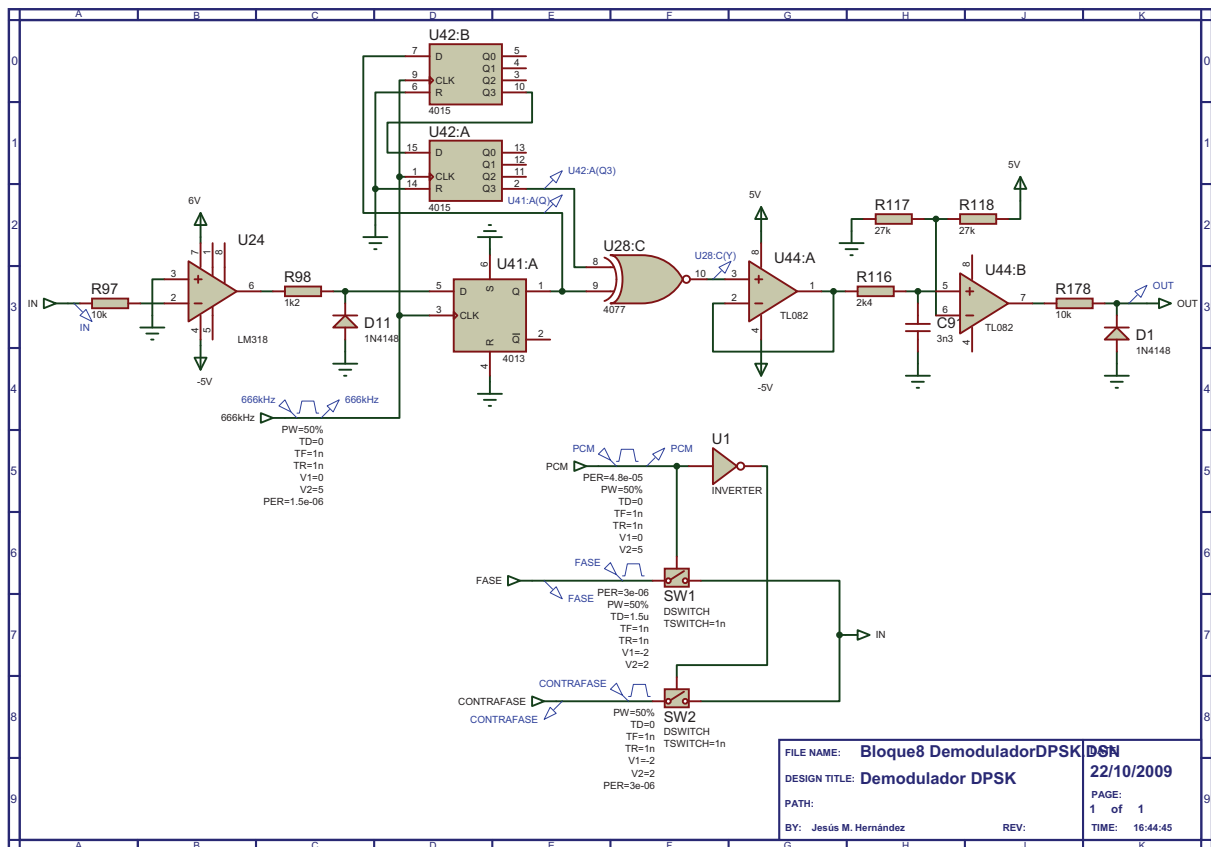
Las otras fuentes tienen los parámetros que aparecen en el esquema.

La demodulación se obtiene de una simulación transitoria con una duración de 120 μ s.

7.1.2. Análisis de resultados

1. ¿Qué finalidad tiene el comparador de la entrada?
2. ¿Qué elemento multiplica la señal de entrada con la referencia?
3. ¿Cuál es el trabajo del filtro RC a la salida de la puerta XOR?
4. ¿Qué hace el decisor y cómo está implementado?
5. ¿Para qué se coloca el flip-flop D a la salida?

7.2. Demodulador DPSK



En este esquema de demodulador comparamos la fase de cada bit con el anterior, por lo que necesitamos un reloj a la frecuencia de portadora. Sin embargo sigue siendo necesario un sincronismo para poder distinguir cuando comienza un bit y realizar las comparaciones de manera correcta.

7.2.1. Simulación a realizar

La simulación transitoria a realizar en este caso tiene una duración de 120 us.

7.2.2. Análisis de resultados

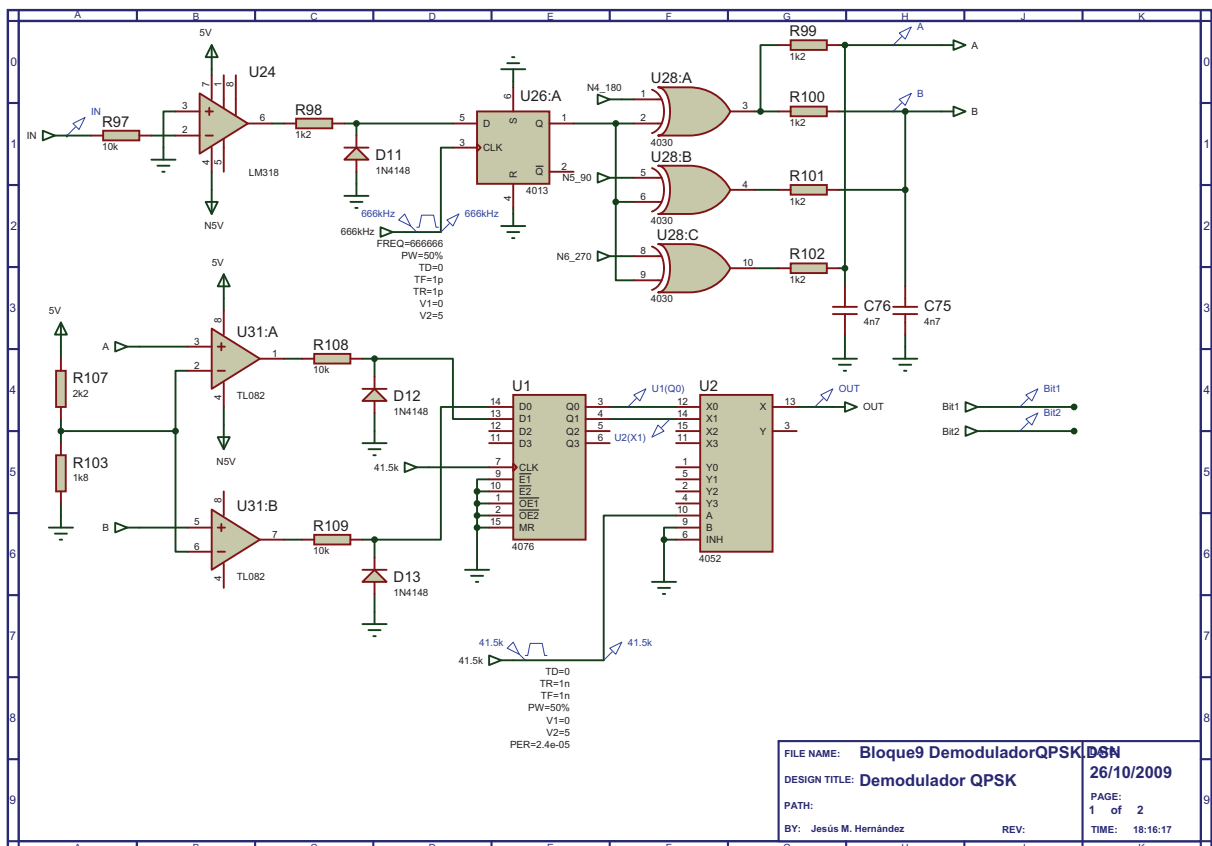
1. ¿Qué finalidad tiene el registro de desplazamiento?
2. ¿Qué elemento multiplica la señal de entrada con el bit anterior?
3. ¿Cual es el trabajo del filtro RC tras el buffer, a la salida de la puerta XNOR?
4. ¿Qué hace el decisor y como esta implementado?
5. ¿Para qué se colocan los diodos?
6. Representar la secuencia de símbolos enviada, la demodulada y comprobar que la codificación diferencial es correcta.

Capítulo 8

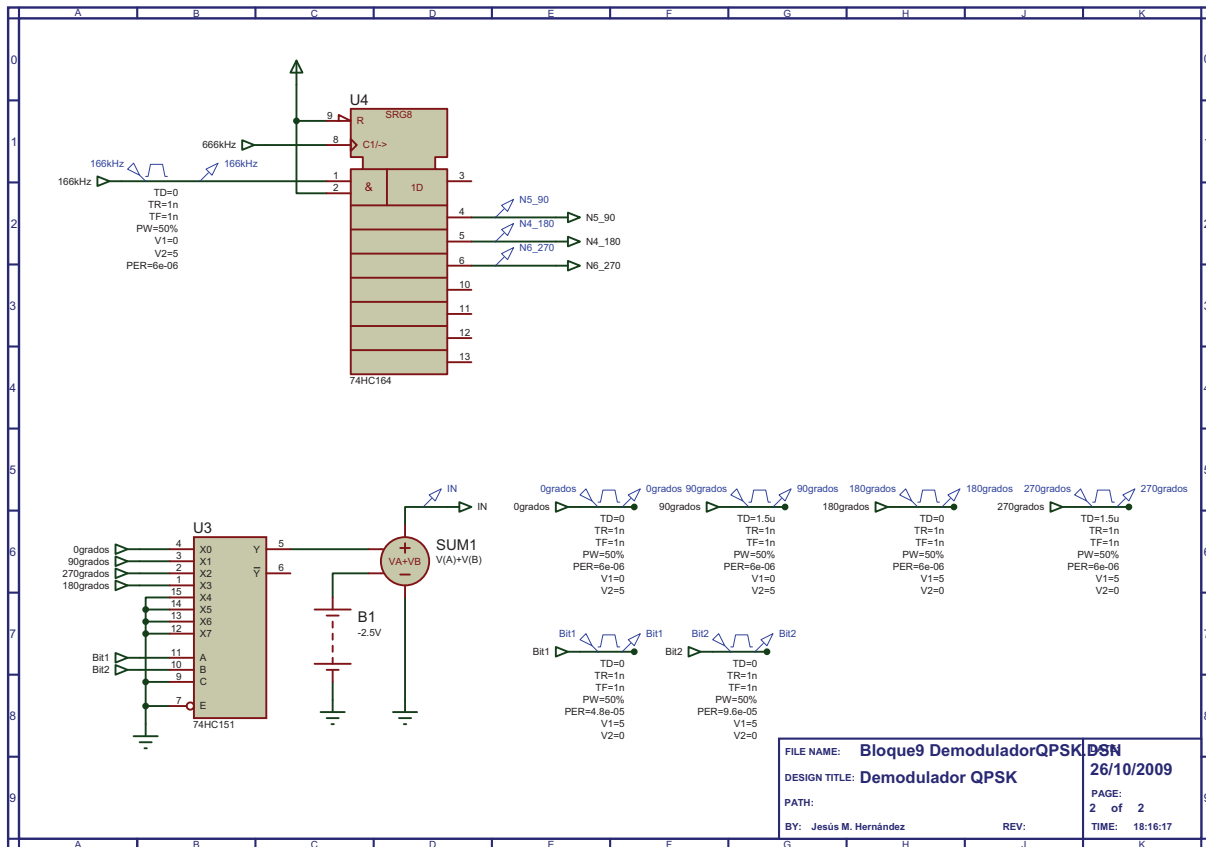
Demodulador QPSK

Explicar someramente el diagrama de bloques del sistema de comunicaciones a analizar. Relacionar cada uno de los bloques con su implementación circuital. Enumerar los parámetros mas importantes de los mismos (frecuencias centrales, tasas de bit, etc.).

En la figura se muestra una captura esquemática del demodulador, así como los puntos donde se deben colocar los markers de voltaje.



Generación de las fases y de la señal de prueba que sera demodulada.



8.1. Simulación a realizar

El proceso de demodulación se consigue realizando una simulación transitoria (ANALOGUE) con una duración de 140 μ s.

8.2. Análisis de resultados

1. ¿Qué finalidad tiene el punto de suma en la generación de señal?
2. ¿Cómo se generan las cuatro fases a partir de la referencia de 0° (reloj de 166 kHz)?
3. ¿Qué elemento multiplica la señal de entrada con las referencias de fase?
4. ¿Cual es el trabajo de los filtros RC a la salida de las puertas XOR? ¿Cómo se relaciona esto con la explicación teórica presente en el manual del entrenador?
5. ¿Qué hacen los decisores y como están implementados?
6. ¿Cual es la finalidad de los diodos a la entrada de los flip-flops?
7. ¿Para qué se colocan los flip-flops D y el multiplexor a la salida? ¿Por qué la señal de selección del multiplexor es el reloj de 41.5 kHz?

8. Comprobar que los símbolos corresponden a los bits especificados en el manual de teoría, tanto en la generación de la señal QPSK como a la salida del demodulador. ¿A qué se debe el retraso de un símbolo que presenta la salida respecto de la entrada?