



# BUS PCI.





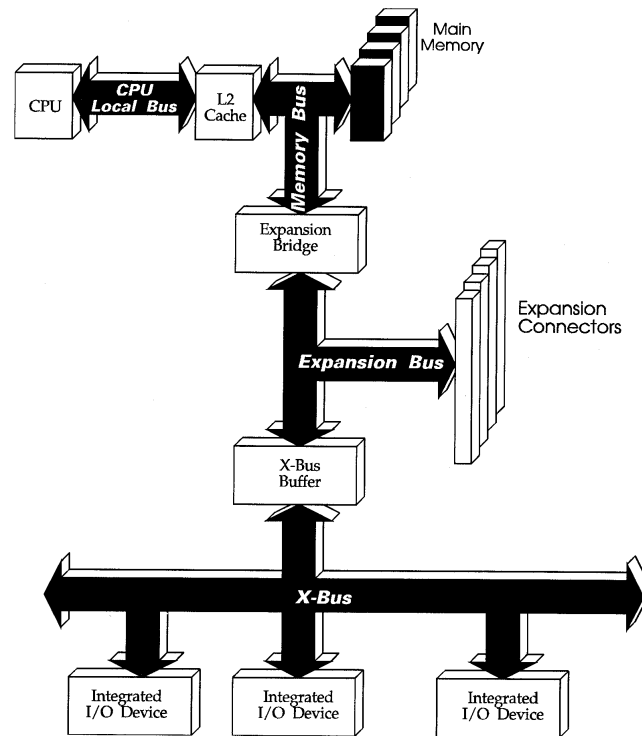
## GUIÓN.

1. BUSES LOCALES.
  - 1.1. Conexión directa.
  - 1.2. Conexión mediante buffer.
  - 1.3. Conexión workstation.
2. INTRODUCCIÓN AL BUS PCI.
3. SEÑALES UTILIZADAS EN EL BUS PCI.
4. COMANDOS SOPORTADOS POR EL BUS PCI.
5. ESTRUCTURA DE DIRECCIONAMIENTO PCI.
  - 5.1. ESPACIO DE CONFIGURACIÓN.
6. CICLOS PCI BÁSICOS.
  - 6.1. TRANSFERENCIAS DE LECTURA EN MEMORIA O I/O.
  - 6.2. TRANSFERENCIAS DE ESCRITURA EN MEMORIA O I/O.
7. ARBITRACIÓN.
8. CONTROLADOR DE BUS AMCC S5933.
  - 8.1. Diagrama de bloques del controlador.
  - 8.2. Mailboxes o buzones.
  - 8.3. FIFOS.
  - 8.4. Modo pass-thru.
  - 8.5. Configuración del dispositivo.
  - 8.6. Descripción de las señales del controlador.
9. REGISTROS DEL CONTROLADOR S5933.
  - 9.1. Registros de configuración del bus PCI.
  - 9.2. Registros de operación del bus PCI.
  - 9.3. Registros de operación del Add-on bus.



## 1. BUSES LOCALES.

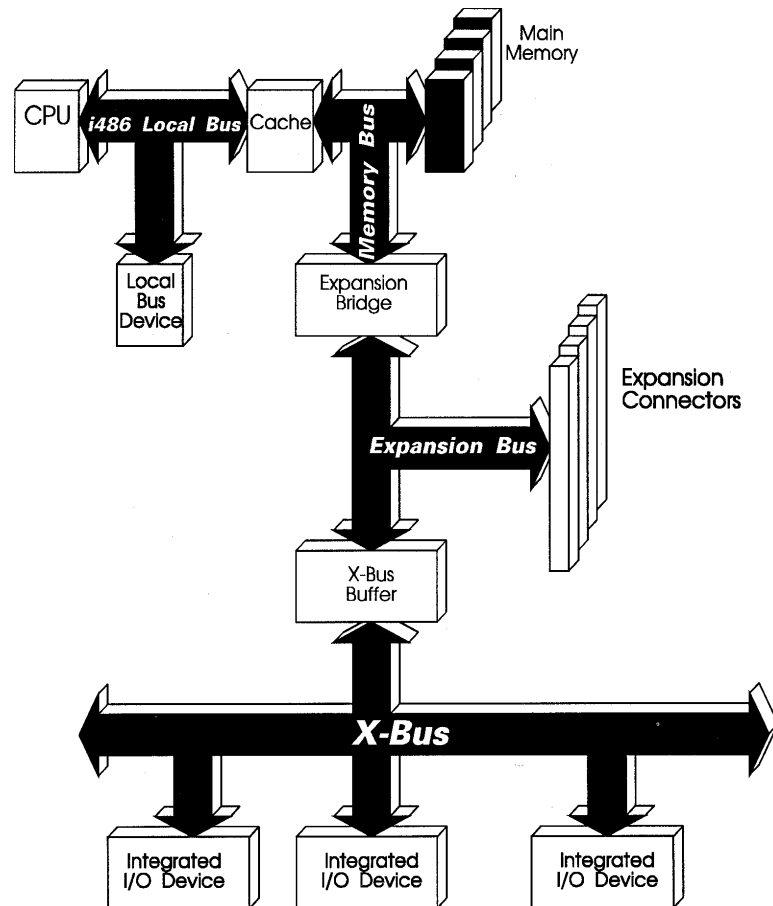
- Las arquitecturas antiguas de buses de expansión no proporcionan suficiente ancho de banda para aplicaciones que precisan transferencias de datos a gran velocidad



- Un bus local acelera las transferencias situando los periféricos rápidos desde el bus de expansión hasta el bus del procesador.
- Existen tres aproximaciones para conectar un periférico al bus local del microprocesador:
  - Conexión directa.
  - Conexión mediante buffer.
  - Conexión tipo workstation.



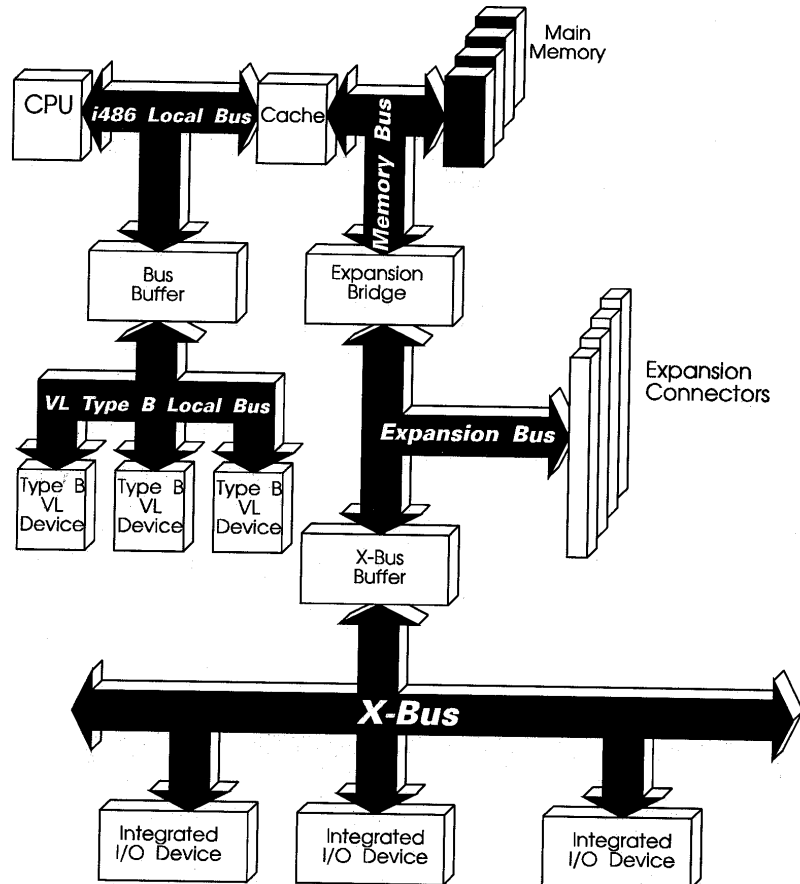
## 1.1. Conexión directa.



- El dispositivo se conecta directamente al bus del procesador.
- Rediseño del bus local para cada nueva versión de procesador.
- La carga capacitiva impuesta por el dispositivo conectado al bus limita el número de periféricos a conectar.
- Difícil diseño del bus debido a la elevada frecuencia de trabajo.
- Problemas con al conectar procesadores del tipo Overdrive.
- Si el bus local esta siendo ocupado para realizar transferencias con otro dispositivo no puede ser ocupado por el microprocesador.



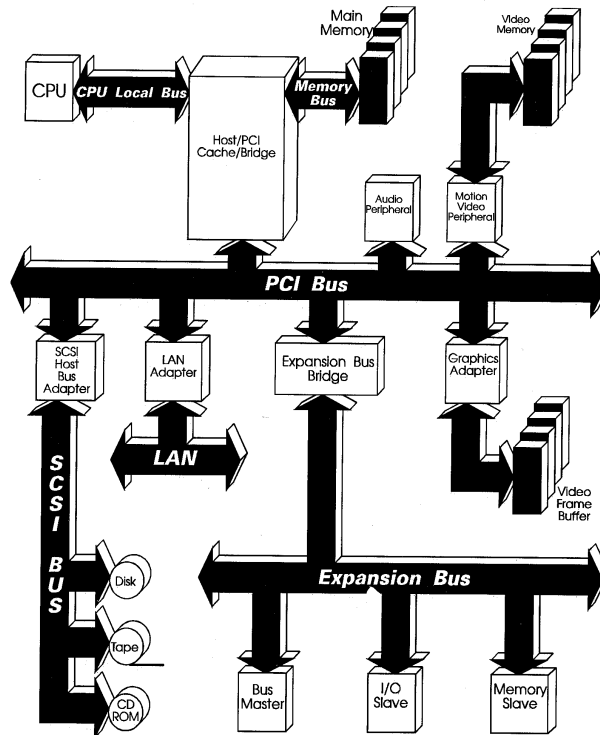
## 1.2. Conexión mediante buffer.



- Se aumenta el fan-out de las señales del bus local, posibilitando atacar cargas capacitivas mayores  
→ mayor número periféricos a conectar.
- Los buffers introducen un retardo adicional que puede reducir el ancho de banda del bus.
- No hay desdoblamiento de bus, por lo que la utilización por parte del maestro de bus y el procesador es mutuamente excluyente  
→ Paradas en el procesador.



### 1.3. Conexión workstation.



- Combinación de la cache L2 con un puente que realiza el interface entre:
  - Procesador.
  - Memoria principal.
  - Bus de I/O de alta velocidad.
- Se puede acceder a memoria principal a través del bridge por parte de:
  - El procesador.
  - Un maestro del bus de I/O de alta velocidad.
- En el bus de I/O de alta velocidad coinciden **maestros** de bus y elementos **destinatarios**.
- Se pueden realizar simultáneamente:
  - Transferencias entre el procesador y su cache L1 o L2.
  - El controlador de cache transmite datos desde el bus de I/O a memoria principal.
  - Un maestro del bus de I/O de alta velocidad puede transferir datos a un destinatario.
- Especificación del bus independiente del procesador.



## 2. INTRODUCCIÓN AL BUS PCI.

- ✓ PCI es un bus local de 32 bits

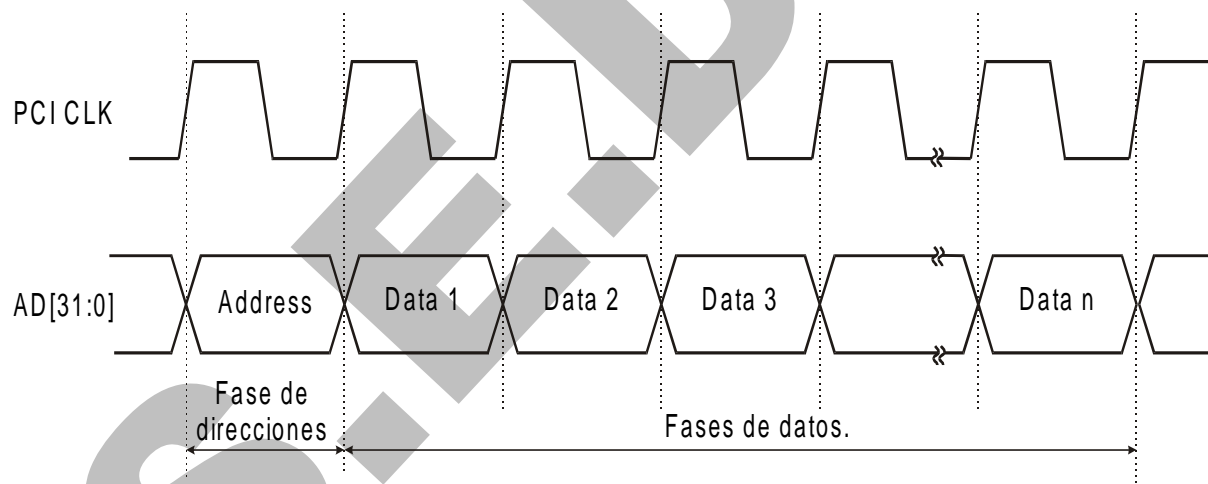
...**síncrono**: Todas las señales conmutan en el flanco ascendente de la señal de reloj

...y **multiplexado**: las direcciones y los datos se transmiten por las mismas líneas.

- ✓ Las transferencias a través del bus PCI se realizan en modo **ráfaga** (*burst*).

- ✓ Una transferencia PCI está compuesta por:

- Una **fase de direcciones**.
- Una o varias **fases de datos**.



- ✓ **Agente**: Dispositivo que se conecta al bus PCI.

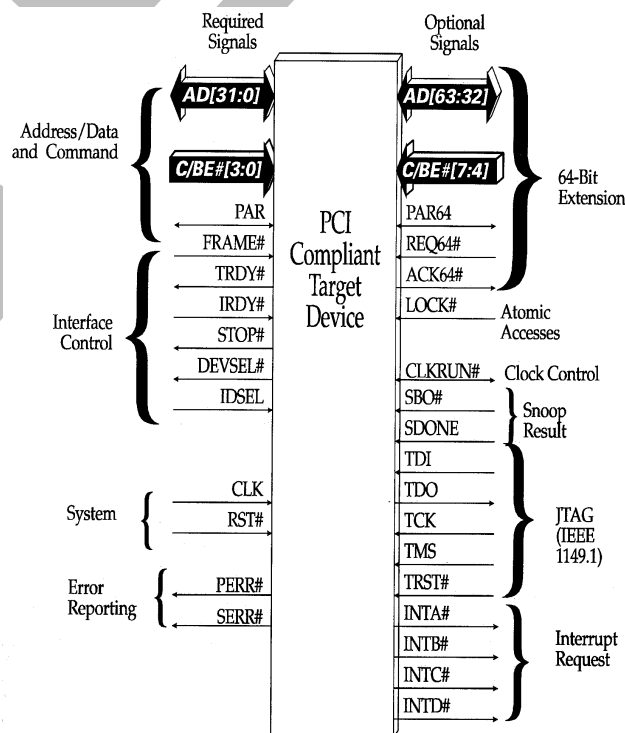
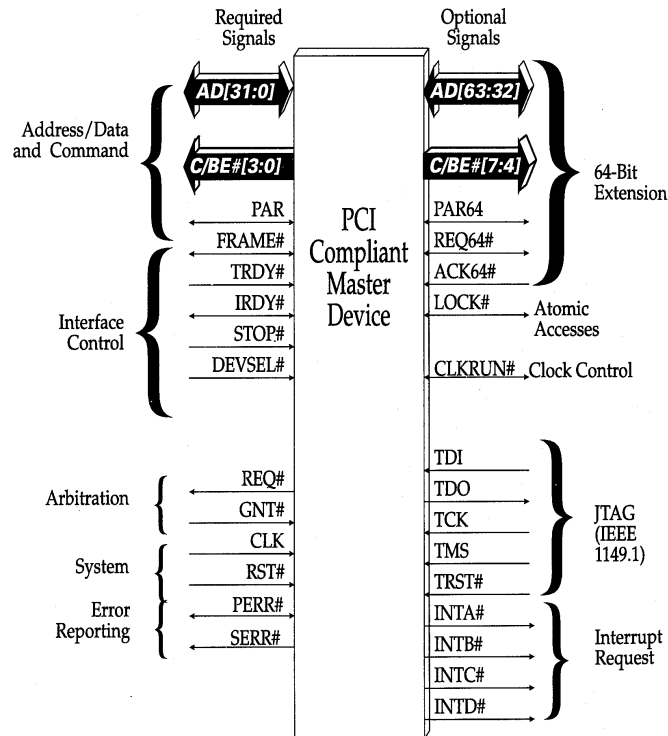
- Iniciador o maestro.
- Destinatario.

- ✓ Tipos de dispositivos:

- Monofunción.
- Multifunción.



### 3. SEÑALES UTILIZADAS EN EL BUS PCI.







#### 4. COMANDOS SOPORTADOS POR EL BUS PCI.

C/BE#3	C/BE#2	C/BE#1	C/BE#0	Command Type
0	0	0	0	Interrupt Acknowledge
0	0	0	1	SpecialCycle
0	0	1	0	I/O Read
0	0	1	1	I/O Write
0	1	0	0	Reserved
0	1	0	1	Reserved
0	1	1	0	Memory Read
0	1	1	1	Memory Write
1	0	0	0	Reserved
1	0	0	1	Reserved
1	0	1	0	Configuration Read
1	0	1	1	Configuration Write
1	1	0	0	Memory ReadMultiple
1	1	0	1	Dual Address Cycle
1	1	1	0	Memory ReadLine
1	1	1	1	Memory Write and Invalidate

- **Memory read/write.** Se utiliza cuando un maestro desea leer/escribir una o más posiciones de un destinatario mapeado en memoria.
- **Memory read line.** Se utiliza cuando *se prevee* que el maestro leerá al menos una línea de la caché. El destinatario puede aprovechar este comando para anticiparse y traer más datos.
- **Memory Read Multiple.** Se utiliza cuando *se puede asegurar* que el maestro leerá al menos una línea de la caché.
- **Memory write and Invalidate.** Se utiliza cuando se puede garantizar que el maestro escribirá una o más líneas de la cache. Este comando se utiliza para inhabilitar el mecanismo de *snooping*.
- **I/O read/write.** Se utiliza cuando un maestro desea leer/escribir una o más posiciones de un destinatario mapeado en I/O.
- **Configuration read/write.** Se utiliza cuando un maestro desea leer/escribir uno o más registros de configuración de un destinatario.
- **Interrupt Acknowledge.** Se utiliza en plataformas basadas en X86 para pasar un ciclo de reconocimiento de interrupción cuando la CPU se comunica con el PIC.
- **Special Cycle.** Se utiliza para transmitir un evento (shutdown, halt, etc) a todos los destinatarios conectados al bus PCI. No precisa reconocimiento con DEVSEL#.
- **Dual Access Cycle.** Utilizado para acceder a direcciones de 64 bits con slots PCI de 32 bits.



## 5. ESTRUCTURA DE DIRECCIONAMIENTO PCI.

- ✓ El bus PCI distingue entre tres tipos de espacio de direccionamiento:
  - Espacio de memoria.
  - Espacio de I/O.
  - Espacio de configuración.

### 5.1. ESPACIO DE CONFIGURACIÓN.

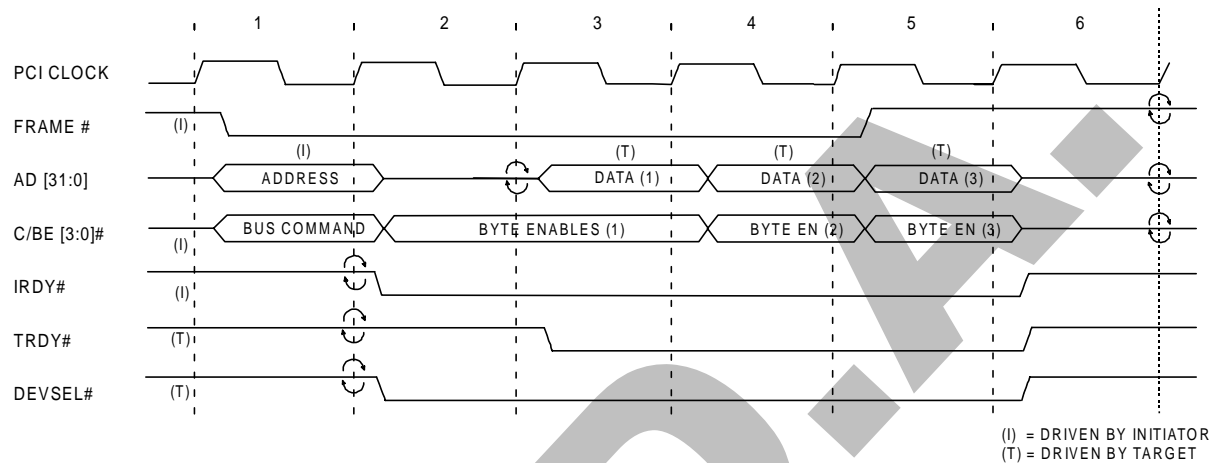
- ✓ La norma PCI establece que cada tripleta bus/dispositivo/función debe disponer de un espacio de 256 bytes para su configuración.
- ✓ Los primeros 64 definen la cabecera del dispositivo, mientras que los 192 restantes son definibles por el usuario.
- ✓ Para acceder al espacio de configuración el maestro debe utilizar un comando de configuración mientras que activa la señal IDSEL del dispositivo a configurar.

31		16	15		0	
Device ID		Vendor ID			00h	
Status		Command			04h	
Class Code				Revision ID		08h
BIST	Header Type	Latency Timer		Cache Line Size		0Ch
Base Address Register 0					10h	
Base Address Register 1					14h	
Base Address Register 2					18h	
Base Address Register 3					1Ch	
Base Address Register 4					20h	
Base Address Register 5					24h	
CardBus CIS Pointer					28h	
Subsystem ID			Subsystem Vendor ID		2Ch	
Expansion ROM Base Address					30h	
Reserved					34h	
Reserved					38h	
Max_Lat	Min_Gnt	Interrupt Pin		Interrupt Line		3Ch



## 6. CICLOS PCI BÁSICOS.

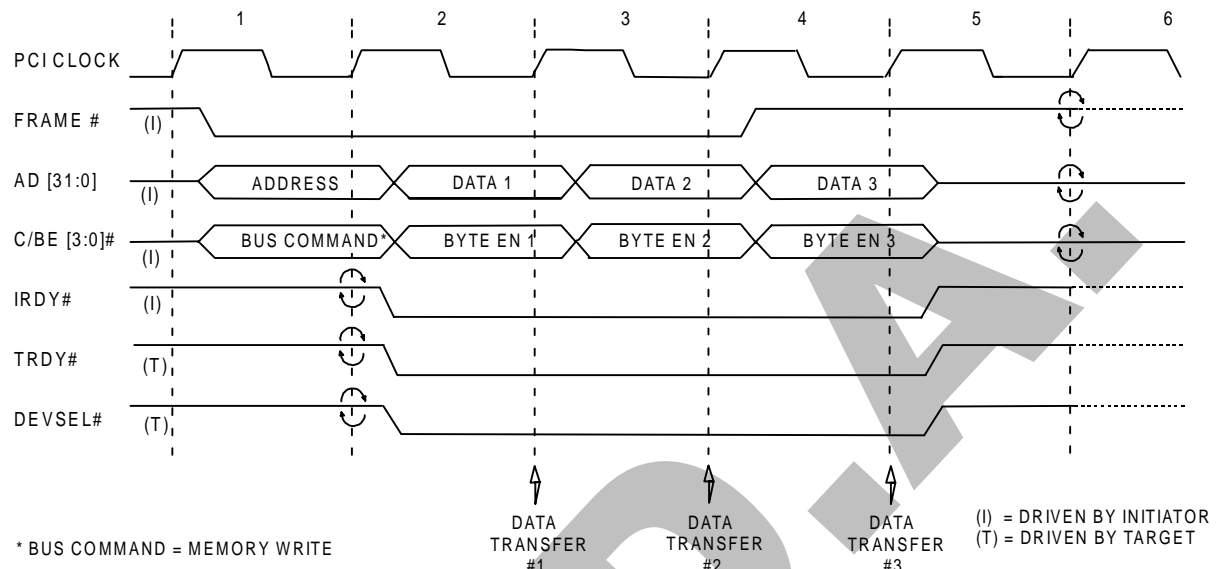
### 6.1. TRANSFERENCIAS DE LECTURA EN MEMORIA O I/O.



- ❶ El maestro comienza la transferencia poniendo:
  - **FRAME#** a nivel bajo.
  - la dirección del dispositivo destinatario en **AD[31:0]**.
  - el tipo de transferencia en **C/BE[3:0]**. (I/O read, memory read, memory read line o memory read múltiple).
- ❷ El destinatario responde poniendo a nivel bajo **DEVSEL#**. Este es un ciclo de retirada *-turnaround cycle-*, evitando los conflictos de bus entre el iniciador y el destinatario.
- ❸ Tanto **IRDY#** como **TRDY#** están a nivel bajo, teniendo lugar la transferencia del primer dato. El maestro indica en **C/BE[3:0]** qué bytes se van a transferir.
- ❹ Tiene lugar la segunda transferencia.
- ❺ El maestro pone **FRAME#** a nivel alto indicando que en el siguiente ciclo terminará la transferencia.
- ❻ En este ciclo el destinatario pone en alta impedancia **AD[31:0]** y **TRDY#** a nivel alto. Por su lado el maestro pone a nivel alto **IRDY#**.



## 6.2. TRANSFERENCIAS DE ESCRITURA EN MEMORIA O I/O.

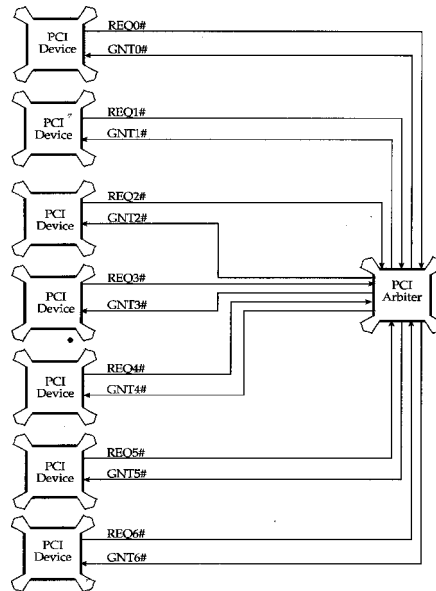


- ❶ El maestro comienza la transferencia poniendo:
  - **FRAME#** a nivel bajo.
  - la dirección del dispositivo destinatario en **AD[31:0]**.
  - el tipo de transferencia en **C/BE[3:0]**. (I/O write, memory write, memory write line).
- ❷ El destinatario responde poniendo a nivel bajo **DEVSEL#**. Puesto que es una transferencia de escritura no se precisa ciclo de retirada.  
Tanto **IRDY#** como **TRDY#** están a nivel bajo, teniendo lugar la transferencia del primer dato. El maestro indica en **C/BE[3:0]** qué bytes se van a transferir.
- ❸ Tiene lugar la segunda transferencia.
- ❹ Tiene lugar la última transferencia. El maestro pone **FRAME#** a nivel alto indicando que en el siguiente ciclo terminará la transferencia.
- ❺ En este ciclo el maestro pone en alta impedancia **AD[31:0]** e **IRDY#** a nivel alto. Por su lado el destinatario pone a nivel alto **TRDY#**.

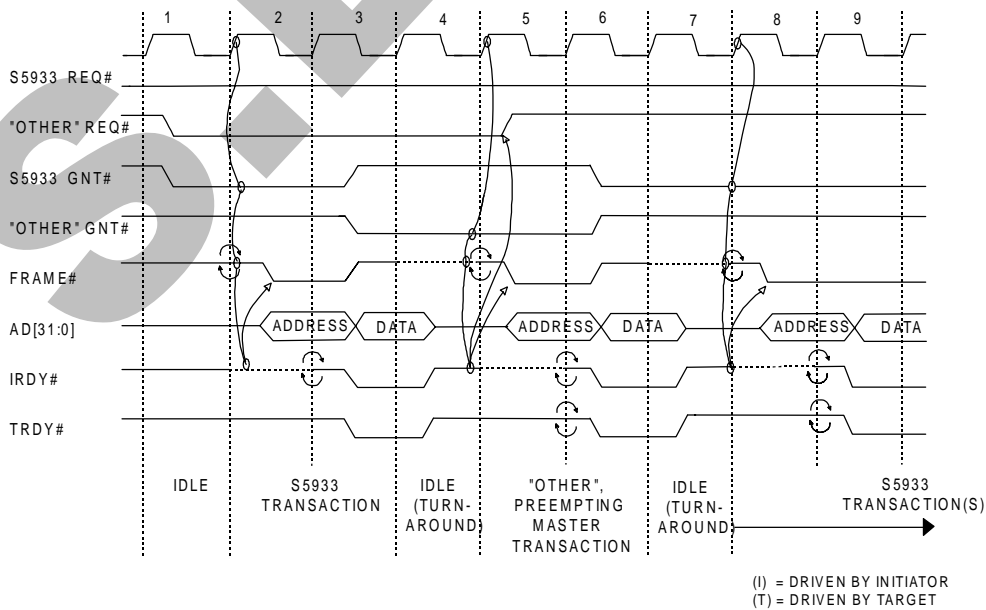


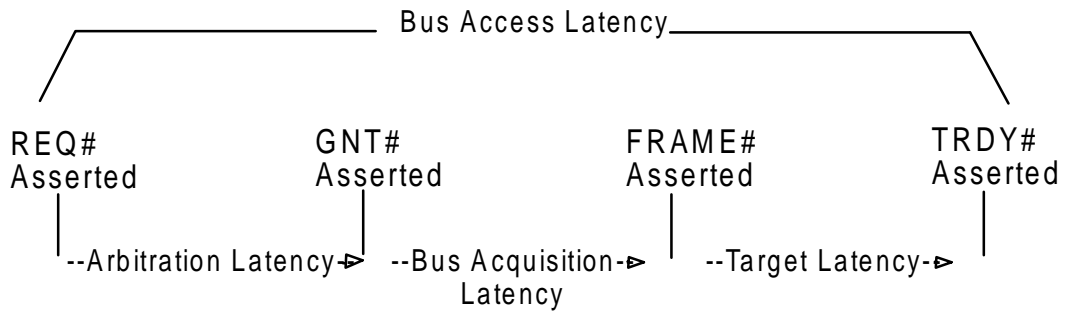
## 7. ARBITRACIÓN.

- PCI no define la política de arbitración a utilizar.



- La arbitración del bus se puede realizar mientras tiene lugar la transferencia actual.



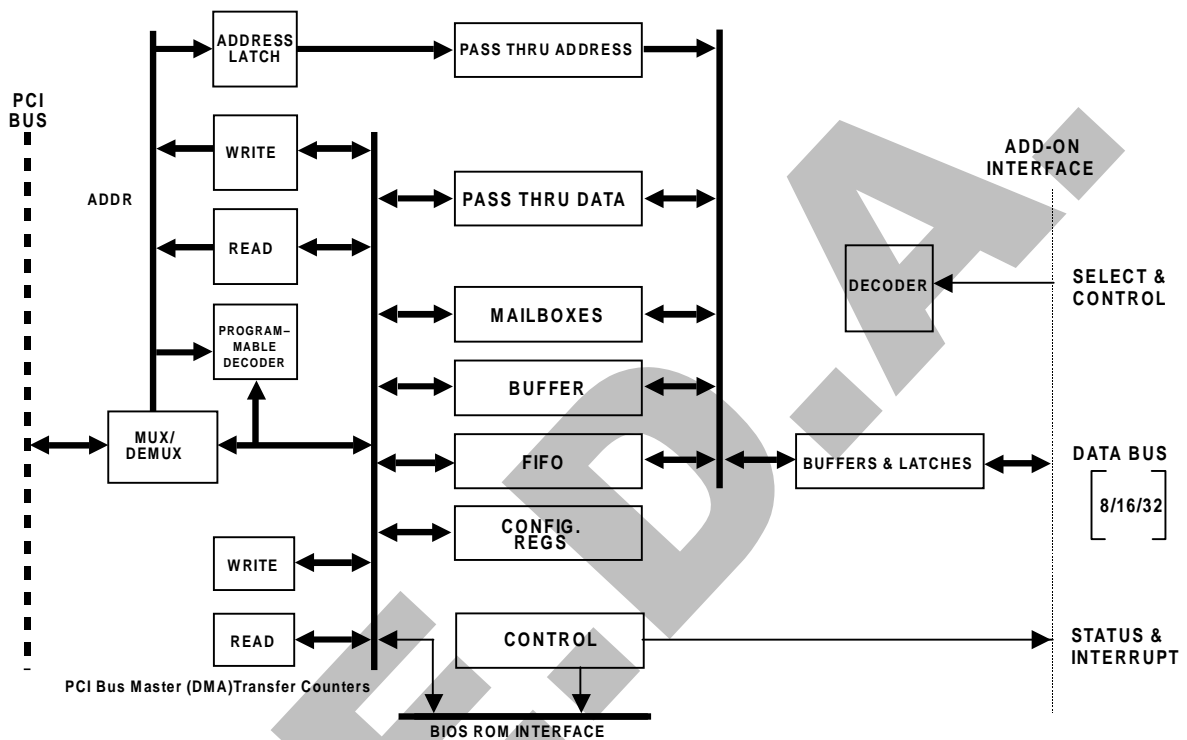


S.E.D.A.



## 8. CONTROLADOR DE BUS AMCC S5933.

### 8.1. Diagrama de bloques del controlador.

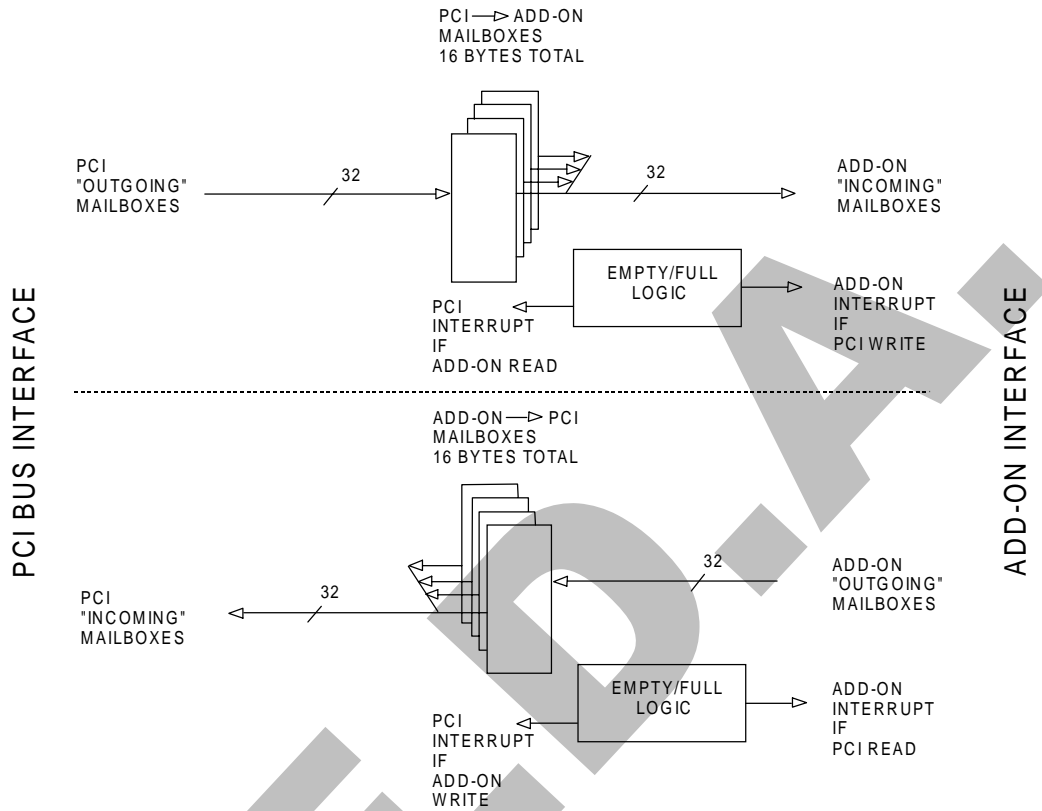


✓ El controlador S9533 dispone de tres mecanismos de comunicación:

- Buzones (mailboxes).
- FIFOS.
- Pass-thru.



## 8.2. Mailboxes o buzones.

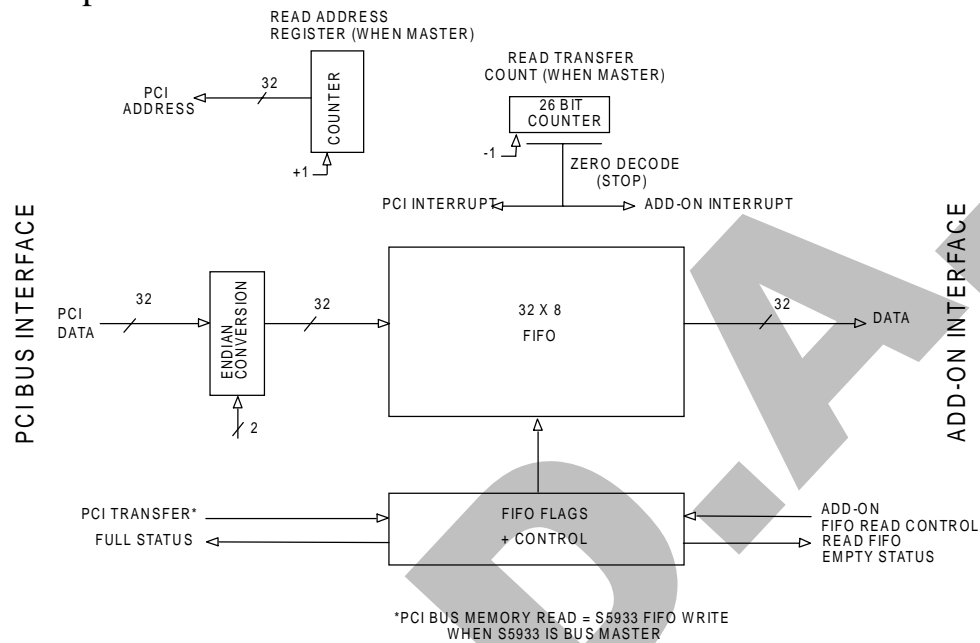




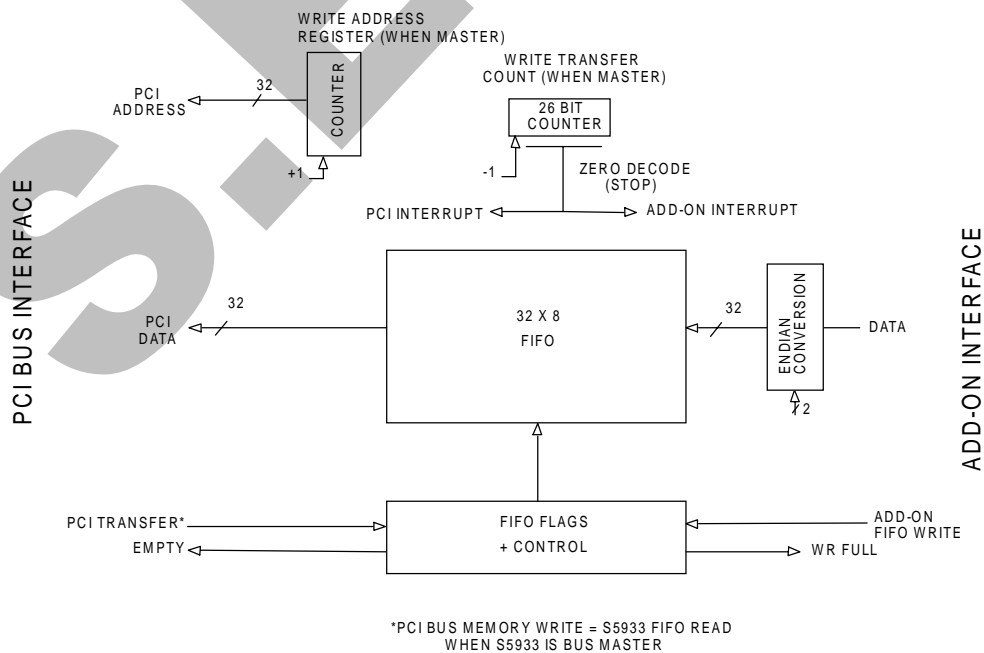


### 8.3. FIFOS.

#### ■ FIFO para transferencias del bus PCI al Add-on Bus.

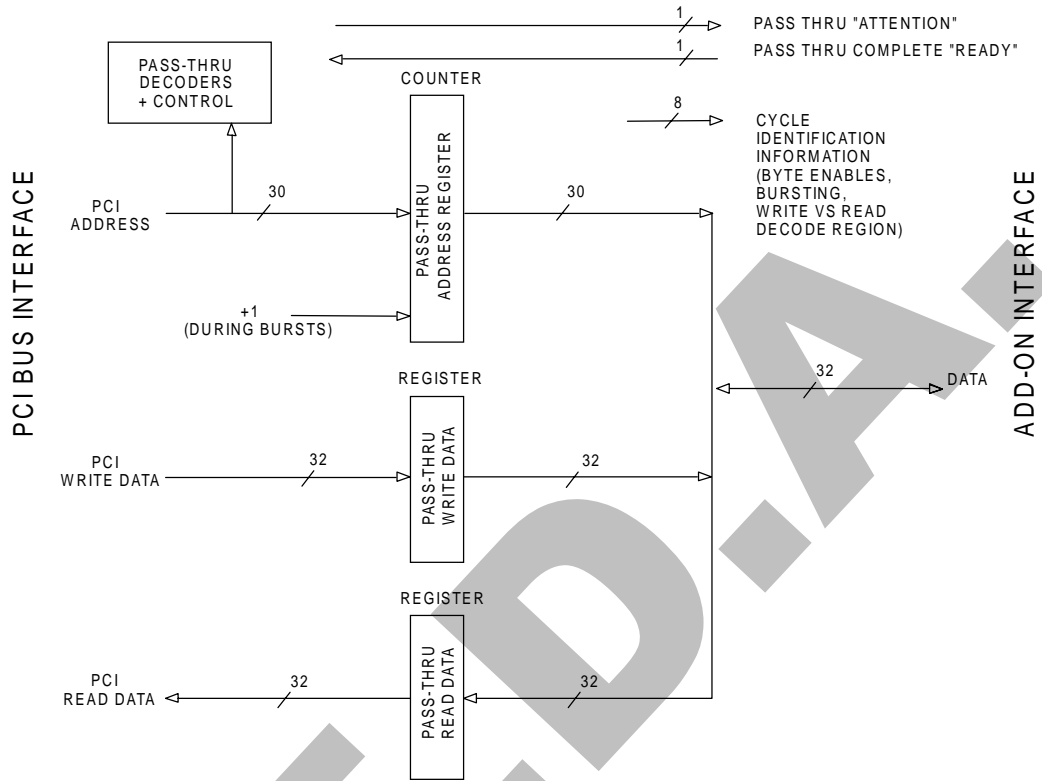


#### ■ FIFO para transferencias del Add-on Bus al PCI.





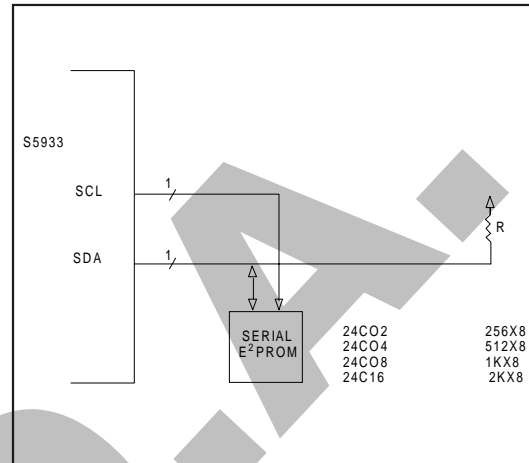
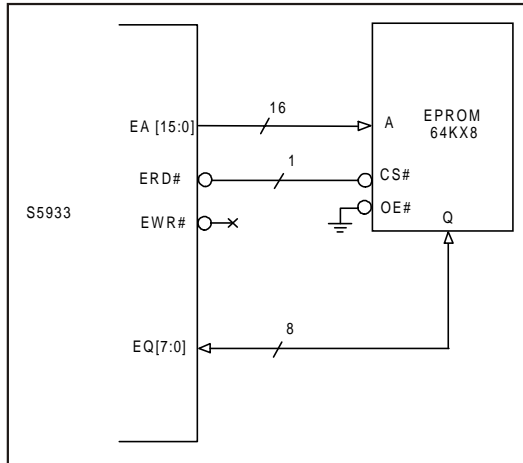
### 8.4. Modo pass-thru.





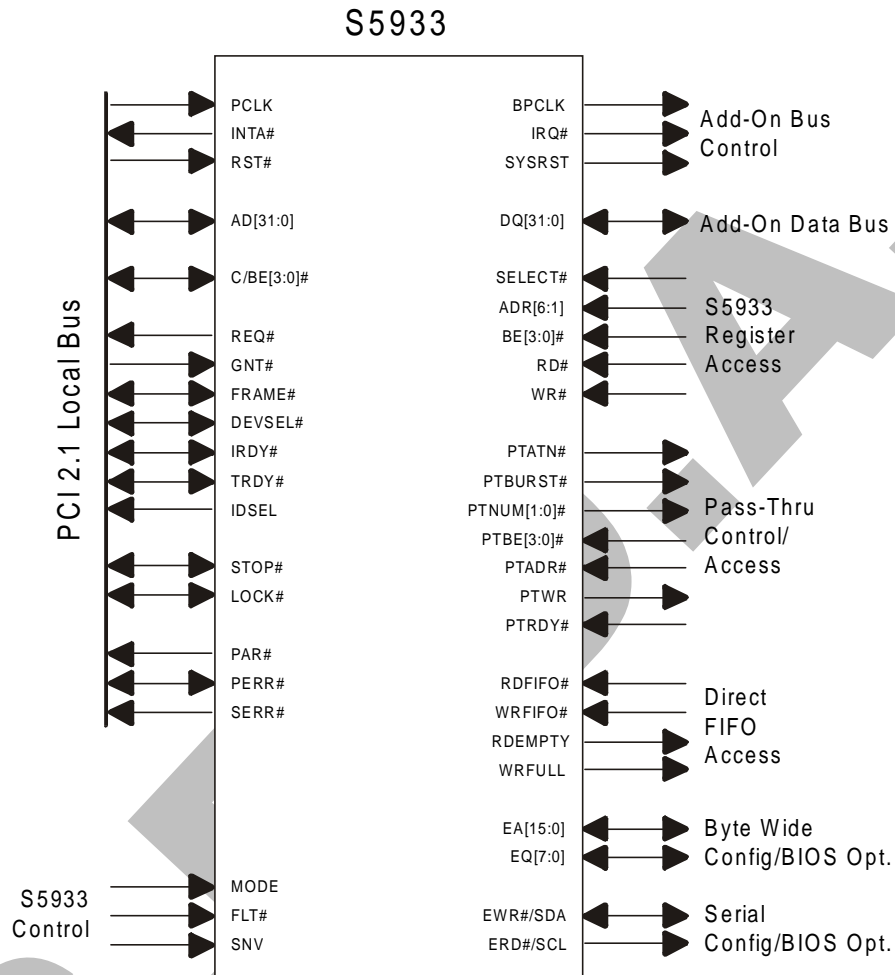
## 8.5. Configuración del dispositivo.

- A través de una memoria paralelo.
- A través de una memoria serie.





## 8.6. Descripción de las señales del controlador.

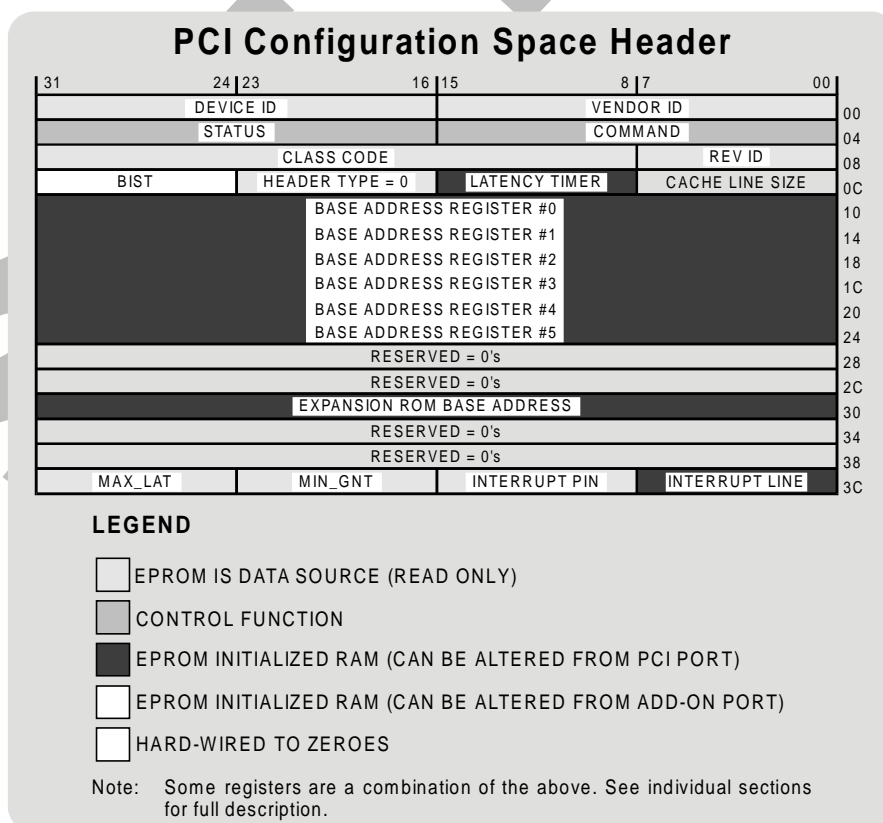


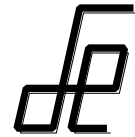


## 9. REGISTROS DEL CONTROLADOR S5933.

- ✓ El controlador incorpora tres grupos de registros:
  - **Registros de configuración del bus PCI.** Definidos por la norma del bus PCI.
  - **Registros de operación del bus PCI.** Registros accesibles desde el lado del bus PCI que controlan aspectos específicos del controlador.
  - **Registros de operación del bus Add-on.** Registros accesibles desde el lado del bus Add-on que controlan aspectos específicos del controlador.
  
- ✓ Los dos últimos grupos son complementarios.

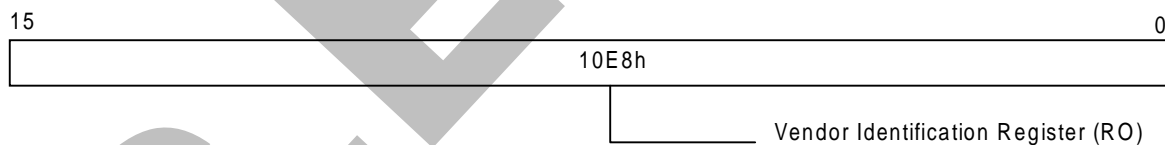
### 9.1. Registros de configuración del bus PCI.



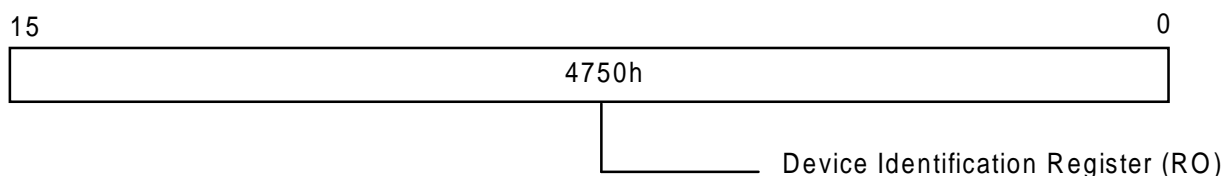


Configuration Address Offset	Abbreviation	Register Name
00h-01h	VID	Vendor Identification
02h-03h	DID	Device Identification
04h-05h	PCICMD	PCI Command Register
06h-07h	PCISTS	PCI Status Register
08h	RID	Revision Identification Register
09h-0Bh	CLCD	Class Code Register
0Ch	CALN	Cache Line Size Register
0Dh	LAT	Master Latency Timer
0Eh	HDR	Header Type
0Fh	BIST	Built-in Self-test
10h-27h	BADR0-BADR5	Base Address Registers (0-5)
28h-2Fh	—	Reserved
30h	EXROM	Expansion ROM Base Address
34h-3Bh	—	Reserved
3Ch	INTLN	Interrupt Line
3Dh	INTPIN	Interrupt Pin
3Eh	MINGNT	Minimum Grant
3Fh	MAXLAT	Maximum Latency
40h-FFh	—	Not used

- Registro de identificación del vendedor.

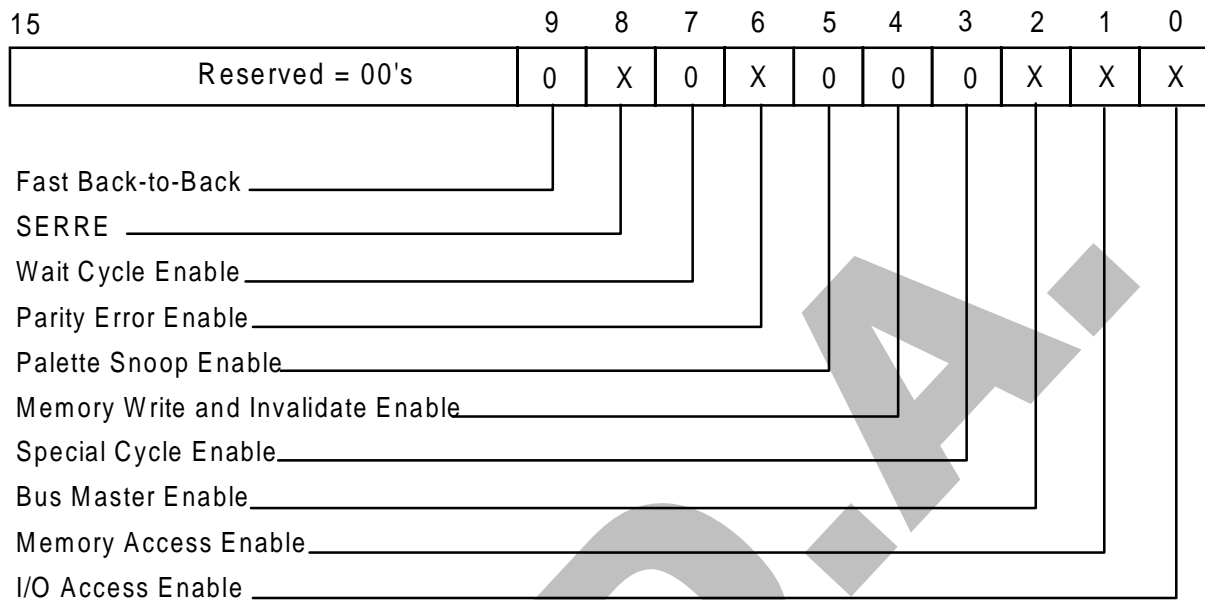


- Registro de identificación del dispositivo.

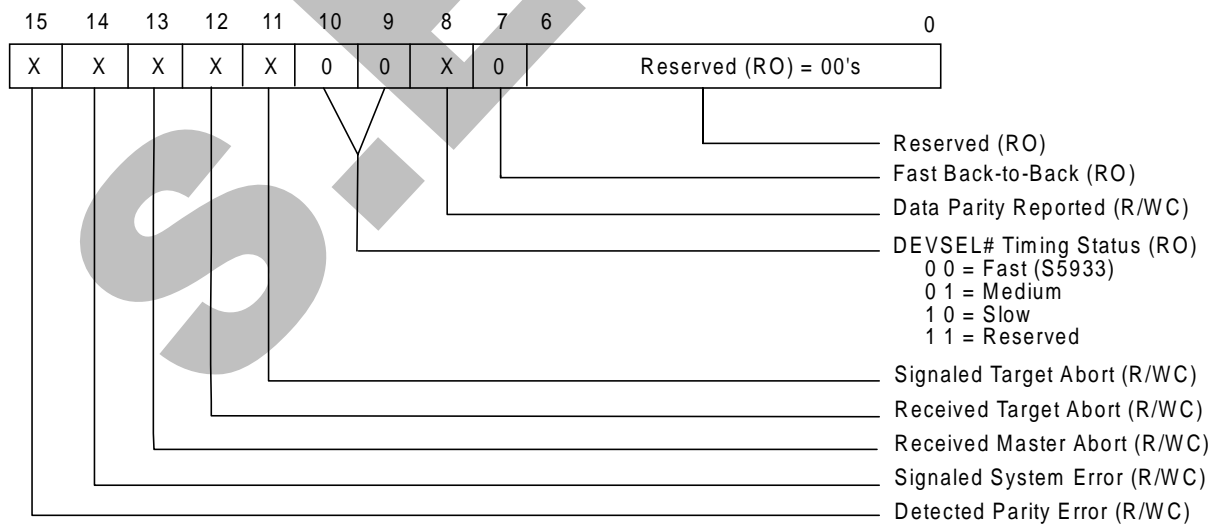




● Registro de comandos PCI.

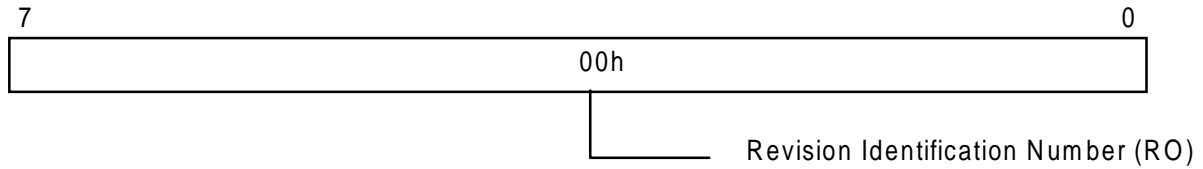


● Registro de estado PCI.

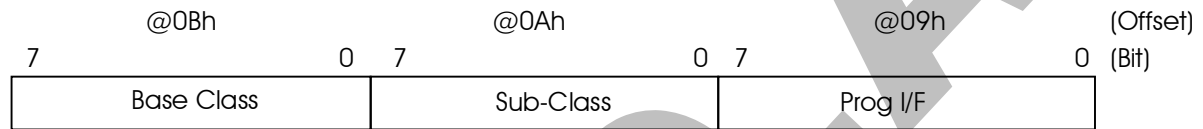




- Registro de identificación de revisión.

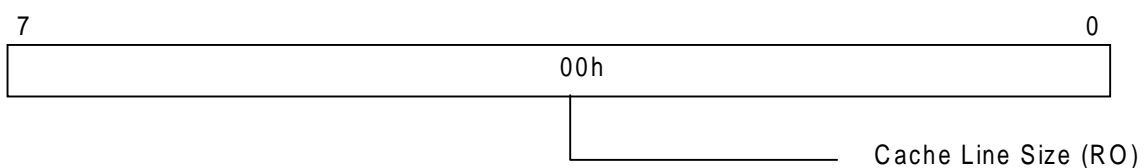


- Registro de código de clase.



Base-Class	Description
00h	Early, pre-2.0 PCI specification devices
01h	Mass storage controller
02h	Network controller
03h	Display controller
04h	Multimedia device
05h	Memory controller
06h	Bridge device
07h	Simple communication controller
08h	Base system peripherals
09h	Input devices
0Ah	Docking stations
0Bh	Processors
0Ch	Serial bus controllers
0D-FEh	Reserved
FFh	Device does not fit defined class codes (default)

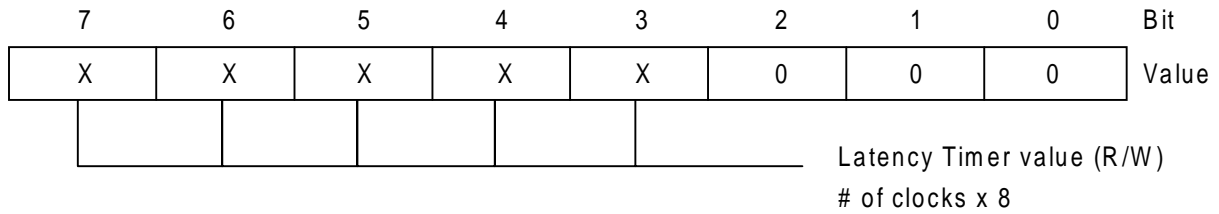
- Registro de tamaño de línea de cache.



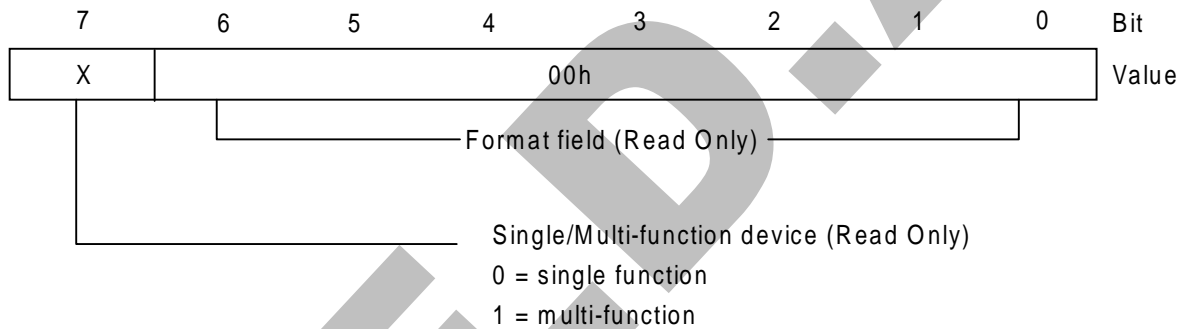




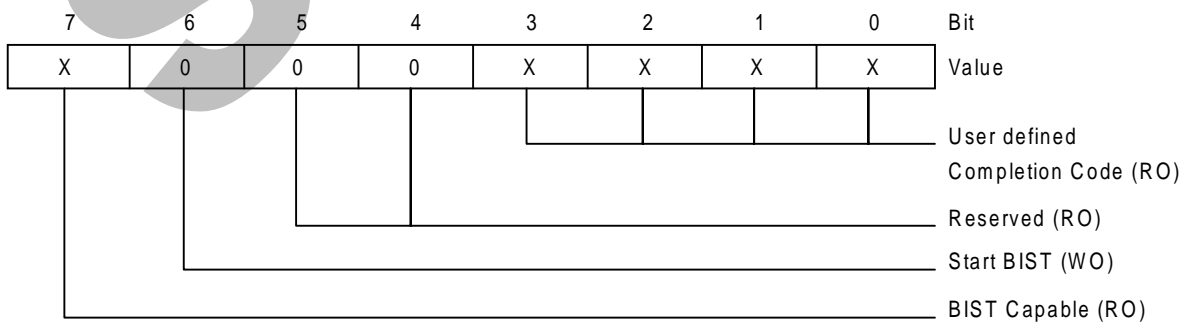
● Registro del temporizador de latencia.



● Registro de tipo de cabecera.

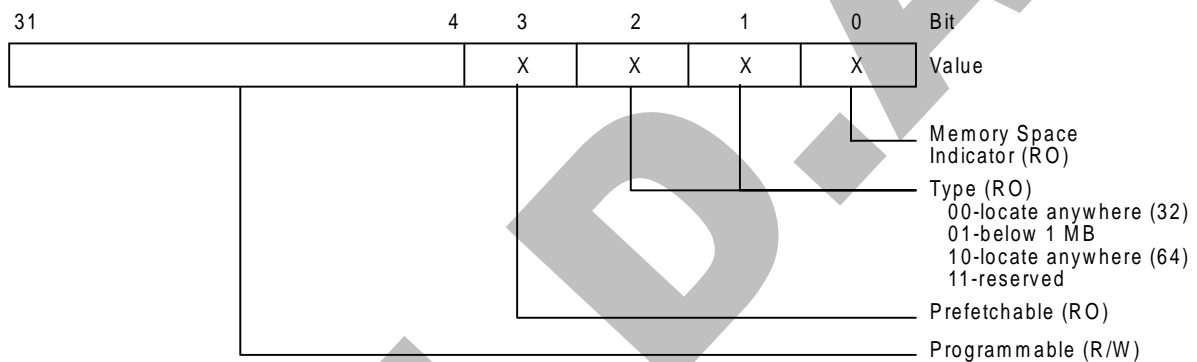


● Registro de BIST (Autotesteo incorporado).

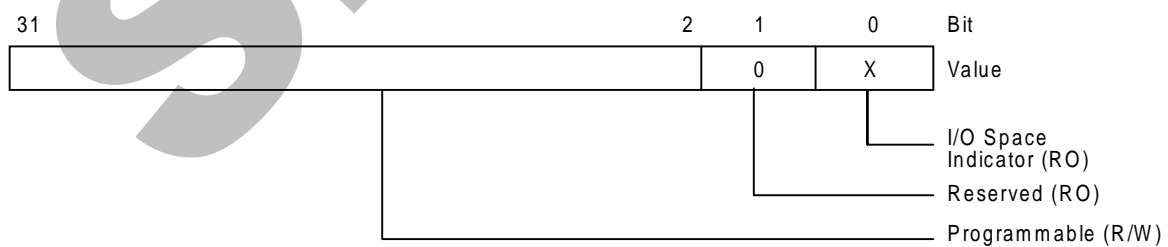




- Registros de direcciones base.
  - ✓ Seis registros que permiten definir otras tantas áreas pass-thru.
  - ✓ El registro 0 se reserva para el acceso al área donde se ubican los a los registros de operación del bus PCI.
    - Formato para configurar como memoria.



- Formato para configurar como I/O.





- Respuesta a una escritura sobre el registro de dirección base con todo a unos para espacio configurado como memoria.

Response	Size in bytes	[EPROM boot value] <sup>1</sup>
0000000h	none - disabled	0000000h or BIOS missing <sup>2,3</sup>
FFFFFFF0h	16 bytes (4 DWORDs)	FFFFFFF0h
FFFFFFE0h	32 bytes (8 DWORDs)	FFFFFFE0h
FFFFFFC0h	64 bytes (16 DWORDs)	FFFFFFC0h
FFFFFF80h	128 bytes (32 DWORDs)	FFFFFF80h
FFFFFF00h	256 bytes (64 DWORDs)	FFFFFF00h
FFFFFE00h	512 bytes (128 DWORDs)	FFFFFE00h
FFFFFC00h	1K bytes (256 DWORDs)	FFFFFC00h
FFFFF800h	2K bytes (512 DWORDs)	FFFFF800h
FFFFF000h	4K bytes (1K DWORDs)	FFFFF000h
FFFFE000h	8K bytes (2K DWORDs)	FFFFE000h
FFFFC000h	16K bytes (4K DWORDs)	FFFFC000h
FFFF8000h	32K bytes (8K DWORDs)	FFFF8000h
FFFF0000h	64K bytes (16K DWORDs)	FFFF0000h
FFFE0000h	128K bytes (32K DWORDs)	FFFE0000h
FFFC0000h	256K bytes (64K DWORDs)	FFFC0000h
FFF80000h	512K bytes (128K DWORDs)	FFF80000h
FFF00000h	1M bytes (256K DWORDs)	FFF00000h
FFE00000h	2M bytes (512K DWORDs)	FFE00000h
FFC00000h	4M bytes (1M DWORDs)	FFC00000h
FF800000h	8M bytes (2M DWORDs)	FF800000h
FF000000h	16M bytes (4M DWORDs)	FF000000h
FE000000h	32M bytes (8M DWORDs)	FE000000h
FC000000h	64M bytes (16M DWORDs)	FC000000h
F8000000h	128M bytes (32M DWORDs)	F8000000h
F0000000h	256M bytes (64M DWORDs)	F0000000h
E0000000h	512M bytes (128M DWORDs)	E0000000h

1. The two most significant bits define bus width for BADR1:4 in Pass-Thru operation).  
2. Bits D3, D2 and D1 may be set to indicate other attributes for the memory space. See text for details.  
3. BADR5 register is not implemented and will return all 0's.

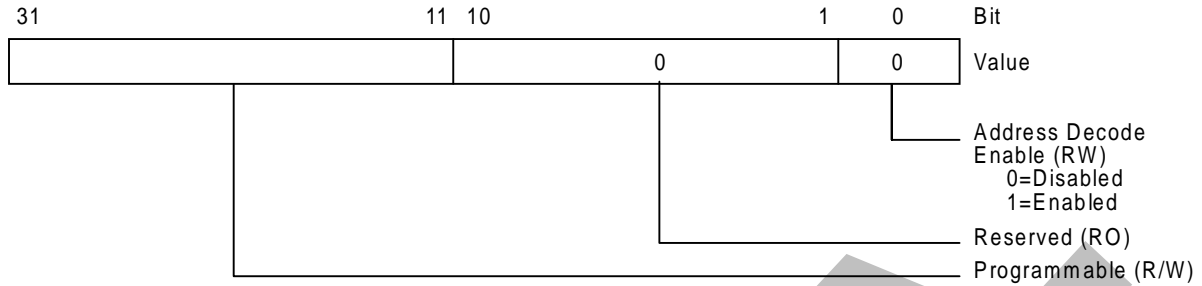
- Respuesta a una escritura sobre el registro de dirección base con todo a unos para espacio configurado como I/O.

Response	Size in bytes	[EPROM boot value]
0000000h	none - disabled	0000000h or BIOS missing <sup>3</sup>
FFFFFFFDh	4 bytes (1 DWORDs)	FFFFFFFDh
FFFFFFF9h	8 bytes (2 DWORDs)	FFFFFFF9h
FFFFFFF1h	16 bytes (4 DWORDs)	FFFFFFF1h
FFFFFFE1h	32 bytes (8 DWORDs)	FFFFFFE1h
FFFFFFC1h	64 bytes (16 DWORDs)	FFFFFFC1h <sup>4</sup>
FFFFFF81h	128 bytes (32 DWORDs)	FFFFFF81h
FFFFFF01h	256 bytes (64 DWORDs)	FFFFFF01h

4. Base Address Register 0 (at offset) 10h powers up as FFFFFFFC1h. This default assignment allows usage without an external boot memory. Should an EPROM or nvRAM be used, the base address can be boot loaded to become a memory space (FFFFFFC0h or FFFFFFFC2h).



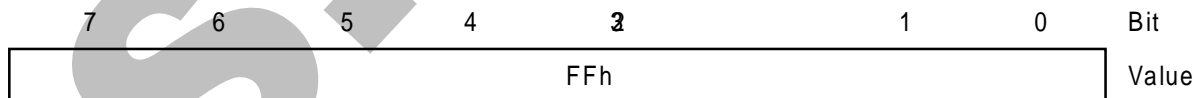
● Registro de dirección base para expansión ROM.



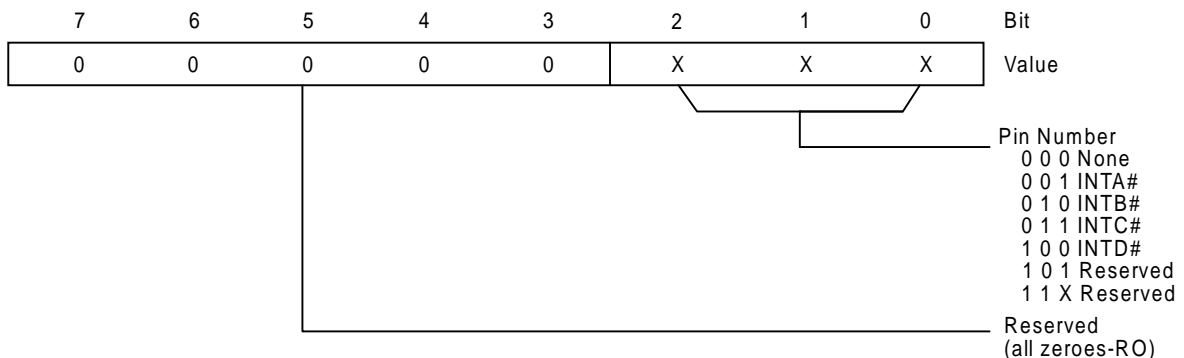
■ Respuesta a una escritura sobre el registro de dirección base para expansión ROM con todo a unos.

Response	Size in bytes	[EPROM boot value]
00000000h	none - disabled	00000000h or BIOS missing
FFFFF801h	2K bytes (512 DWORDS)	FFFFF801h
FFFFF001h	4K bytes (1K DWORDS)	FFFFF001h
FFFFE001h	8K bytes (2K DWORDS)	FFFFE001h
FFFFC001h	16K bytes (4K DWORDS)	FFFFC001h
FFF8001h	32K bytes (8K DWORDS)	FFF8001h
FFF0001h	64K bytes (16K DWORDS)	FFF0001h

● Registro de línea de interrupción.



● Registro de pin de interrupción.





- Registro de tiempo mínimo de posesión.

7	6	5	4	3	2	1	0	bit
0	0	0	0	0	0	0	0	value

Value x 250ns (RO)  
00-no requirement  
01-FFh

- Registro de latencia máxima.

7	6	5	4	3	2	1	0	bit
0	0	0	0	0	0	0	0	value

Value x 250ns (RO)  
00-no requirement  
01-FFh



## 9.2. Registros de operación del bus PCI.

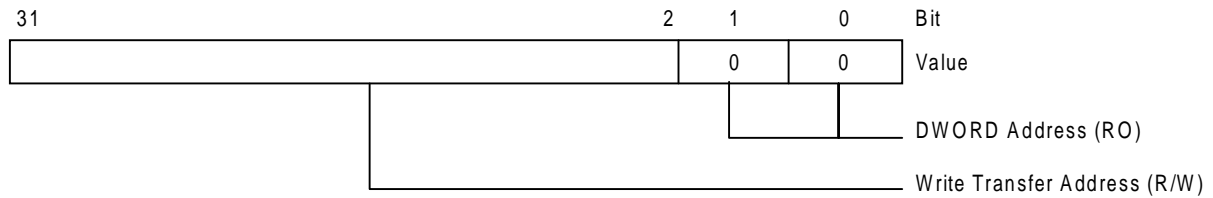
- ✓ Registros accesibles desde el bus PCI que permiten controlar aspectos específicos del comportamiento del controlador.

Address Offset	Abbreviation	Register Name
00h	OMB1	Outgoing Mailbox Register 1
04h	OMB2	Outgoing Mailbox Register 2
08h	OMB3	Outgoing Mailbox Register 3
0Ch	OMB4	Outgoing Mailbox Register 4
10h	IMB1	Incoming Mailbox Register 1
14h	IMB2	Incoming Mailbox Register 2
18h	IMB3	Incoming Mailbox Register 3
1Ch	IMB4	Incoming Mailbox Register 4
20h	FIFO	FIFO Register port (bidirectional)
24h	MWAR	Master Write Address Register
28h	MWTC	Master Write Transfer Count Register
2Ch	MRAR	Master Read Address Register
30h	MRTC	Master Read Transfer Count Register
34h	MBEF	Mailbox Empty/Full Status
38h	INTCSR	Interrupt Control/Status Register
3Ch	MCSR	Bus Master Control/Status Register

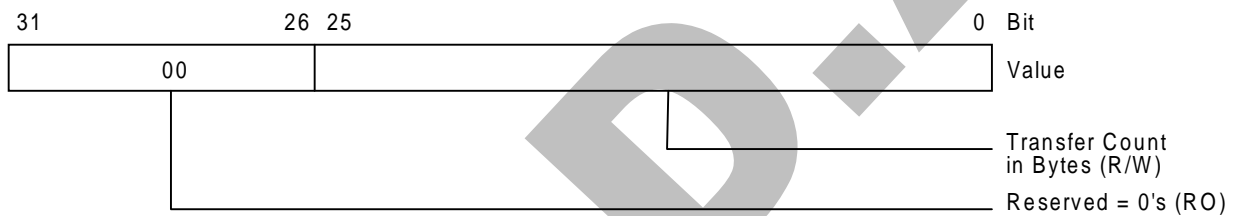
- Registros de buzón de salida.
- Registros de buzón de entrada.
- Registro puerto de acceso a la FIFO.



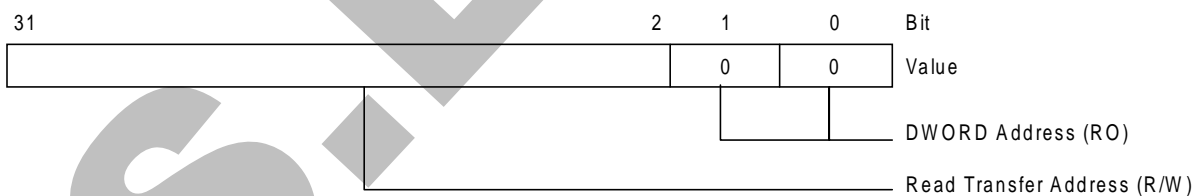
- Registro de dirección de escritura para funcionamiento como controlador de bus PCI maestro.



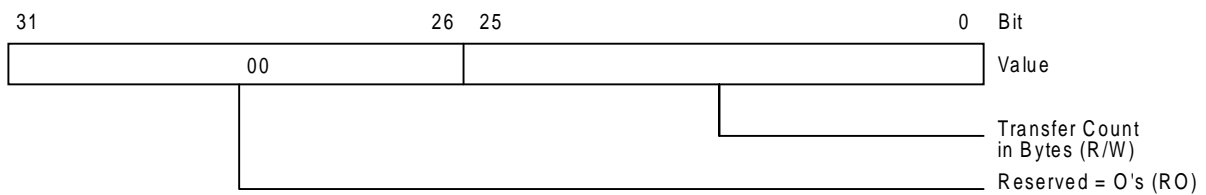
- Registro contador de transferencias en modo escritura para funcionamiento como controlador de bus PCI maestro.



- Registro de dirección de lectura para funcionamiento como controlador de bus PCI maestro.

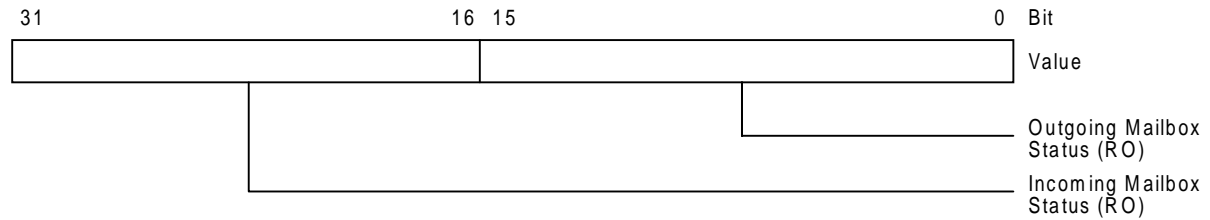


- Registro contador de transferencias en modo lectura para funcionamiento como controlador de bus PCI maestro.





- Registro de estado vacío/lleño del buzón.



- ✓ Un bit por cada uno de los bytes de cada uno de los cuatro buzones, comenzando por el byte 0 del buzón 0.

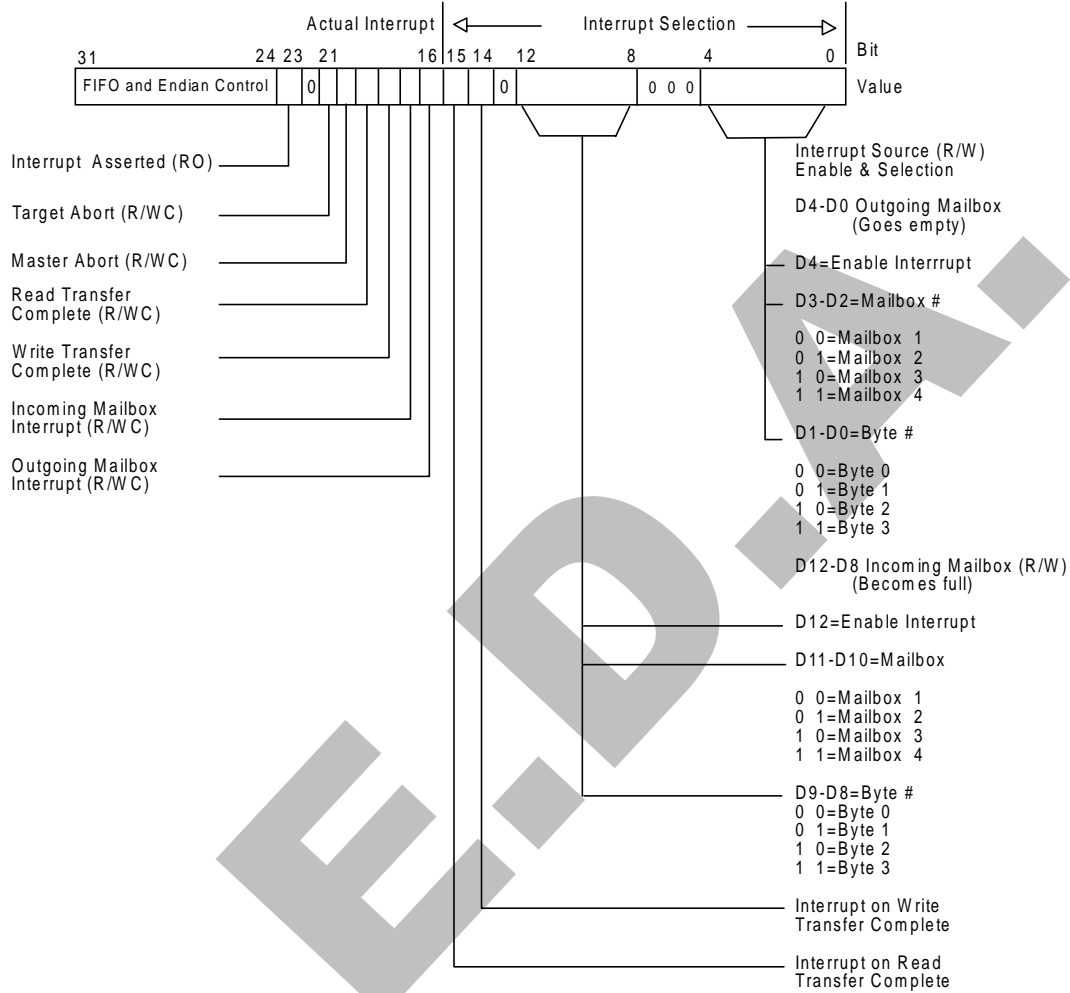
Bit 31 = Buzón de entrada 4 byte 3	Bit 15 = Buzón de salida 4 byte 3
Bit 30 = Buzón de entrada 4 byte 2	Bit 14 = Buzón de salida 4 byte 2
Bit 29 = Buzón de entrada 4 byte 1	Bit 13 = Buzón de salida 4 byte 1
Bit 28 = Buzón de entrada 4 byte 0	Bit 12 = Buzón de salida 4 byte 0
Bit 27 = Buzón de entrada 3 byte 3	Bit 11 = Buzón de salida 3 byte 3
Bit 26 = Buzón de entrada 3 byte 2	Bit 10 = Buzón de salida 3 byte 2
Bit 25 = Buzón de entrada 3 byte 1	Bit 9 = Buzón de salida 3 byte 1
Bit 24 = Buzón de entrada 3 byte 0	Bit 8 = Buzón de salida 3 byte 0
Bit 23 = Buzón de entrada 2 byte 3	Bit 7 = Buzón de salida 2 byte 3
Bit 22 = Buzón de entrada 2 byte 2	Bit 6 = Buzón de salida 2 byte 2
Bit 21 = Buzón de entrada 2 byte 1	Bit 5 = Buzón de salida 2 byte 1
Bit 20 = Buzón de entrada 2 byte 0	Bit 4 = Buzón de salida 2 byte 0
Bit 19 = Buzón de entrada 1 byte 3	Bit 3 = Buzón de salida 1 byte 3
Bit 18 = Buzón de entrada 1 byte 2	Bit 2 = Buzón de salida 1 byte 2
Bit 17 = Buzón de entrada 1 byte 1	Bit 1 = Buzón de salida 1 byte 1
Bit 16 = Buzón de entrada 1 byte 0	Bit 0 = Buzón de salida 1 byte 0

1 = FULL.  
 0 = EMPTY.

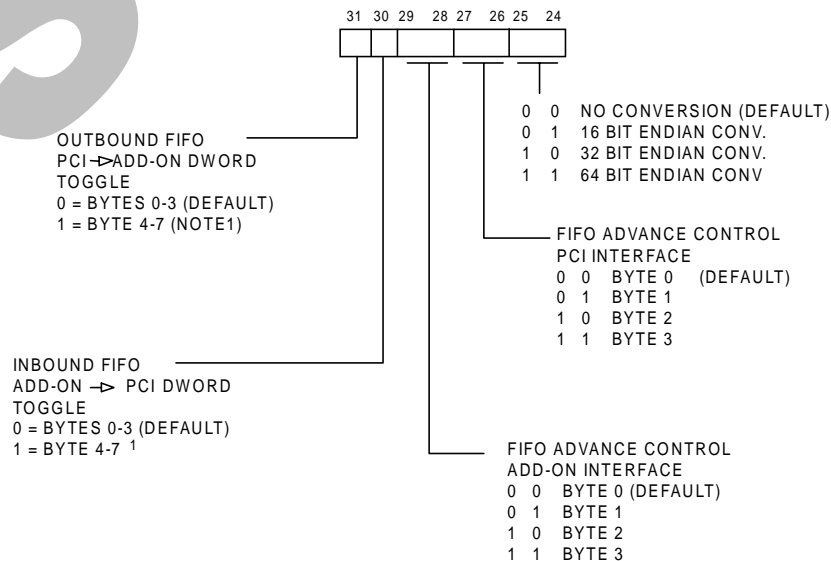




● Registro de control/estado de interrupciones.



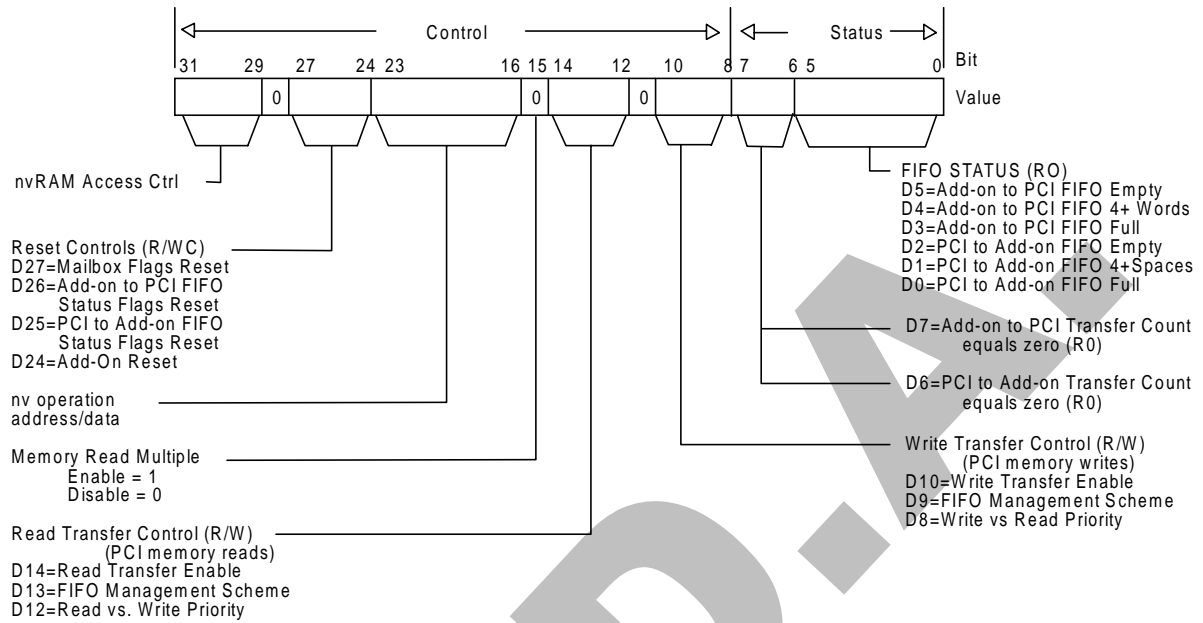
✓ Byte de gestión de la FIFO y control del alineamiento de bytes.



NOTE 1: D24 and D25 MUST BE ALSO "1"



● Registro de maestro de control/estado.





### 9.3. Registros de operación del Add-on bus.

- ✓ Registros accesibles desde el Add-on bus que permiten controlar aspectos específicos del comportamiento del controlador.
- ✓ En la mayoría de los casos se trata del mismo dispositivo físico que el registro homónimo accesible desde el bus PCI.

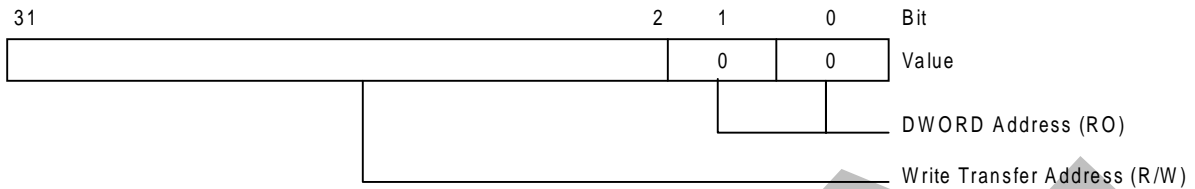
Address	Abbreviation	Register Name
00h	AIMB1	Add-On Incoming Mailbox Register #1
04h	AIMB2	Add-On Incoming Mailbox Register #2
08h	AIMB3	Add-On Incoming Mailbox Register #3
0Ch	AIMB4	Add-On Incoming Mailbox Register #4
10h	AOMB1	Add-On Outgoing Mailbox Register #1
14h	AOMB2	Add-On Outgoing Mailbox Register #2
18h	AOMB3	Add-On Outgoing Mailbox Register #3
1Ch	AOMB4	Add-On Outgoing Mailbox Register #4
20h	AFIFO	Add-On FIFO port
24h	MWAR <sup>1</sup>	Bus Master Write Address Register
28h	APTA	Add-On Pass-Through Address
2Ch	APTD	Add-On Pass-Through Data
30h	MRAR <sup>1</sup>	Bus Master Read Address Register
34h	AMBEF	Add-On Mailbox Empty/Full Status
38h	AINT	Add-On Interrupt control
3Ch	AGCSTS	Add-On General Control and Status Register
58h	MWTC <sup>1</sup>	Bus Master Write Transfer Count
5Ch	MRTC <sup>1</sup>	Bus Master Read Transfer Count

1. See Add-On Initiated Bus Mastering.

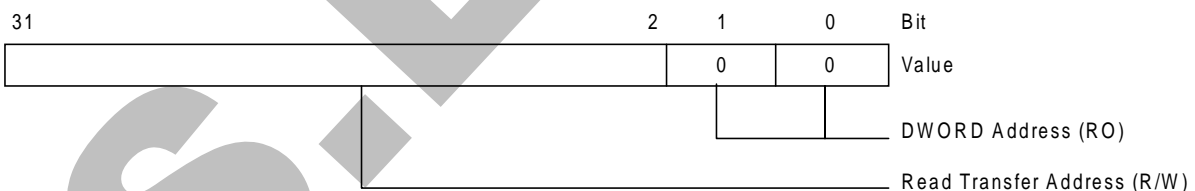
- Registros de buzón de entrada accesibles desde el Add-on bus.
- Registros de buzón de salida accesibles desde el Add-on.
- Registros FIFO accesibles desde el Add-on bus.



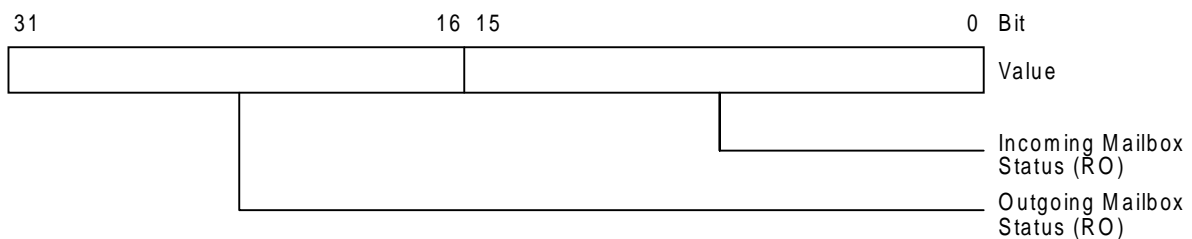
- Registro de dirección de escritura para funcionamiento en modo maestro y accesible desde el Add-on bus.



- Registro de direcciones para transferencias pass-thru accesible desde el Add-on bus.
- Registro de datos para transferencias pass-thru accesible desde el Add-on bus.
- Registro de dirección de lectura para funcionamiento en modo maestro y accesible desde el Add-on bus.

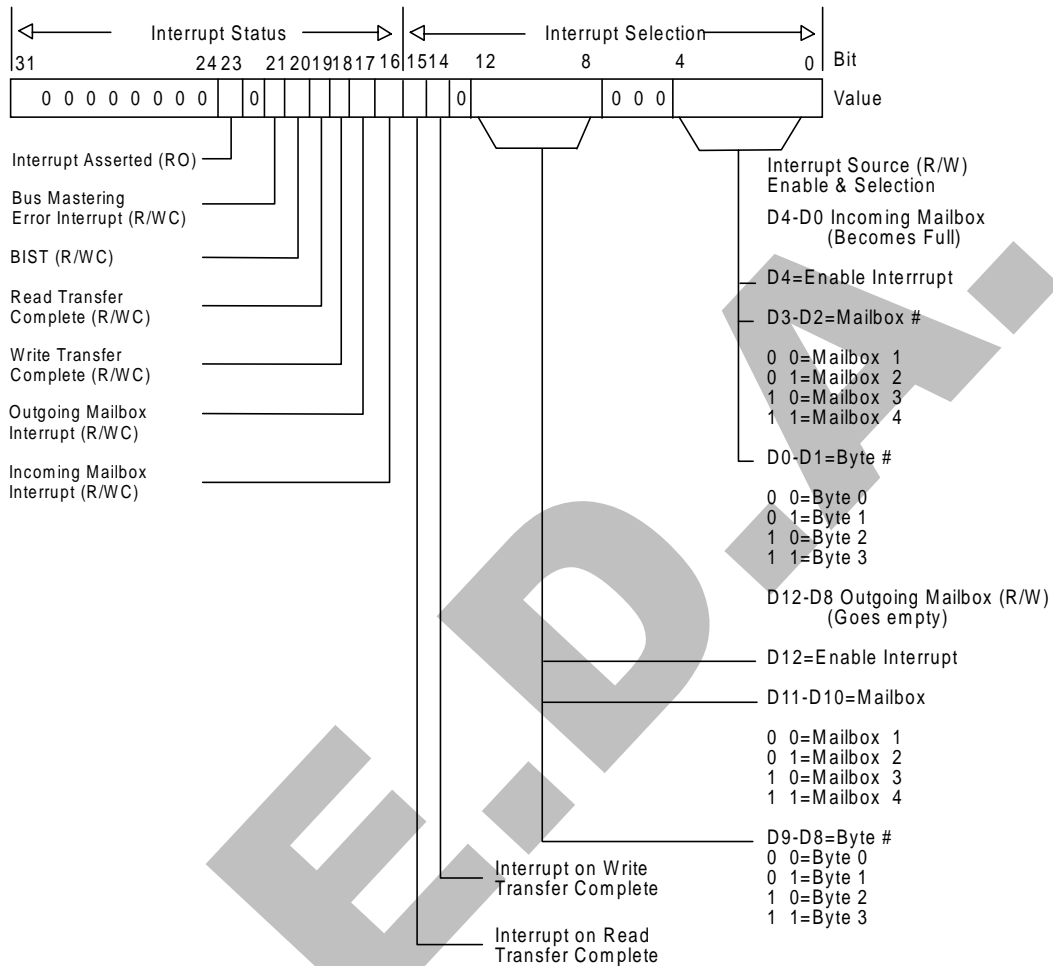


- Registro de estado vacío/lleño del buzón accesible desde el Add-on bus.

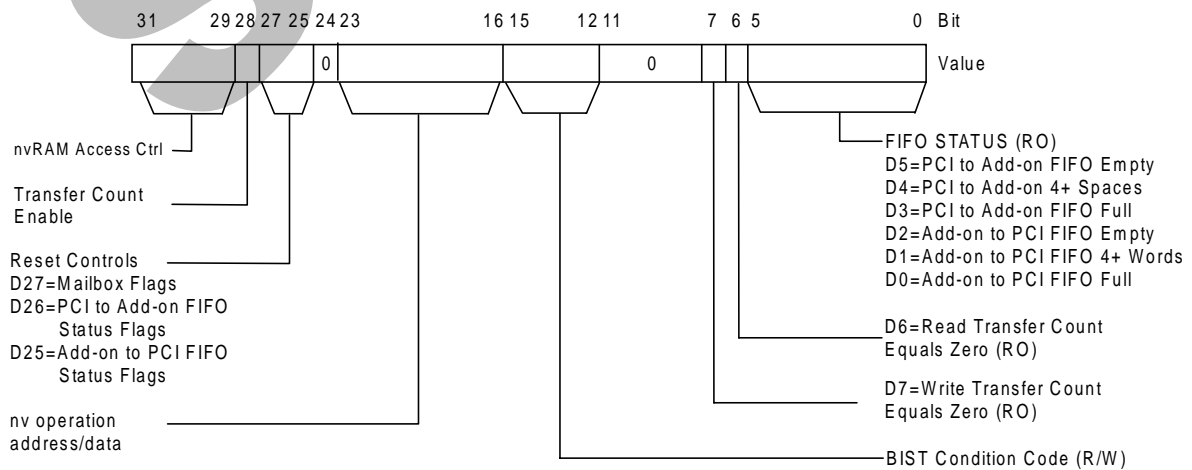




● Registro de control/estado de interrupciones accesible desde el Add-on bus.

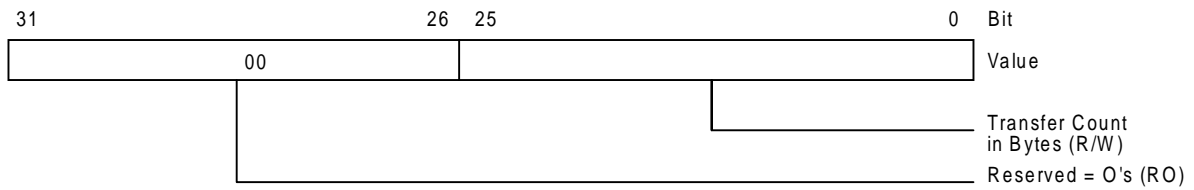


● Registro de control/estado general accesible desde el Add-on bus.





- Registro contador de transferencias de escritura para funcionamiento en modo maestro y accesible desde el Add- on bus.



- Registro contador de transferencias de lectura para funcionamiento en modo maestro y accesible desde el Add- on bus.

