

ELECTRONIQUE

Logiques actuelles

Logiques actuelles : plan

- ▶ **Introduction**
 - ◆ **la demande**
 - ◆ **aperçu de l'offre**
- ▶ Evolution : du CMOS au AVC
- ▶ Problèmes posés par la logique rapide
- ▶ Particularités des logiques actuelles
- ▶ Conclusion

L'évolution des familles logiques

► motivation

◆ répondre aux besoins accrus de performance

- $f(\mu\text{P}) \times 2$ tous les 18 mois (1GHz)
- f bus croît moins vite ($C_{\text{ext}} > C_{\text{int}}$) (133MHz)

► challenge

◆ maintenir une consommation acceptable

- $P = CV^2f/2$



Pour les circuits VLSI et ULSI, la loi de Moore continue toujours à s'appliquer, c'est-à-dire que l'on double les performances tous les 18 mois environ, à la fois en taux d'intégration et en vitesse.

L'intégration de plus en plus de fonctions au sein de la même pastille de silicium est un facteur important de performances car la réduction de taille des transistors diminue les capacités parasites internes.

On est pourtant amené à éclater le système en plusieurs boîtiers. Dans un microprocesseur, il n'y a pas place pour plusieurs dizaines ou centaines de Moctets de mémoire vive, ni pour tous les périphériques (son, image, réseau,...). Dans ce cas, les différents boîtiers de circuits xLSI seront placés sur un circuit imprimé avec des liaisons réalisées par des pistes de cuivre de plusieurs cm ou dizaine de cm formant des BUS. Sur une telle carte, les capacités parasites des connexions sont de l'ordre de quelques dizaines à quelques centaines de pF, soit plusieurs ordre de grandeur au-dessus des capacités parasites internes. La vitesse des bus externes, notamment vers les mémoires, progresse donc nettement moins vite, parce que liée aux lois de la physique régissant la propagation des signaux dans les pistes.

On trouve actuellement des logiques internes aux boîtiers cadencées à plus de 1GHz et des logiques externes à 100 ou 133MHz.

Le principal obstacle à la montée en fréquence est la puissance dissipée. Chaque commutation d'un circuit logique MOS coûte de l'énergie qui, multipliée par la fréquence, donne une puissance perdue en chaleur. Si l'on veut faire croître la puissance moins vite que la fréquence, ou même diminuer la consommation, il faut impérativement diminuer les capacités en jeu et réduire la tension.

Réduire la tension agit au carré sur la puissance mais diminue malheureusement l'immunité au bruit.

Logiques actuelles : un large choix

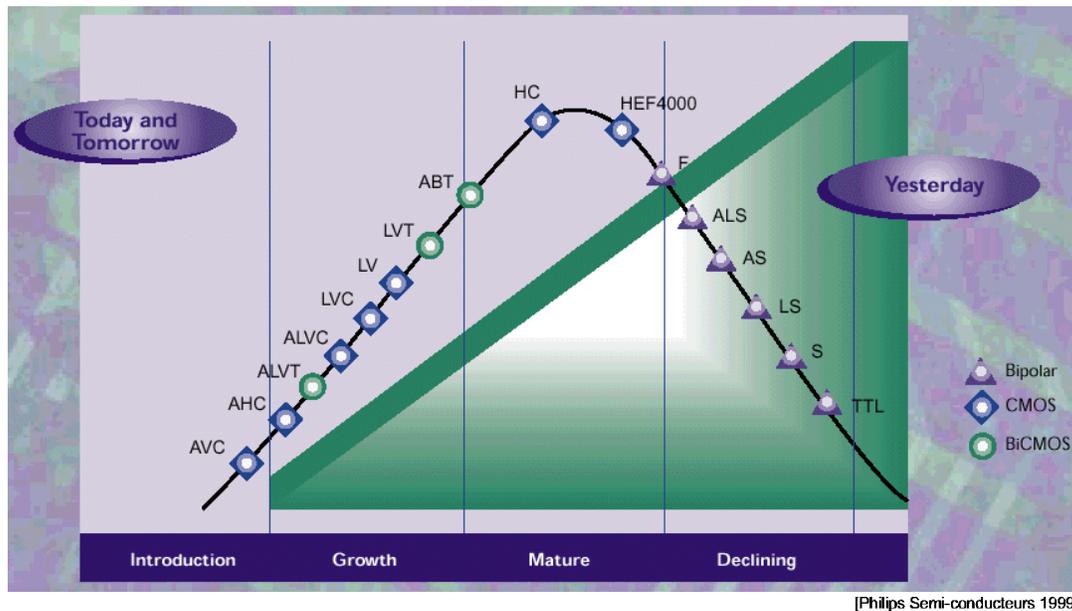
AC TVC AVC HSTL
CBT FB FCT 4000
ALB SSTL
HC CBTLV LV
F BCT ALVT GTL AHC
ALVC ABT AHCT
AS ABTE ACT LVT

Le marché actuel est très vaste. Il comprend aussi bien :

- d'anciennes familles, pour lesquelles on fabrique toujours des pièces de rechange, mais qui ne sont plus recommandées pour de nouvelles conceptions
- des familles "classiques" à usage général
- des familles spéciales dédiées à des applications particulières

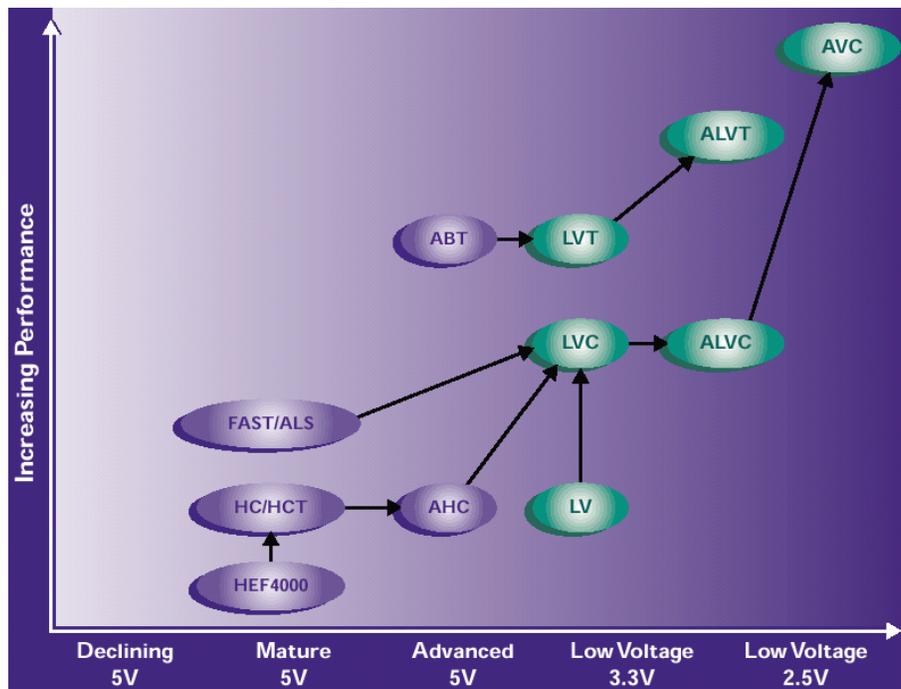
L'étude exhaustive de toutes ces familles sort du cadre de ce cours. Nous présenterons ici les principales familles et les caractéristiques les plus fondamentales.

Evolution des familles logiques



Dans l'évolution actuelle des familles logiques, les familles bipolaires traditionnelles sont nettement en déclin, au profit des CMOS, mais aussi des BiCMOS; ceux-ci associent les transistors bipolaires et CMOS dans un même processus de fabrication; nous en verrons un exemple dans une des diapos suivantes.

Filiation des familles logiques



[Philips Semi-conducteurs 1999]

©ULB ELMITEL

Logiques actuelles

ELEC344 Log_act_d12.shw
25/11/01 15:34:21

9

Cette dia nous montre la filiation des familles logiques.

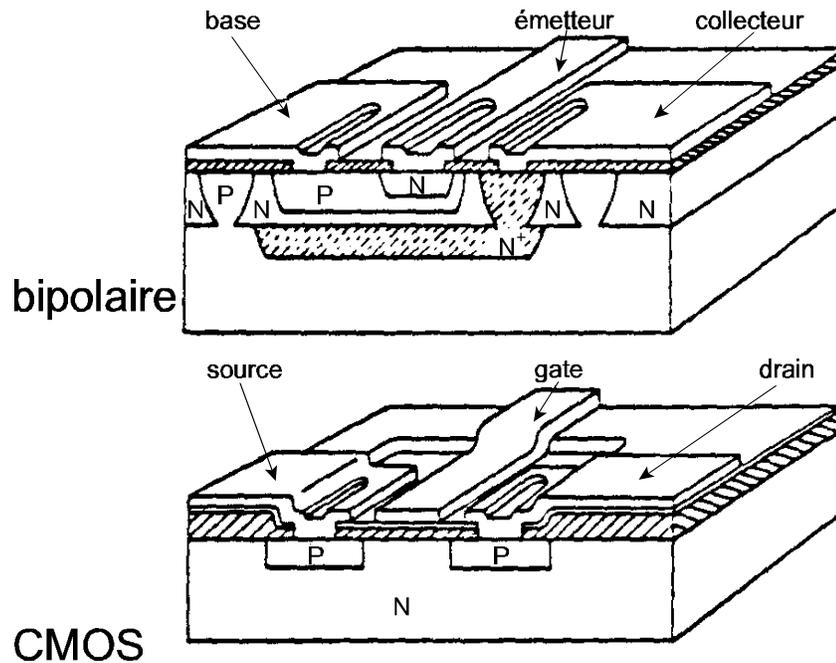
En CMOS, la famille 4000 a donné naissance aux HC/HCT, aujourd'hui remplacés par les AHC, vendus au même prix et avec de meilleures performances.

Les logiques en 5V ont tendance à disparaître, au profit des logiques en 3.3V dites "Low-Voltage" (LV...) avec une évolution vers le bas (jusqu'à 2.5V en valeur nominale et 1.2V en valeur minimale).

La lignée ABT-LVT-ALVT est en technologie "BiCMOS".

10

Comparaison Bipolaire vs CMOS



Si l'on envisage la complexité de fabrication, l'avantage des MOS par rapport aux bipolaires apparaît sur cette figure. On remarquera en particulier la réduction du nombre de couches imbriquées et donc du nombre d'opérations successives de diffusion. On se référera au cours de micro-électronique pour plus de détails.

Logiques actuelles : plan

- ▶ Introduction
 - ◆ la demande
 - ◆ aperçu de l'offre
- ▶ **Evolution : du CMOS au AVC**
 - ◆ **4000B**
 - ◆ **HC-MOS**
 - ◆ **évolution ultérieure**
- ▶ Problèmes posés par la logique rapide
- ▶ Particularités des logiques actuelles
- ▶ Conclusion

CMOS : 4000B ("Buffered")

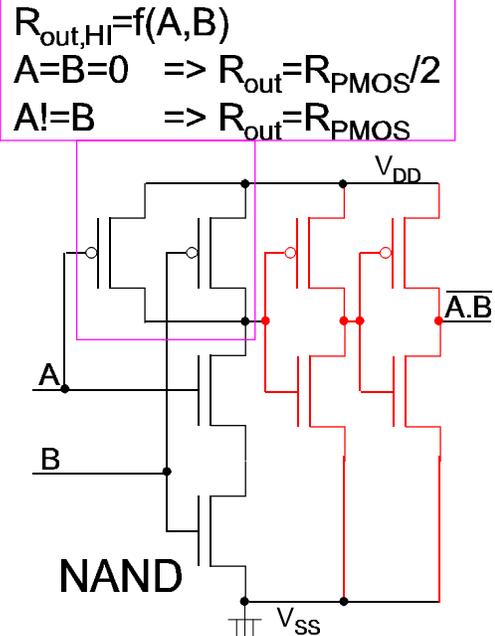
► ajoute d'un double inverseur en sortie

◆ avantages

- impédance de sortie ↘
 - sortance dynamique ↗
 - immunité au bruit ↗
- t_{r_out} et t_{f_out} pas fonction t_{r_in} , t_{f_in}
- transistors d'entrées ↘
 - pas de sortance requise
 - C_{in} réduite

◆ inconvénients

- t_{prop} ↗
- applications linéaires
 - gain AC élevé
 - risque d'oscillation
- \exists 4000UB (UnBuffered)



L'ajoute d'un étage de sortie "Buffer" à la famille 4000 date déjà des années 1970. L'avantage est de séparer les problèmes d'entrée et de sortie. L'étage d'entrée ne devant plus avoir qu'une sortance unitaire (il n'est chargé que par le buffer), on peut l'optimiser pour réduire la capacité d'entrée.

L'étage de sortie peut être "gonflé" (c'est-à-dire utiliser des transistors à W/L plus grand) pour obtenir une impédance de sortie plus faible. Ceci n'a pratiquement que des avantages :

- meilleurs niveaux logiques (plus proches des tensions Vdd et Vss) pour un même courant de sortie, et donc meilleure immunité statique au bruit
- meilleure immunité dynamique au bruit (cf définition de la marge d'énergie de bruit)
- temps de transition (montée et descente) plus raides et pratiquement indépendants des conditions à l'entrée (à cause de l'amplification réalisée par le buffer qui multiplie la pente au basculement). On remarquera à cet égard que, dans le NAND sans buffer, l'impédance de sortie à l'état HI dépend du fait qu'il y a une ou plusieurs entrées à l'état bas (mise en parallèle ou non des PMOS)

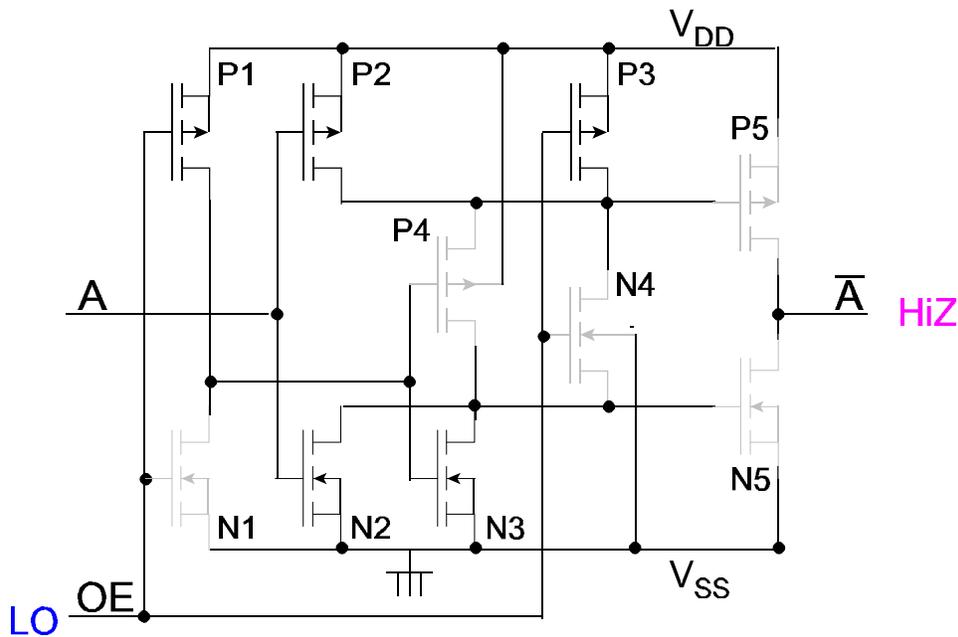
L'ajoute d'un ou deux étages, suivant le type de circuit, contribue à augmenter légèrement le temps de propagation.

Enfin, il existe des applications où les portes logiques sont utilisées :

- en amplificateur, c'est à dire dans la zone à pente raide de la caractéristique de transfert (par exemple dans un oscillateur d'horloge)
- avec des temps de transition lents fixée par des constantes de temps RC (multivibrateurs).

Le gain AC plus élevé des portes avec buffer augmente les risques d'oscillations parasites lors des transitions lentes à l'entrée. Pour de telles applications, on fabrique toujours des portes sans buffer (séries UB pour "UnBuffered").

CMOS : 3-STATE



Pour réaliser les BUS, il est indispensable de disposer des sorties "3-state". On en trouve ici une illustration dans un inverseur CMOS.

Le borne OE (Output Enable = Activation de sortie) est active à l'état HI dans cet exemple (rem: dans la plupart des circuits c'est l'inverse).

La figure illustre ici l'état de sortie en haute impédance provoqué par OE=LO.

Remarquer que le substrat de tous les PMOS est relié à V_{DD} et celui de tous les NMOS à V_{SS} .

On vérifie aisément que, quel que soit l'état de l'entrée A :

- (N1 coupé, P1 saturé) entraîne (N3 saturé, P4 coupé), donc N5 coupé
- (N4 coupé, P3 saturé) implique P5 coupé

N5 et P5 étant coupés, la sortie "flotte" en haute impédance par rapport à V_{SS} et V_{DD} .

HC/HCT-MOS

- ▶ introduite vers 1985
- ▶ a complètement remplacé la famille LS-TTL
 - ◆ la plus répandue à l'époque
 - ◆ toutes applications jusqu'à 20-30MHz
- ▶ 3 variantes
 - ◆ HC (**H**igh-speed **C**MOS) pour nouveau design en logique homogène HC
 - $V_{iL}=1.5V$ $V_{iH}=3.15V$ @ $V_{DD}=4.5V$
 - ◆ HCT (**H**igh-speed **C**MOS **T**TL compatible) accepte d'être connecté à la sortie d'un TTL
 - alimentation 5V seulement
 - $V_{iL}=0.8V$ $V_{iH}=2.0V$ @ $V_{DD}=4.5V$
 - ◆ HCU (**H**igh-speed **C**MOS **U**nbuffered)

La famille HCMOS, introduite au milieu des années 1980, est celle qui a véritablement fait décoller la technologie CMOS, pour l'amener au 1er rang incontesté actuellement.

A cette époque, les microprocesseurs étaient en NMOS ou CMOS et cadencés à quelques MHz. Toute la logique câblée jusqu'à 30 MHz était dominée par le LS-TTL. Les CMOS de la famille 4000 étaient utilisés pour les logiques plus lentes, spécialement les applications en 15V où l'on veut une haute immunité au bruit.

Le HCMOS a été introduit comme concurrent direct du LS-TTL et nous allons voir ci-dessous que ses performances sont supérieures ou égales dans tous les domaines.

Trois variantes ont été commercialisées.

Les HC sont destinés à remplacer les LS-TTL dans des circuits homogènes HCMOS ou éventuellement mélangés à des CMOS4000.

Dans le cas où l'on doit remplacer un circuit au sein d'une carte en LS-TTL, un HC alimenté en 5V

- peut piloter un LS-TTL car le niveau de sortie est V_{OH} du HC ($\approx 4.95V$) est meilleur que le niveau V_{iH} ($\approx 2.4V$) requis par le TTL, avec une sortance comparable
- ne peut pas être connectés à la sortie d'un TTL car le niveau V_{OH} garanti en TTL est de 2.8V soit à peine au-dessus du seuil de basculement d'un HC et inférieur au niveau V_{iH} requis par le HC (3.5V)

On a donc mis sur le marché une variante appelée HCT, dont le niveau V_{iH} d'entrée de 2V est compatible avec une sortie TTL. Le prix à payer est une réduction de la plage de tension d'alimentation.

Enfin, pour les applications linéaires, il existe une version sans "buffer" de sortie, comme dans la série 4000.

HCMOS vs CMOS

► améliorations

- ◆ grille de $L=3\mu$ en polysilicium au lieu de $L=7\mu$ en métal

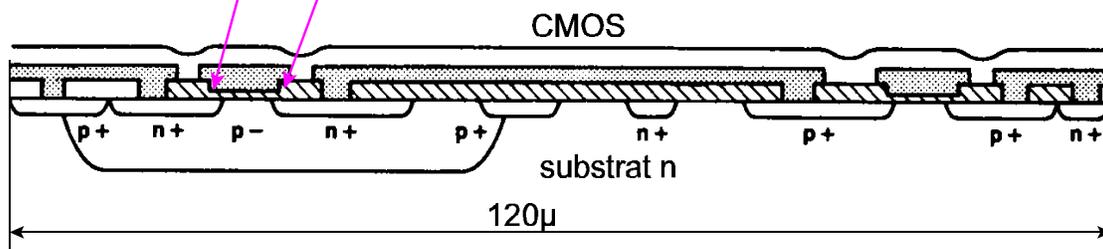
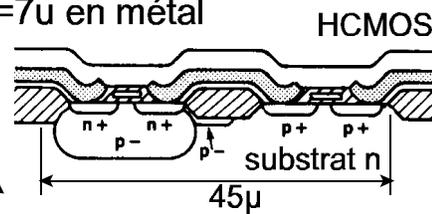
- $I_D \propto (W/L) (V_{GS} - V_{TH})^2$
- $L \searrow \Rightarrow I_D \nearrow \Rightarrow dv/dt \nearrow$

- ◆ diminution capacités parasites

- recouvrement GS et GD $\searrow \Rightarrow C_{GS}$ et $C_{GD} \searrow$
- toutes surfaces $\searrow \Rightarrow$ capacités de jonction \searrow

- ◆ t_{prop} est divisé par 10

- ◆ inconvénients: $V_{DD} = 2$ à $6V$ (au lieu de $3..15V$)



Entre le CMOS et le HCMOS, il n'y a aucune différence de principe : on conserve le concept de paire complémentaire formée deux transistors (un PMOS et un NMOS) implantés sur le même silicium.

La différence est essentiellement technologique et porte sur :

1°) une géométrie de grille plus fine (longueur de grille de 3μ au lieu de 7μ)

Les transistors ont alors un rapport largeur/longueur (W/L) plus élevé, ce qui augmente le courant de drain à polarisation de grille égale.

2°) l'adoption d'une grille en polysilicium, en lieu et place du métal. Ceci fournit un niveau de connexion supplémentaire (polysilicium + métal) au lieu d'une seule couche de métal dans le CMOS. Ceci favorise un "layout" plus compact, une diminution des surfaces, et donc une diminution des capacités parasites.

3°) le fait que l'on fabrique d'abord la grille et que celle-ci serve de masque pour implanter la source et le drain diminue la surface de recouvrement entre grille-source et grille-drain et donc les capacités parasites correspondantes.

4°) une tension d'alimentation maximale ramenée à $6V$ au lieu de $15V$

La diminution des capacités, jointe à l'augmentation des courants disponibles pour les charger a permis de gagner un facteur 10 dans le temps de propagation et d'amener le HC-MOS au niveau du LS-TTL.

HC-MOS vs LS-TTL

critère	unité	HC	HCT	LS-TTL
$V_{DD,min}/V_{DD,max}$	V	2/6	4.5/5.5	4.75/5.25
gamme de T	°C	-40/+85	-40/+85	0/70
P au repos	mW	0.025	0.025	5.5
P @ 10MHz	mW	20	20	20
marge bruit LO	V	1.4	0.7	0.4
marge bruit HI	V	1.4	2.9	0.7
$I_{out}@V_{OH}$	mA@V	8@2.4	8@2.4	0.4@2.4
$I_{out}@V_{OL}$	mA@V	4@0.33	4@0.33	4@0.5
t_{TLH}/t_{THL}	ns	6/6	6/6	15/6
t_{pLH}/t_{pHL}	ns	8/8	8/8	11/8
fmax typ.	Mhz	50	50	33
I_{IL}	μA	1	1	400
I_{IH}	μA	1	1	40

Le tableau confirme que HC-MOS fait au moins aussi bien que le LS-TTL dans tous les domaines. Epinglons particulièrement :

- une gamme de température plus étendue; la symétrie de la paire complémentaire et une conduction basée sur les porteurs majoritaires rendent le principe du CMOS largement indépendant de la température. En logique bipolaire, les valeurs des gains et des résistances de polarisation varient de manière sensible avec la température.
- une consommation statique 200 fois moindre
- une immunité au bruit accrue
- une sortance symétrique, donc meilleure à l'état HI
- des courants d'entrée nettement réduits

HC-MOS : protection d'entrée

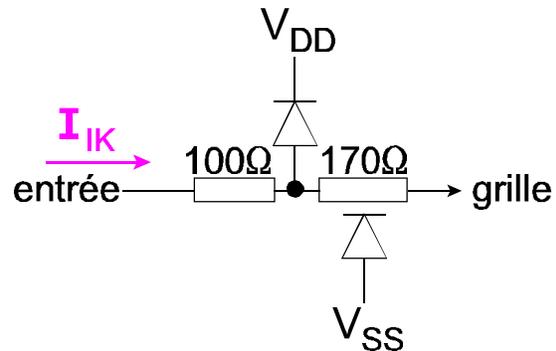
- ▶ il faut limiter les courants dans les diodes de protection d'entrée si elles doivent écrêter la tension d'entrée (risque de perturbation entre entrées voisines par conduction d'un BJT parasite)

◆ entrant

- +20mA/entrée
- +50mA total des entrées

◆ sortant (par entrée)

- -14mA pour 1 entrée
- -9mA pour 2 entrées
- -6mA pour 3 entrées
- -5mA pour 4 entrées
- -4mA pour 5 entrées
- -3mA pour 6 à 8 entrées

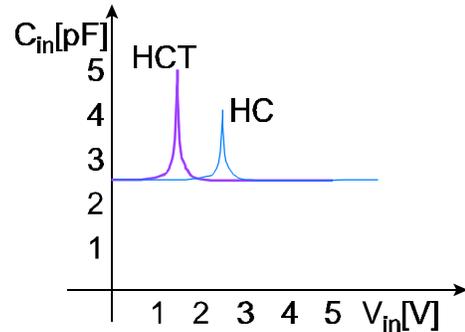
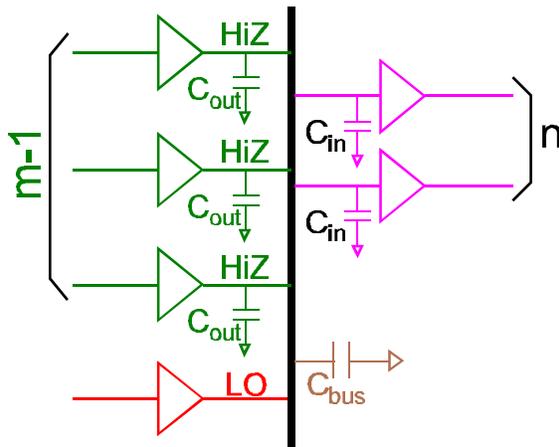


Toutes les précautions d'emploi des CMOS s'appliquent aux HC.

La réduction des dimensions entraîne un risque plus élevé de conduction d'un BJT parasite, situé entre des entrées voisines. Ce phénomène peut se produire lors de la mise en conduction des diodes de protection de grille.

La seule précaution nécessaire est de limiter le courant dans ces diodes, pour les applications où il y a écrêtage systématique (voir le chapitre sur les multivibrateurs).

HCMOS : caractéristiques dynamiques



$C_{in} \approx 3\text{pF (HC)} \quad 5\text{pF (HCT)}$
 $C_{out} \approx 10\text{pF}$
 $C_{bus} \approx 60\text{pF/m}$

$$C_L = nC_{in} + (m-1)C_{out} + C_{bus}$$

$$t_p(C_L) = t_p(50\text{pF}) + K \cdot (C_L - 50\text{pF})$$

V_{DD}	$K[\text{ns/pF}]$	
	std	buffer
2V	0.272	0.187
4.5V	0.102	0.068
6V	0.082	0.056

Le temps de propagation des HCMOS dépend évidemment de la charge capacitive. Cette dia illustre le calcul de ce temps dans le cas d'un bus.

Soient m circuits HCMOS dont la sortie "3-state" est connectée à n entrées HCMOS par une piste en cuivre. Soient :

- C_{bus} la capacité parasite du câblage; pour des pistes en circuit imprimé calculées pour une impédance caractéristique de 100Ω , la capacité linéique est de l'ordre de 60 pF/m
- C_{in} la capacité parasite maximum de chaque entrée connectée. Le graphique en haut à droite montre que cette capacité est non-linéaire et présente un maximum au seuil de basculement. Cette non-linéarité résulte de la mise en parallèle de la capacité C_{GS} et de la capacité non-linéaire C_{GD} lors du basculement. On prendra comme valeur 3pF pour un HCMOS et 5pF pour un HCT, dont le circuit d'entrée comprend de plus gros transistors.
- C_{out} la capacité parasite d'une sortie à l'état de haute impédance (HiZ). Comme le fonctionnement correct du bus impose que seule une des sorties soit en basse impédance, il y a donc $(M-1)$ sortie en HiZ

La charge capacitive totale est par conséquent :

$$C_L = nC_{in} + (M-1)C_{out} + C_{bus}$$

Le temps de propagation s'en déduit par une simple dépendance linéaire dont le coefficient K varie en raison inverse de la tension (ce qui est conforme à la diminution des capacités de jonction avec V). Dans ce tableau "std" désigne les portes standard et "buffer" les buffers à sortance plus élevée.

Remarquons que la famille HCMOS est spécifiée avec une charge nominale de 50pF , ce qui est beaucoup plus réaliste que les 15pF habituels des notices de CMOS ou de TTL.

Logiques: tableau comparatif

5V		4000	HC	AHC	FAST	ALS	ABT
techno		CMOS	CMOS	CMOS	Bip	Bip	BiCMOS
t_p	[ns]	30	9	5	4	5	3
I_{OH}/I_{OL}	[mA]	3	8	8	15/24	15/24	32/64
I_{stat}	[μ A]	600	80	40	90k	30k	250
V_{CC}	[V]	5-15	2-6	2-6	4.5-5.5	4.5-5.5	4.5-5.5
LowVOLT		LV	LVC	ALVC	LVT	ALVT	AVC
techno		CMOS	CMOS	CMOS	BiCMOS	BiCMOS	CMOS
t_p	[ns]	9	4	2	2.5	1.5	1
I_{OH}/I_{OL}	[mA]	8	24	24	32/64	32/64	8
I_{stat}	[μ A]	20	10	40	190	100	20
V_{CC}	[V]	1-3.6	1.2-3.6	1.2-3.6	2.7-3.6	2.3-3.6	1.2-3.3

Ce tableau reprend comme critères comparatifs :

- techno : la technologie de fabrication
- t_p : le temps de propagation
- I_{OH} et I_{OL} : les courants de sortie admissibles
- I_{stat} : la consommation statique
- V_{CC} : la plage de tension d'alimentation

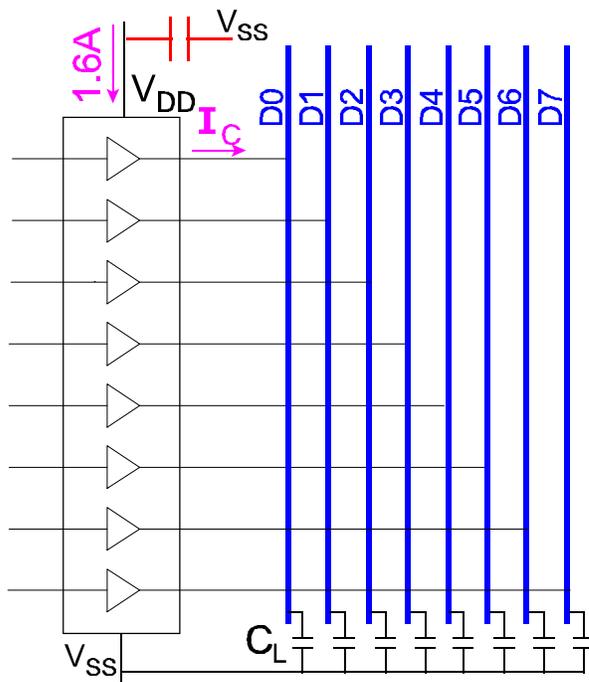
On remarque essentiellement :

- les progrès constants en terme de facteur de mérite (consommation statique x temps de propagation).
- l'énorme consommation statique des logiques bipolaires (F et ALS), de l'ordre de 1000 fois plus élevée que celle des CMOS
- le courant de sortie plus important que fournit la technologie BiCMOS
- le compromis entre les performances de commutation et la plage de tension d'alimentation (et donc l'écart entre niveaux logiques). Les AVC, par exemple, sont optimisés pour $V_{CC}=2.5V$

Logiques actuelles : plan

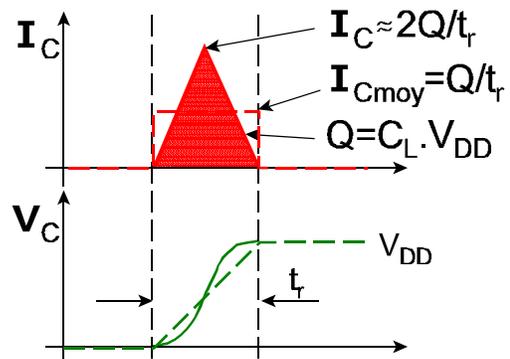
- ▶ Introduction
 - ◆ la demande
 - ◆ aperçu de l'offre
- ▶ Evolution : du CMOS au AVC
- ▶ **Problèmes posés par la logique rapide**
 - ◆ **perturbations dues aux transitoires de courant**
 - ◆ **perturbations dues aux interconnexions**
- ▶ Particularités des logiques actuelles
- ▶ Conclusion

Transitoires: valeur de crête du courant



$$I_C = C_L \, dv/dt \quad \text{soient}$$

$$\left. \begin{array}{l} C_L = 50 \, \text{pF} \\ V_{DD} = 5 \, \text{V} \\ t_r = 2.5 \, \text{ns} \end{array} \right\} \begin{array}{l} I_{C\text{moy}} = 100 \, \text{mA} \\ I_C = 200 \, \text{mA} \end{array}$$



Nous avons déjà vu avec les CMOS que la commutation de niveau logique nécessite la charge des capacités parasites C_L vues par les sorties des circuits.

La dia illustre ici le cas fréquent d'un bus de données à 8 bits piloté par un "octal buffer", c'est-à-dire un groupe de 8 circuits à sortance élevée, au sein du même boîtier.

On peut évaluer l'ordre de grandeur de la pointe de courant nécessaire à charger la capacité parasite sur base de la tension d'alimentation, du temps de montée et de la capacité de charge.

La charge à fournir vaut $Q = C_L \cdot V_{DD}$

En supposant que la forme du courant est une impulsion, on obtient une montée de tension linéaire et un courant égal à $I_{\text{moy}} = C_L \cdot V_{DD} / t_r$

En supposant que la forme du courant est un triangle, l'intégrale du courant doit rester la même et le courant de pointe est par conséquent le double du courant moyen soit, avec les valeurs courantes données sur la dia :

$$I_C = 2 \times 50 \, \text{pF} \times 5 \, \text{V} / 2.5 \, \text{ns} = 200 \, \text{mA}$$

La résistance équivalente des transistors de sortie ne peut donc pas dépasser $5 \, \text{V} / 200 \, \text{mA} = 25 \, \Omega$ pour pouvoir délivrer ce courant. Remarquons que l'on néglige ici le courant consommé en interne par la conduction simultanée de la paire complémentaire de l'étage de sortie, par rapport au courant consommé à la sortie.

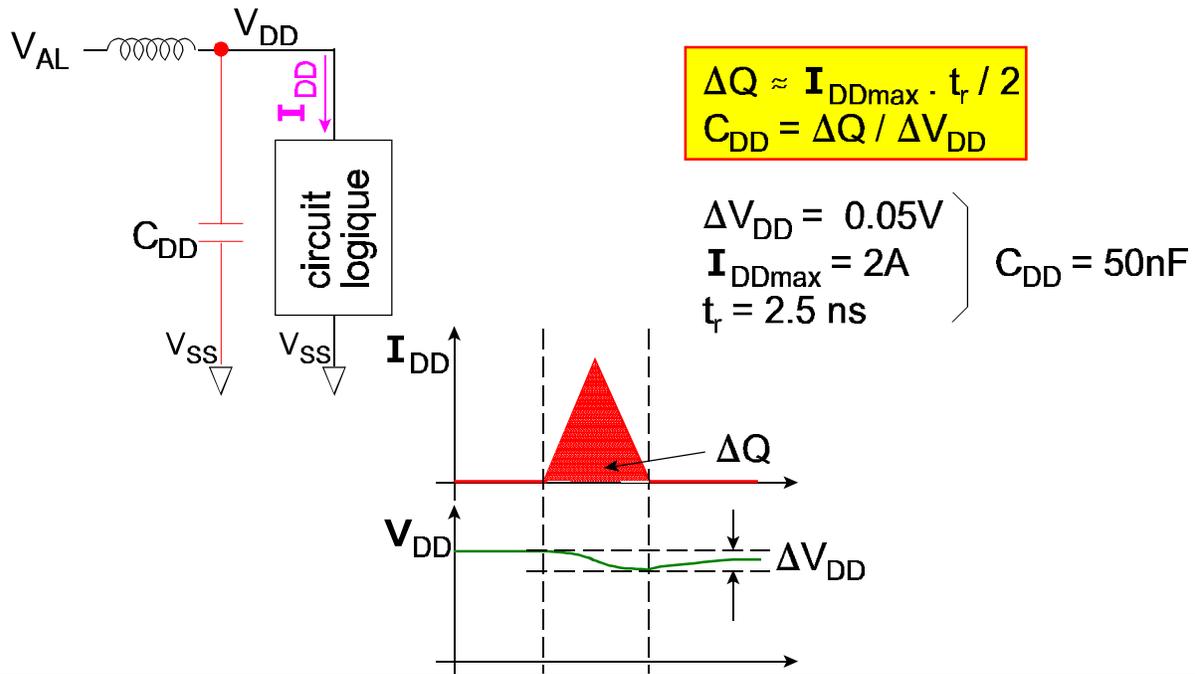
Le courant total prélevé à l'alimentation si la sortie du buffer passe de 00H à FFH est donc de l'ordre de

$$I_{\text{al}} = 8 \times 2 \times 50 \, \text{pF} \times 5 \, \text{V} / 2.5 \, \text{ns} = 1.6 \, \text{A}$$

soit une pointe de courant considérable qui doit être fournie par le condensateur de découplage.

Notons enfin que l'on trouve des "buffers" comprenant jusqu'à 32 bits dans le même boîtier, qui consomment donc de l'ordre de 4 fois plus !!

Transitoires de courant : découplage



L'estimation grossière de la valeur du condensateur de découplage peut se faire moyennant les simplifications suivantes :

- on suppose que, à cause de l'inductance de câblage, tout le transitoire de courant est repris par le condensateur. Celui-ci se rechargera ensuite à travers l'inductance de câblage
- on néglige l'inductance entre le condensateur de découplage et la borne d'alimentation du circuit (hypothèse d'un câblage très soigné, dont on se rapproche si l'on utilise un plan de masse, ou si C est très proche des bornes du circuit)
- on néglige l'inductance interne du circuit entre le silicium et les bornes V_{DD} et V_{SS}

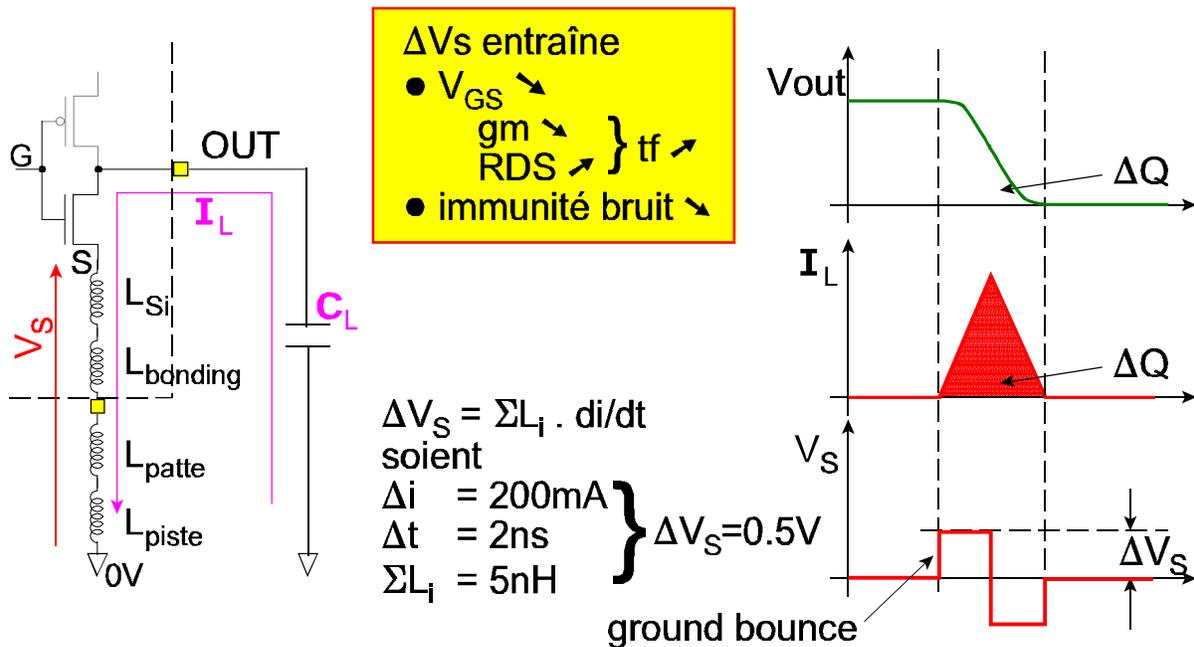
Dans ce cas, le calcul du condensateur de découplage est basé sur la charge qu'il doit fournir pendant le transitoire et sur la variation de tension que l'on admet (moins de 1% de V_{DD}).

On arrive en général à des valeurs de quelques nF à quelques dizaines de nF. Les règles de bonne pratique sont :

- 22nF à 47nF par borne d'alimentation de circuit important (mémoires, buffers, microprocesseurs).
- 22nF par groupe de 4 circuits SSI

Insistons sur la nécessité d'un câblage très soigné entre le condensateur et le circuit pour réduire l'inductance au minimum (voir dia suivante).

Transitoires dus au courant : "ground bounce"



Pour mettre en évidence le rôle des inductances de câblage, examinons la transition HI-LO en sortie, c'est-à-dire la décharge de la capacité parasite du bus par le transistor "pull-down" de l'étage de sortie.

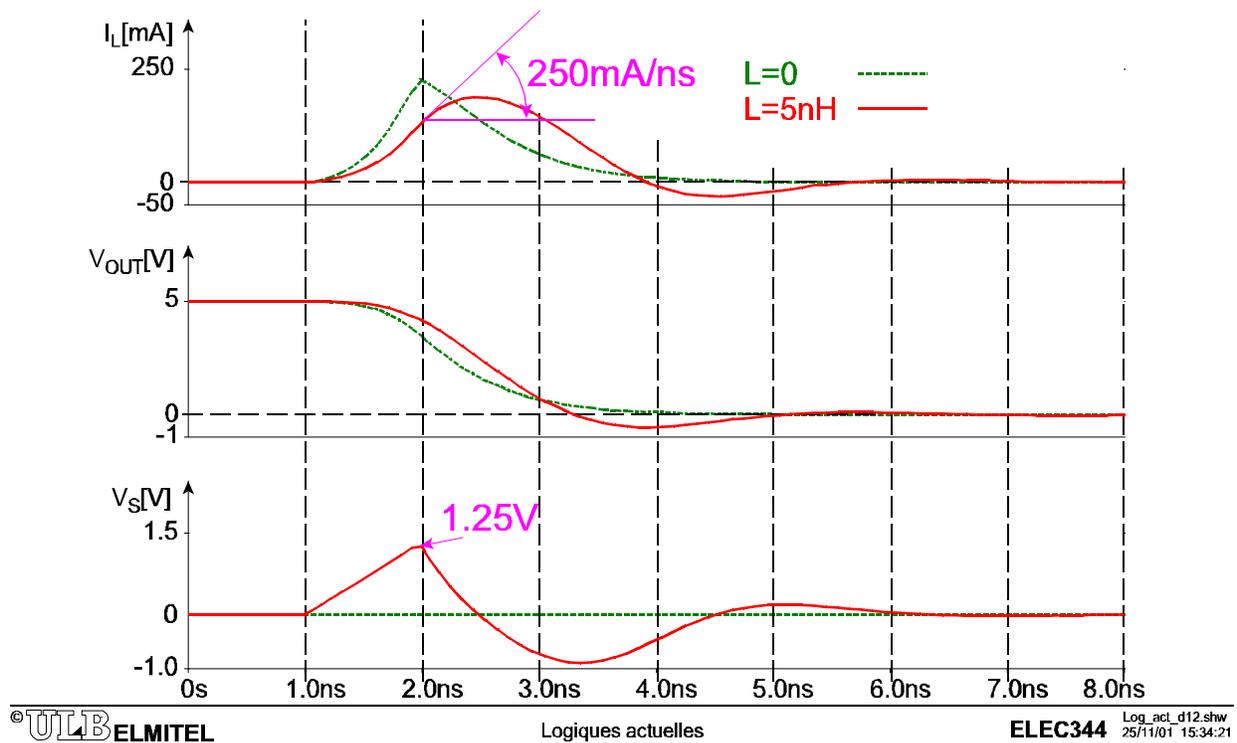
Différentes inductances sont présentes

- au sein du silicium
- les fils de "bonding"
- la patte du circuit imprimé
- la piste de cuivre jusqu'au plan de masse

Le gradient de courant di/dt engendre sur la somme de ces inductances une chute de tension qui déplace le potentiel de la source du transistor "pull-down". Pendant la montée du courant, le potentiel de source monte, ce qui a pour conséquence :

- de diminuer la tension grille-source et donc de dépolariiser le transistor (réduction de la transconductance g_m et augmentation de la résistance équivalente R_{DSon})
- de réduire la marge de bruit dynamique

Transitoires dus au courant



39

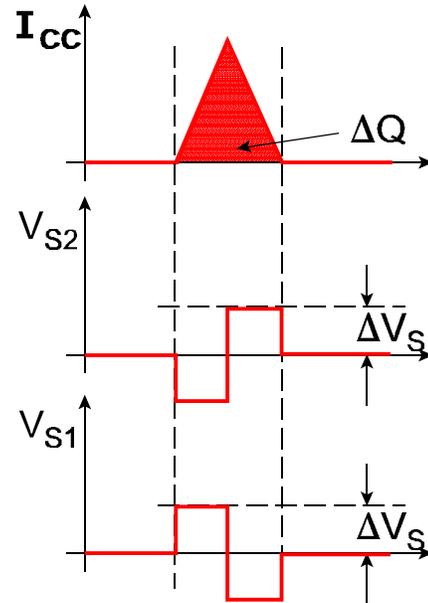
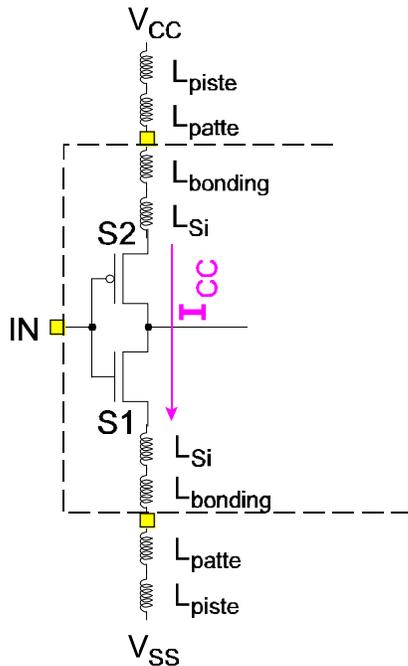
Une simulation nous montre des formes d'ondes plus réalistes. Le trait vert (en pointillé) représente la commutation avec une inductance négligeable. Dans ce cas, la tension de la source du NMOS reste égale à 0.

Avec une inductance plausible de 5nH, qui représente l'inductance d'un câblage soigné, le gradient de courant est évidemment plus faible, mais atteint néanmoins 250mA/ns . Le saut de la tension de source atteint alors 1.25V, soit la presque totalité de l'immunité au bruit.

La combinaison de l'inductance de câblage avec la capacité parasite forme un circuit oscillant, amorti par la résistance interne du transistor. Cela se marque par un léger passage en négatif de la tension et du courant de sortie.

40

Transitoires : "ground & Vcc bounce"

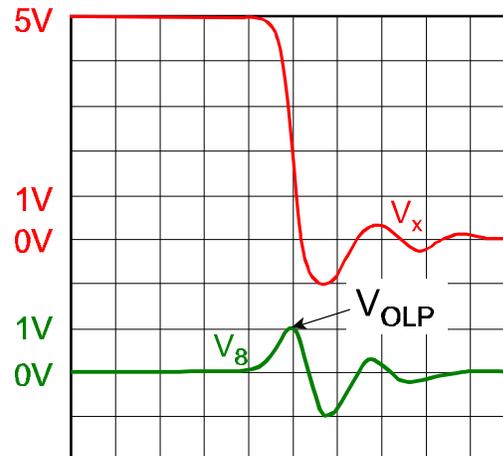
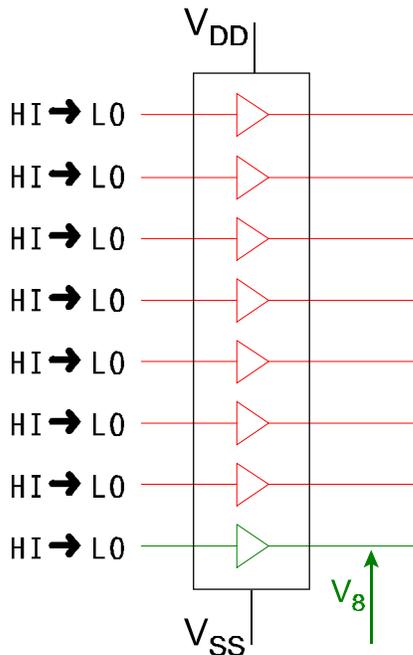


Les inductances parasites que nous venons d'évoquer du côté de la masse (V_{SS}) se retrouvent évidemment du côté de l'alimentation V_{DD} .

La figure illustre ici le transitoire lors du basculement de la paire CMOS. La variation du courant "de court-circuit" qui circule simultanément dans les deux transistors va induire des variations opposées des potentiels des deux sources et donc une diminution des tensions grille-source, ce qui ralentit le circuit.

L'immunité au bruit est également réduite.

Transitoires dus au couplage entre les sorties



Dans les circuits intégrés comprenant plusieurs portes logiques identiques, un couplage entre sorties peut également générer des transitoires gênants. La figure illustre ici un "octal-buffer" dont 7 sorties présentent une transition HI-LO et la 8ème reste au même état LO.

Chacune des sorties est chargée par la même impédance.

On observe

- une perturbation de la 8ème sortie, qui aurait dû rester à l'état LO, avec une amplitude V_{OLP} de l'ordre de 1V. Cette valeur V_{OLP} et les conditions dans lesquelles elle est mesurée sont spécifiées dans la notice des circuits logiques rapides
- des oscillations amorties ("ringing") sur toutes les sorties.

Ce phénomène est dû à

- des couplages capacitifs au sein du silicium, entre pattes du circuit et entre pistes de sortie (diaphonie ou "cross-talk")
- un couplage par l'inductance dans les chemins d'alimentation V_{DD} et V_{SS} , qui est commune à tous les circuits.

V_{OLP} est en général un peu supérieur pour la borne de sortie qui est la plus éloignée de la borne de masse.

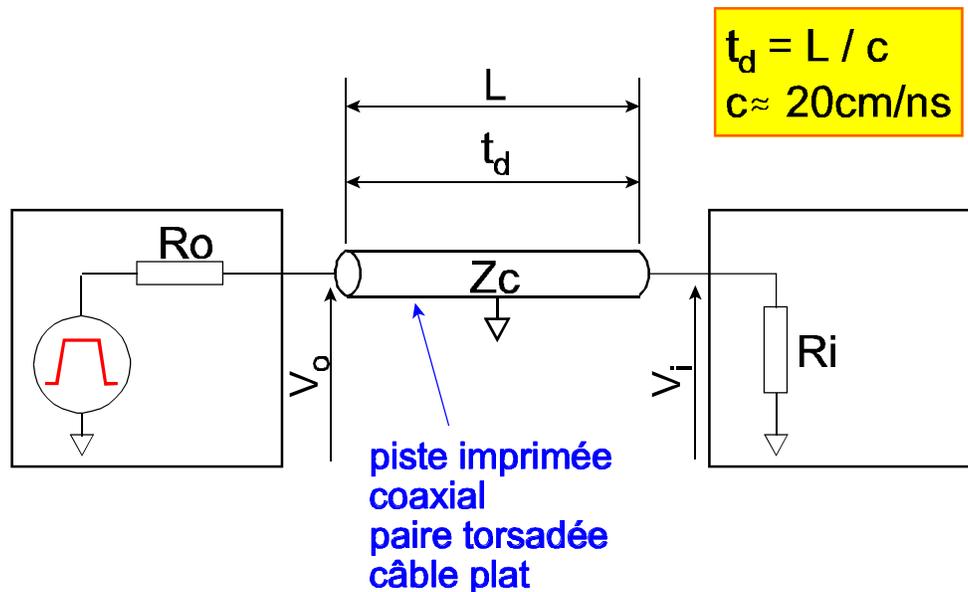
Pour réduire ces transitoires et éviter qu'ils n'excèdent la marge de bruit, les constructeurs s'efforcent

- d'optimiser la symétrie des impédances d'alimentation des différents modules
- de réduire les courants internes résultant de la conduction simultanée des paires PMOS-NMOS
- de limiter les gradients dv/dt maximum de tension de sortie. Les buffers multiples sont en général un peu moins rapides que les simples portes.

On peut utiliser des résistances en série avec les sorties (externes ou internes) pour amortir ces phénomènes

Transitoires dus à l'interconnexion

modèle d'interconnexion entre deux circuits



Dans la plupart des cas, les circuits logiques sont interconnectés soit :

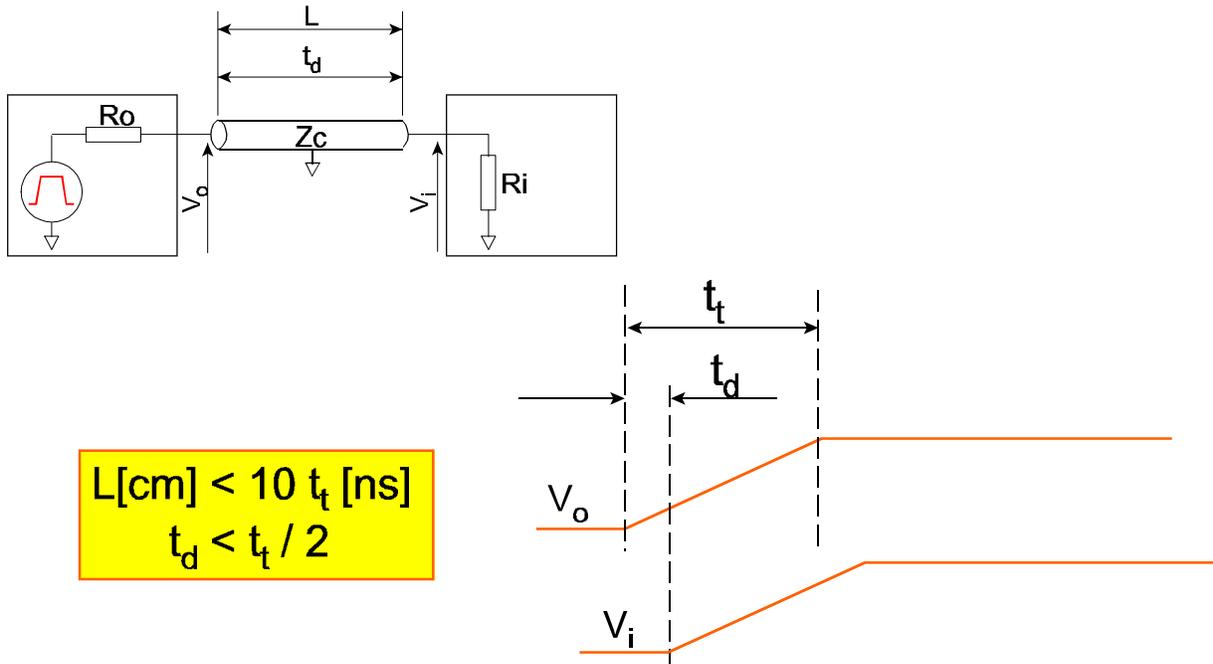
- par des pistes en circuit imprimé
- par des câbles coaxiaux
- par des câbles en paires torsadées
- par des câbles plats en ruban, formés de fils parallèles

On modélise alors le système sortie-liaison-entrée par :

- une source fournissant une impulsion logique de temps de transition t_r , avec une résistance de sortie R_o , de l'ordre de 25Ω
- une ligne de transmission d'impédance caractéristique Z_c , de longueur L et de temps de propagation t_d . La vitesse de propagation c vaut environ les 2/3 de la vitesse de la lumière, soit 20cm/ns .
- la résistance d'entrée R_i , de l'ordre de $10E9\Omega$.

Nous allons voir comment ce système se comporte en fonction des valeurs respectives de t_r , t_d , R_o , R_i et Z_c .

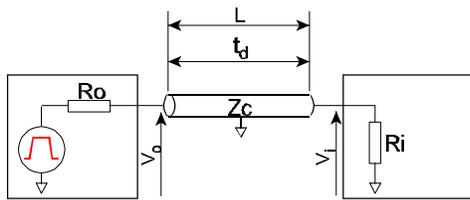
Interconnexion de circuits logiques cas idéal : ligne courte ou adaptée



Le cas idéal se produit si le temps de propagation introduit par la ligne est faible devant le temps de transition t_t (montée ou descente) de la sortie.

Dans ce cas, l'effet de la ligne est simplement d'introduire un délai égal à son temps de propagation t_d .

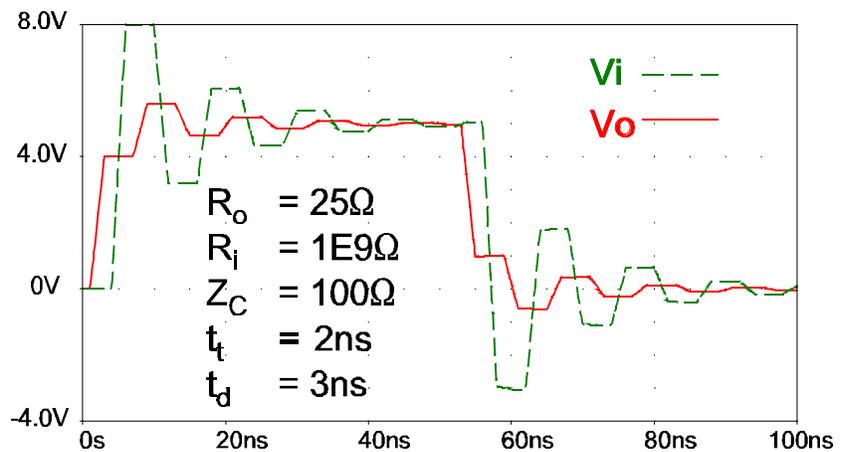
Interconnexion de circuits logiques cas réel: ligne trop longue non adaptée



$$t_d > t_t / 2$$

$$R_o < Z_c$$

$$R_i \gg Z_c$$



©ULB ELMITEL

Logiques actuelles

ELEC344 Log_act_d12.shw
25/11/01 15:34:21

49

Dans les logiques rapides, les longueurs de pistes ou de câbles sont rapidement trop grande pour que la ligne puisse être considérée comme un simple délai.

A titre d'exemple, une logique à 2ns de temps de montée n'accepte que des connexions inférieures à 20cm. Cela nécessite par exemple de placer les mémoires à proximité immédiate des microprocesseurs.

Dans le cas des bus et des câbles d'interconnexion vers les disques, une telle longueur est facilement dépassée.

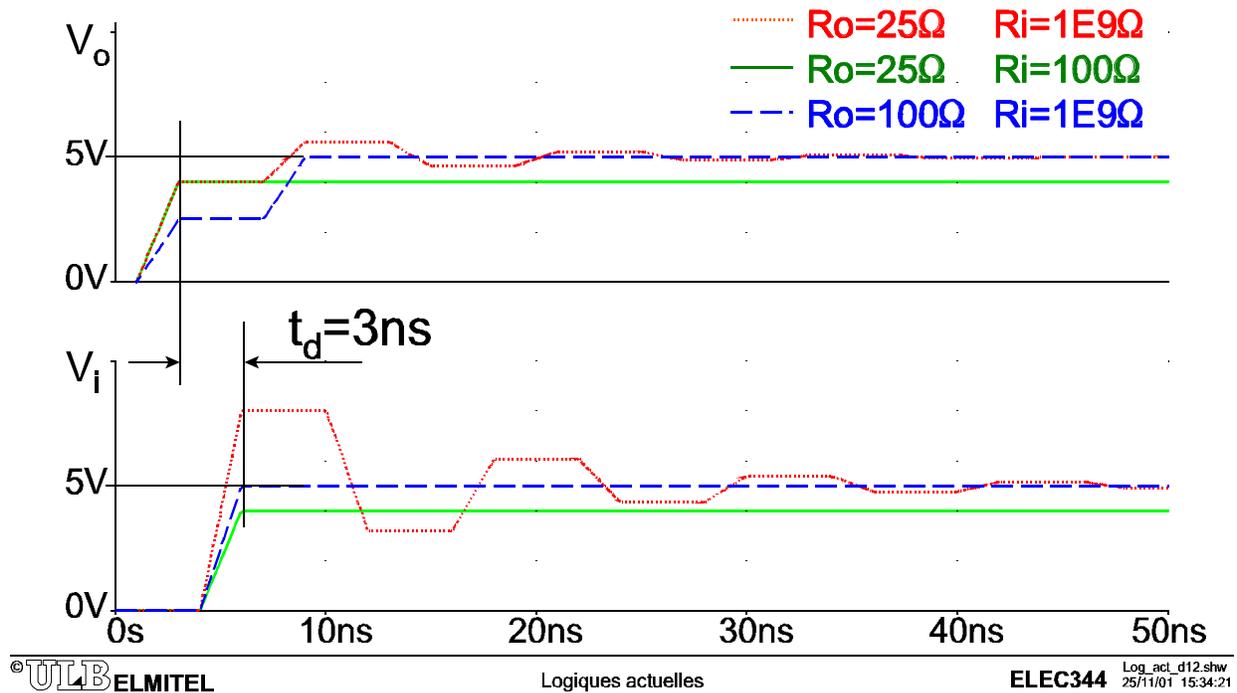
Or la ligne de transmission n'est pas adaptée car

- l'impédance de sortie d'un circuit logique est faible (c'est une source de tension) devant l'impédance de ligne (de l'ordre de 100Ω pour les pistes en circuit imprimé)
- l'impédance d'entrée est très élevée (elle est fixée par les circuits de protection grille des MOS)

On assiste alors à une sévère perturbation des signaux d'entrée et de sortie due aux réflexions sur la fin de ligne, qui est pratiquement un circuit ouvert.

Il faut alors **adapter** la ligne par une résistance proche de l'impédance caractéristique, soit à la sortie, soit à l'entrée.

Interconnexion de circuits logiques adaptation série et parallèle



51

Cette figure compare la propagation d'un échelon

- sans adaptation $R_o < Z_c \ll R_i$
- avec adaptation en début de ligne par ajout d'une résistance en série avec la sortie :
 $R_o + R_s = Z_c \ll R_i$
- avec adaptation par ajout en bout de ligne d'une résistance en parallèle avec l'entrée
 $R_o < Z_c = R_f / R_t = R_t$

Les deux adaptations ont le même délai de propagation, égal à celui de la ligne; elles diffèrent par:

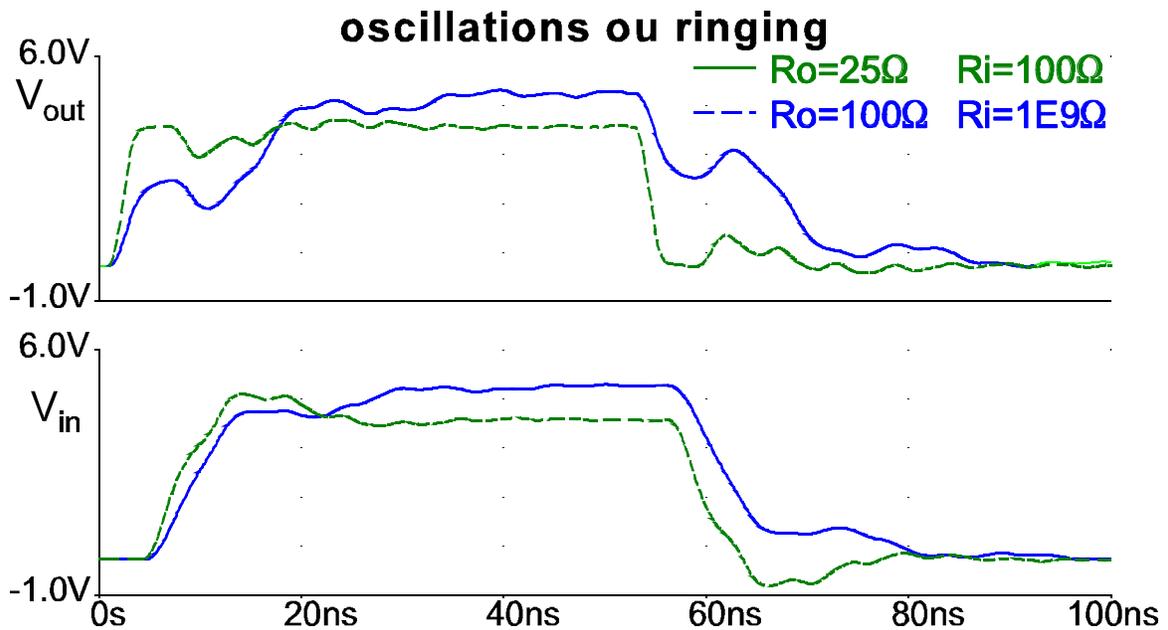
- l'adaptation série altère le signal de sortie par réflexion sur l'entrée, mais préserve la forme et le niveau de l'impulsion à l'entrée, ce qui est le plus souvent suffisant. Elle convient bien pour les CMOS car elle ne modifie pas la sortance statique ($R_o + R_s \ll R_i$), alors qu'elle est presque inapplicable en TTL.
- l'adaptation parallèle conserve la forme des deux signaux, mais entraîne nécessairement un affaiblissement du signal, à cause du diviseur résistif formé par la résistance de sortie R_o et la résistance d'adaptation R_t . Avec les valeurs numériques de l'exemple,
 $R_o = 25\Omega$
 $Z_c = R_t = 100\Omega$
 $V_{CC} = 5V$

on obtient un niveau HI réduit à $5V \cdot 100 / 125 = 4V$.

La sortance est également altérée car l'impédance d'entrée devient celle de la résistance de terminaison R_t en parallèle sur l'entrée.

52

Interconnexion de circuits logiques

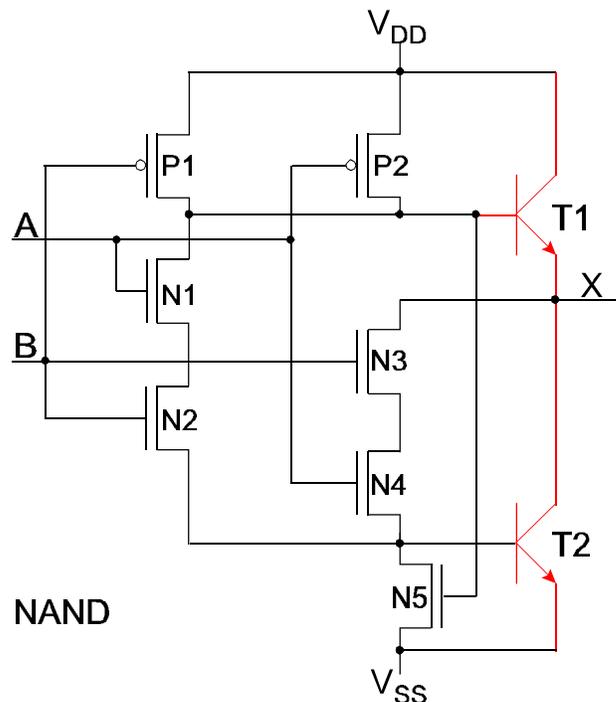


Si l'on tient compte des capacités parasites d'entrée et de sortie, on voit que celles-ci résonnent avec la ligne. Les oscillations seront plus ou moins bien amorties par les résistances d'adaptation. Les temps de transition sont évidemment abîmés par la charge capacitive.

Logiques actuelles : plan

- ▶ Introduction
 - ◆ la demande
 - ◆ aperçu de l'offre
- ▶ Evolution : du CMOS au AVC
- ▶ Problèmes posés par la logique rapide
- ▶ **Particularités des logiques actuelles**
- ▶ Conclusion

BiCMOS



NAND

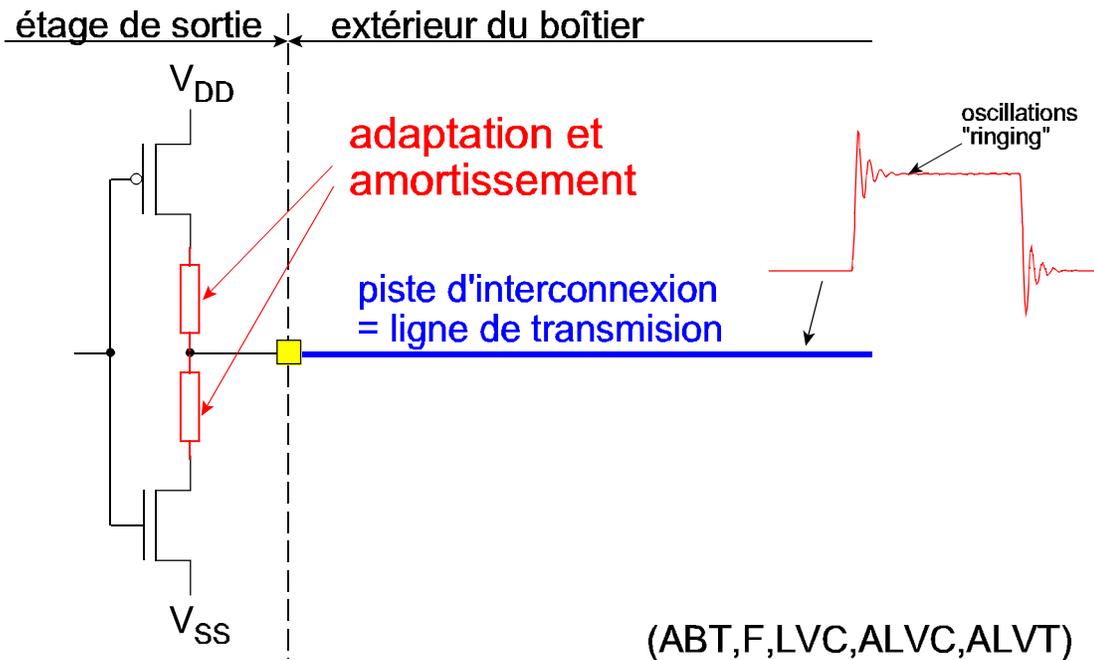
Le BiCMOS associe l'étage d'entrée à haute impédance du CMOS à un étage de sortie totem-pole bipolaire. Les logiques BiCMOS (ABT, LVT, ALVT) sont essentiellement caractérisées par des courants de sortie (64mA) trois fois plus élevés que les purs CMOS (24mA), grâce au gain élevé et à la densité de courant importante caractérisant les BJT. Ils sont particulièrement utiles pour piloter des bus à grande capacité parasite.

Certains circuits (ABT) montent même jusqu'à 180mA, pour attaquer des lignes de transmission de 25 Ω .

La consommation statique augmente par rapport à un CMOS de vitesse comparable, car il faut fournir le courant de base nécessaire à la saturation du transistor de sortie. Cette consommation reste très modérée (facteur 3 environ) et reste de toute façon négligeable par rapport à celle des anciennes logiques bipolaires.

La figure représente un NAND en technologie BiCMOS dont on vérifiera aisément la table de vérité.

Résistances d'amortissement



Nous avons vu précédemment le bénéfice que l'on pouvait tirer d'une résistance de sortie additionnelle pour amortir les oscillations et adapter la transmission dans le cas de lignes "longues". Certaines familles logiques sont prévues pour l'attaque de bus en circuits imprimés ou de câbles longs et incorporent d'office la résistance série d'adaptation, ce qui fait gagner de la place sur le circuit imprimé. On rajoute la résistance en série avec chaque transistor, ce qui contribue à limiter le courant interne au basculement.

“Dynamic Output Control” (AVC)

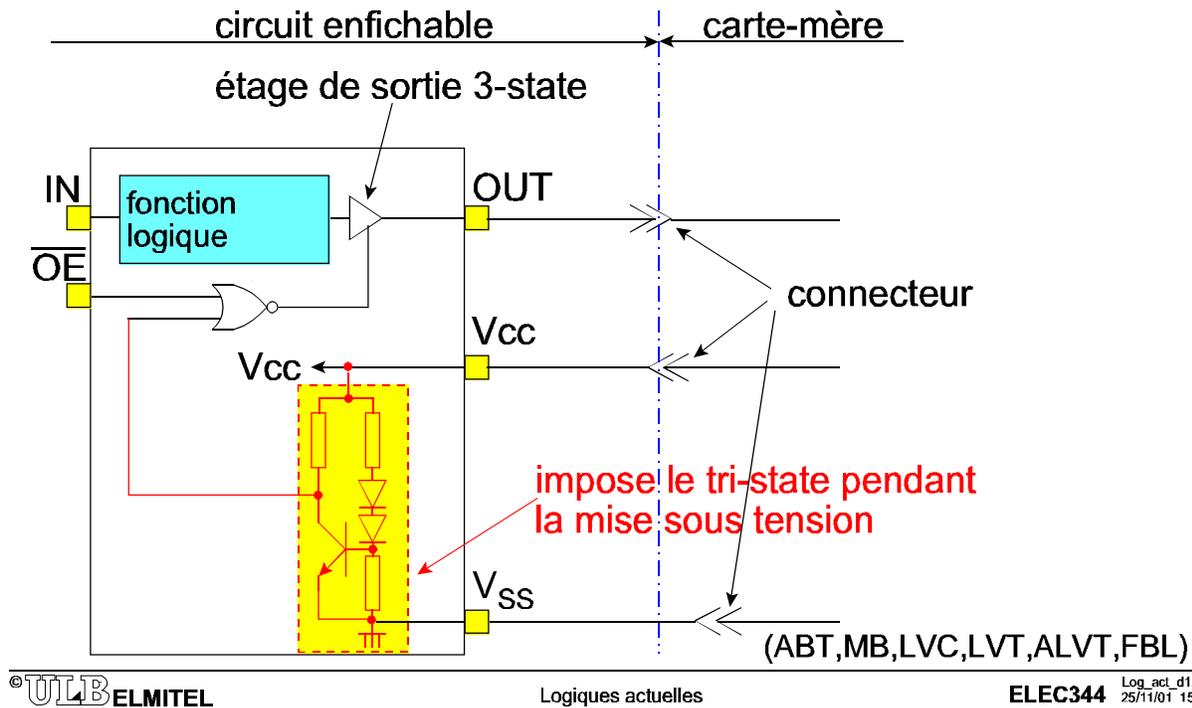
- ▶ impédance de sortie non-linéaire
 - ◆ varie durant la commutation
 - R_o plus important en début et fin de commutation; équivalent à un amortissement série
 - faible impédance au milieu de la commutation pour obtenir des délais de propagation de l'ordre de la ns
- ▶ rend inutile l'ajoute de résistance de terminaison
- ▶ pas d'influence sur la sortance

L'ajout de résistances d'amortissement va évidemment à l'encontre de l'objectif de charger rapidement les capacités parasites pour réduire les temps de transition.

La solution vient de la conception des transistors de sortie et de leur étage de commande. On crée par ce moyen une non-linéarité de l'impédance de sortie au cours de la commutation. L'impédance est minimale au milieu du basculement pour accélérer la commutation, puis plus élevée lorsque l'on se rapproche des niveaux logiques, pour effectuer l'amortissement et l'adaptation d'impédance.

Une fois encore, l'impédance d'entrée très élevée des CMOS permet de tels artifices sans sacrifier la sortance.

"Power-up/power-down tri-state"



63

De nombreux systèmes, sont articulés autour d'une carte-mère ou "fond de panier" ou "backplane" sur laquelle on peut enficher des cartes périphériques (mémoires, vidéo, son, réseau, etc ...) à l'aide de connecteurs. Les signaux de ces connecteurs sont normalisés suivant un standard (ISA, PCI, VME, PCMCIA,.....).

Insérer une telle carte sous tension, n'est pas recommandé. En effet :

- un contact du connecteur relié à une sortie de la carte-mère peut toucher celui d'une entrée de la carte-fille avant que les contacts de masse ne se touchent. Dans ce cas, on risque de claquer l'oxyde de grille d'entrée, ou sa diode de protection, ou au moins de solliciter inutilement celle-ci.
- pendant le transitoire de mise sous tension, on connaît mal l'état des sorties de la carte insérée

Certains bus sont toutefois conçus pour une connexion "à chaud". L'intérêt est par exemple de pouvoir remplacer une carte en panne sans arrêter le système.

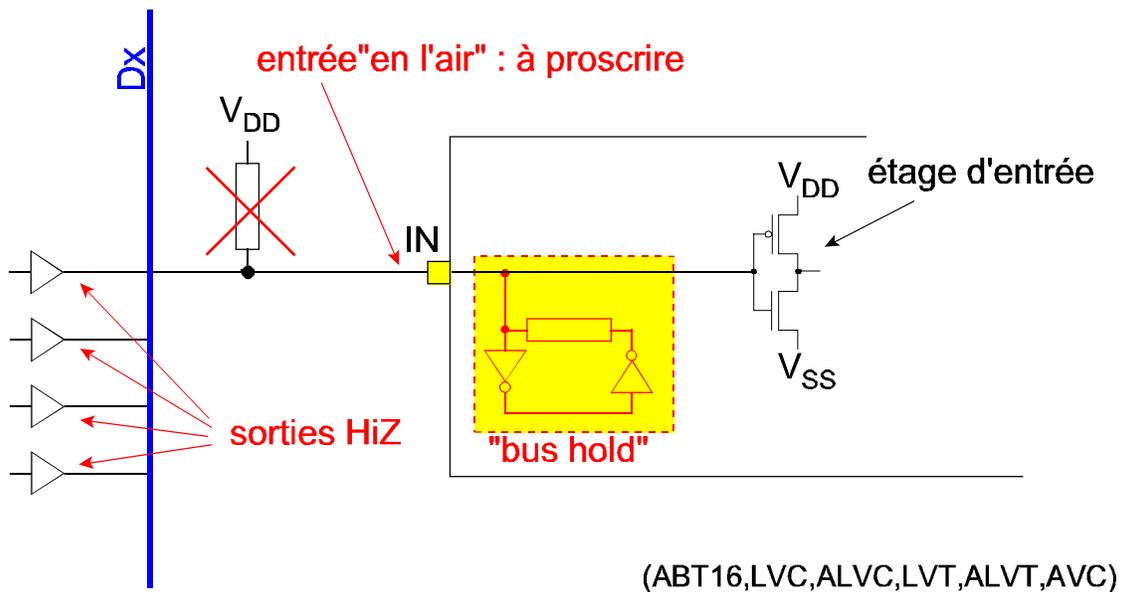
Un autre exemple connu est le standard PCMCIA pour les ordinateurs portables. Dans ce cas, le connecteur est prévu mécaniquement pour que la masse soit toujours la première borne à entrer en contact, et des circuits spéciaux d'interface ont été conçus.

Dans ceux-ci, on prévoit un circuit auxiliaire, qui assure que la sortie de l'interface sera en haute impédance lorsque l'on met ou retire la tension d'alimentation. On vérifiera que, pour de faibles valeurs de V_{CC} , la base du NPN n'est pas alimentée, ce qui assure que l'entrée du NOR est maintenue à un état proche de V_{CC} pendant la plus grande partie de la montée de V_{CC} , c'est-à-dire pendant l'initialisation de tous les transistors du circuit, y compris ceux de la porte NOR elle-même.

Les deux diodes en série avec la base du NPN créent un seuil tel que le NPN ne peut conduire qu'après que tout le reste du circuit fonctionne correctement.

64

Caractéristiques spéciales : "bus-hold"

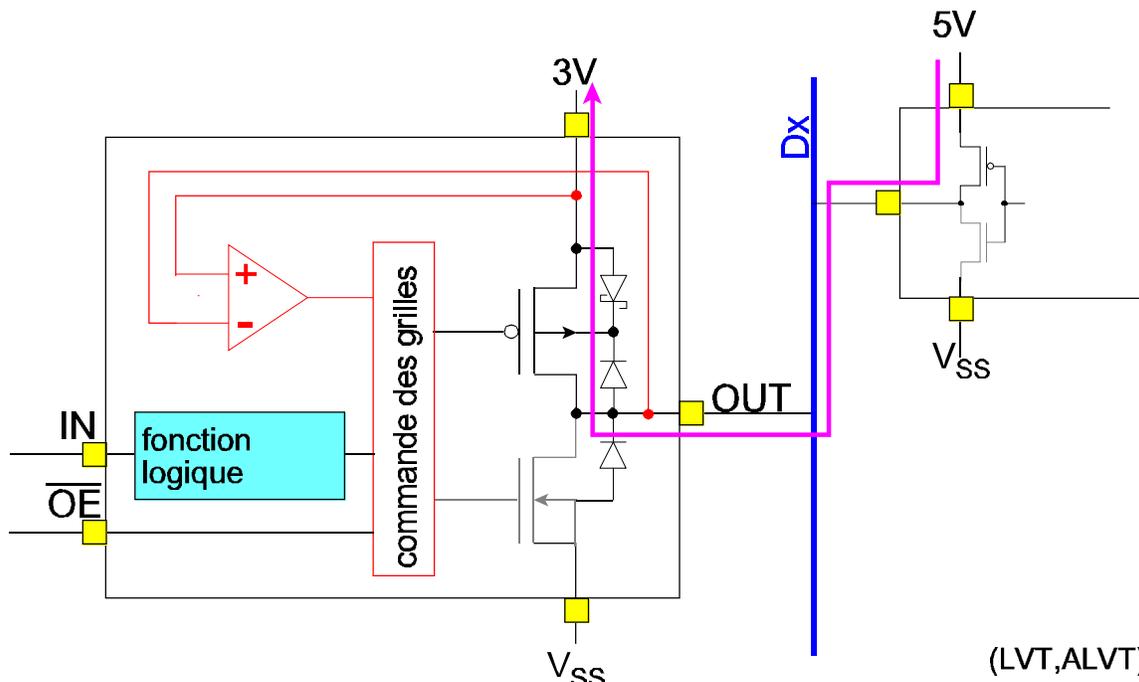


Nous avons vu qu'il était déconseillé de laisser une entrée "en l'air", c'est-à-dire déconnectée. Le risque est de voir, par effet électrostatique, des charges polariser la grille commune d'entrée à une tension voisine du seuil de basculement; ceci entraîne la conduction simultanée des deux transistors de la paire PMOS-NMOS, crée un courant indésirable dans l'alimentation et peut même détruire les deux transistors.

Or, il est fréquent qu'une entrée soit pilotée par des sorties "3-state" (exemple: un bus de données). A un moment où aucune des sorties n'est activée, le bus "flotte" et l'état de toutes les entrées devient indéterminé. Pour éviter cela, il est recommandé de placer des résistances de "pull-up" ou "pull-down" de quelques centaines de k Ω . Ces résistances sont coûteuses en terme de nombre de composants, de surface occupée et de fiabilité.

Une solution alternative consiste à installer une paire d'inverseurs internes formant un bistable sur chaque entrée logique. Ces deux inverseurs maintiennent, par l'intermédiaire d'une résistance, le dernier niveau d'entrée qui imposé par le circuit amont juste avant qu'il ne repasse en haute impédance. La résistance constitue en effet soit un pull-up, soit un pull-down, qui s'auto-verrouille par rétroaction positive. Ce dispositif diminue évidemment l'impédance d'entrée, qui devient celle de la résistance, comme ce serait d'ailleurs le cas avec une résistance "pull-up" externe.

"High Contention Protection"



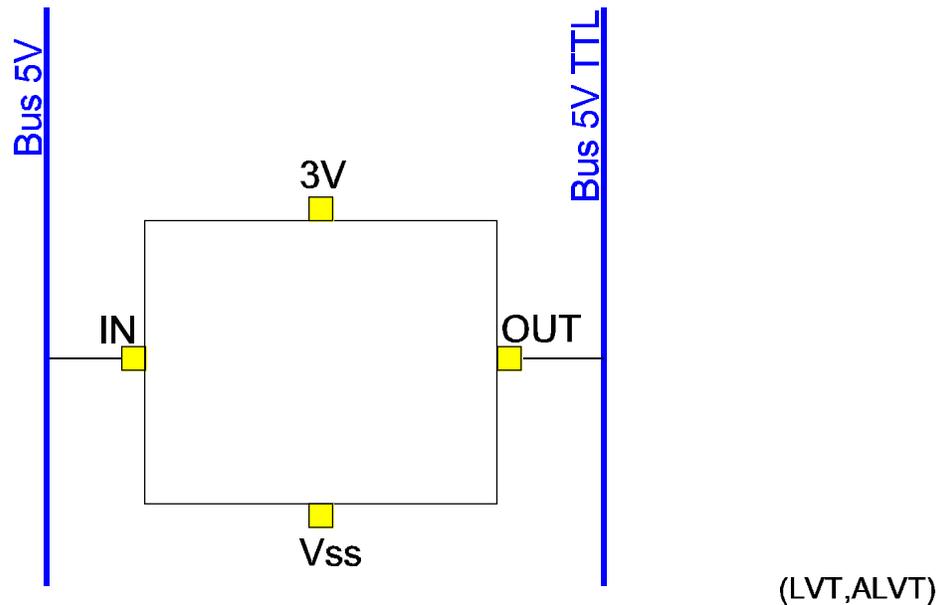
Il peut arriver, notamment pour des raisons de conditions de course, que deux circuits essayent d'imposer le niveau logique sur un bus. Ce problème porte le nom de "contention de bus". Dans le cas où c'est l'état HI et où les tensions d'alimentation sont identiques il ne se produit rien.

Sur cette figure, un des circuits est alimenté en 5V alors que l'autre l'est en 3V. Dans ce cas, un courant important peut circuler entre les deux alimentations et endommager les deux transistors PMOS en état de basse impédance (de l'ordre de 10 à 20Ω).

Certaines familles "low-voltage" sont munies d'un comparateur entre tension de sortie et tension d'alimentation. Si la tension de sortie est trop élevée, le comparateur coupe le PMOS supérieur et empêche ainsi sa destruction.

Remarquer la présence de diodes d'écrêtage placées en sortie et qui contribuent à la protection électrostatique. Pour certains circuits, ces diodes sont inhérentes à la structure et ne doivent donc pas être implantées expressément dans le silicium.

"I/O compatibles 5V"



Les mélanges de tensions sont possibles. En général :

- la plupart des circuits conçus pour le 3.3V, sont directement compatibles avec la logique 5V en entrée, voire en sortie, même pour la valeur la plus basse de V_{CC}
- les AVC, même alimentés en 1.2V sont compatibles avec les autres familles "basse tension" alimentées en 3.6V

Les cas d'incompatibilités sont trop nombreux à énumérer ici; de plus il existe des exceptions au sein de chaque famille. Il faut donc toujours consulter la notice qui se réfère aux types exacts des circuits que l'on veut interconnecter.

Il existe également des circuits spéciaux à double alimentation pour interfacer des niveaux logiques différents, spécialement au niveau des bus.

La figure illustre ici un circuit alimenté en 3V dont l'entrée et la sortie sont connectées à un bus 5V. Par rapport au CMOS classique, le circuit de protection d'entrée à diodes doit être modifié, pour éviter de créer un quasi-court-circuit entre les deux alimentations à travers la diode d'écèlement vers le 3V.

Quant au bus de sortie 5V, il doit être muni de circuits d'entrée dont le niveau logique est compatible TTL. Dans ce cas, le niveau 3V fourni à la sortie est supérieure à la spécification $V_{IH}=2,8V$ du TTL.

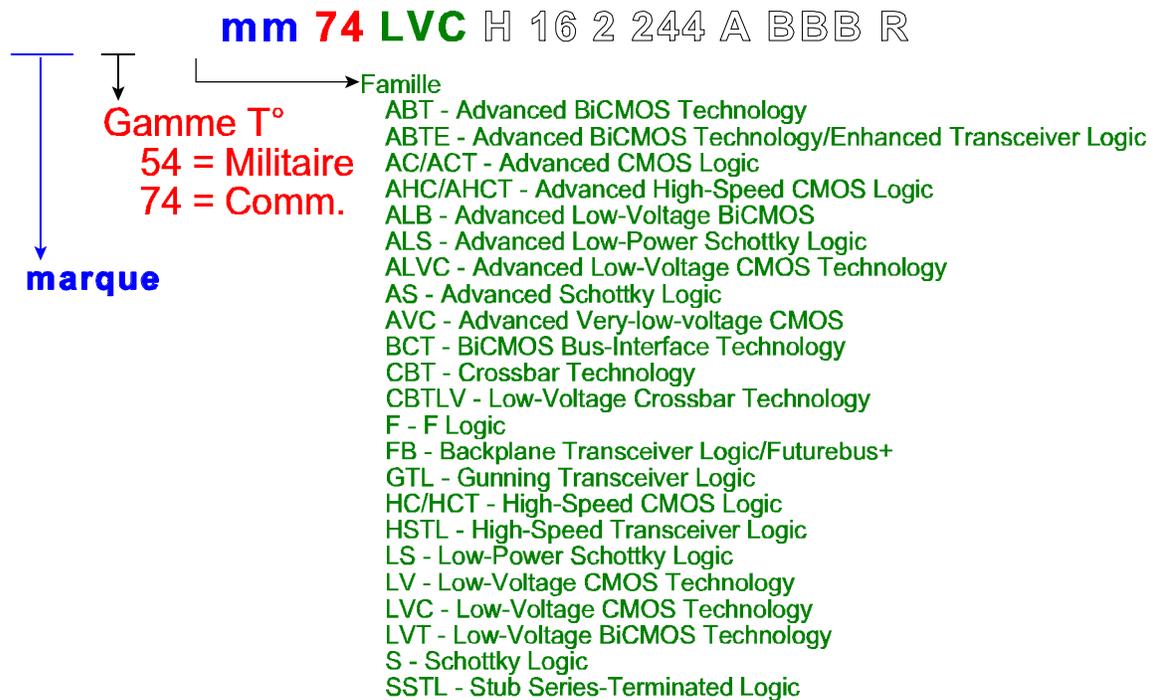
Power-on Reset

- ▶ concerne les bistables et latches
- ▶ initialisation automatique à LO lors de la mise sous tension
- ▶ économise la création d'un cycle de reset par une logique supplémentaire

Logiques actuelles : plan

- ▶ Introduction
 - ◆ la demande
 - ◆ aperçu de l'offre
- ▶ Evolution : du CMOS au AVC
- ▶ Problèmes posés par la logique rapide
- ▶ Particularités des logiques actuelles
- ▶ **Conclusion**

Résumé : analyse d'un marquage



Le foisonnement de familles logiques dont nous avons parlé précédemment se retrouve dans le marquage des circuits logiques.

L'héritage du TTL est évident puisque la numérotation principale fait toujours référence aux 54/74, suffixés par une variété impressionnante de sigles de quelques lettres désignant la famille.

Résumé

mm 74 LVC H

caract. spéciales

-- = aucune

D = Level-Shifting Diode (CBTD)

H = Bus Hold (ALVCH)

R = Damp. Res on I/O (LVCR)

S = Schottky Clamp Diode (CBTS)

16 2 245 A BBB R

emballage

boîtier

révision

fonction

options

-- = pas d'option

2 = résist. amortiss. sortie

4 = Level Shifter

25 = 25-W Line Driver

bit Width

-- = Gates, MSI, and Octals

1G = Single Gate

8 = Octal IEEE 1149.1 (JTAG)

16 = Widebus™ (16, 18, and 20 bit)

18 = Widebus IEEE 1149.1 (JTAG)

32 = Widebus+™ (32 and 36 bit)

D'autres suffixes indiquent les variantes possibles :

- les dispositifs spéciaux déjà évoqués
- la largeur de bus (spécialement pour les buffers). 1G "single gate" concerne de tout petits boîtiers que l'on utilise si l'on n'a besoin que d'une seule porte logique
- la fonction: c'est le numéro principal du marquage qui donne la fonction (245 = buffer bidirectionnel pour bus de données)
- la révision du silicium (améliorations/corrections éventuelles)
- le type de boîtier
- le conditionnement industriel, c'est-à-dire la manière de présenter une grande quantité de boîtiers pour les machines automatiques de montage (bobines, rubans,)

Conclusion

- ▶ la logique fait des progrès continus depuis 30 ans et accélérés depuis 10 ans
- ▶ il existe de nombreuses familles adaptées à différents besoins
- ▶ aux vitesses actuelles, la logique n'est pas un simple assemblage de boîtiers
- ▶ faire des circuits imprimés est devenu une industrie à part entière
 - ◆ lignes de transmission
 - ◆ diaphonie
 - ◆ EMC